



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. <i>H01L 21/60</i> (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월02일 10-0713121 2007년04월24일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0089724 2005년09월27일 2005년09월27일	(65) 공개번호 (43) 공개일자	10-2007-0035175 2007년03월30일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자	한국전자통신연구원 대전 유성구 가정동 161번지
(72) 발명자	주철원 대전 유성구 어은동 한빛아파트 131-1502 민병규 대전 유성구 장대동 월드컵패밀리타운 107-2003호 김성일 대전 서구 만년동 248 201호 이종민 대전 서구 둔산2동 녹원아파트 111동 1004호 이경호 대전 유성구 어은동 한빛아파트 102-1701 강영일 대전 유성구 어은동 한빛아파트 132-805
(74) 대리인	신영무

(56) 선행기술조사문헌 KR1020020012061 A * * 심사관에 의하여 인용된 문헌	KR1020050021078 A *
---	---------------------

심사관 : 박준영

전체 청구항 수 : 총 12 항

(54) 칩과 이를 이용한 칩 스택 및 그 제조방법

(57) 요약

본 발명은 칩과 이를 이용한 칩 스택 및 그 제조방법에 관한 것으로, 웨이퍼상에 형성된 적어도 하나 이상의 패드와 상기 패드의 저면이 노출되도록 상기 웨이퍼를 관통하는 비아홀에 상기 웨이퍼의 저면으로부터 일정한 두께까지 돌출되도록 형

성된 금속층을 포함하는 복수개의 칩이 적층되되, 상기 각 칩의 패드와 금속층이 서로 마주보도록 접합되어 적층함으로써, 칩의 제조공정이 간편해지고 칩의 성능을 향상시켜줄 뿐만 아니라 칩 스택 시 풋 프린트(foot print)가 작아지는 효과가 있다.

대표도

도 2

특허청구의 범위

청구항 1.

웨이퍼상에 형성된 적어도 하나 이상의 패드; 및

상기 패드의 저면이 노출되도록 상기 웨이퍼를 관통하는 비아홀에 상기 웨이퍼의 저면으로부터 일정한 두께까지 돌출되도록 형성되며, 상기 패드와 서로 마주보도록 접합되는 금속층을 포함하는 칩.

청구항 2.

제 1 항에 있어서, 상기 비아홀의 종횡비는 1~3인 것을 특징으로 하는 칩.

청구항 3.

제 1 항에 있어서, 상기 금속층은 구리(Cu)를 이용하여 노출된 상기 패드의 저면으로부터 일정한 두께로 형성된 제1 금속층과 주석/구리(Sn/Cu), 주석(Sn) 및 주석/비스무트(Sn/Bi) 중 어느 하나를 이용하여 상기 제1 금속층상에 상기 웨이퍼의 저면으로부터 일정한 두께까지 돌출되도록 형성된 제2 금속층으로 이루어진 것을 특징으로 하는 칩.

청구항 4.

웨이퍼상에 형성된 적어도 하나 이상의 패드와 상기 패드의 저면이 노출되도록 상기 웨이퍼를 관통하는 비아홀에 상기 웨이퍼의 저면으로부터 일정한 두께까지 돌출되도록 형성된 금속층을 포함하는 복수개의 칩이 적층되되,

상기 각 칩의 패드와 금속층이 서로 마주보도록 접합되어 적층되는 것을 특징으로 하는 칩 스택.

청구항 5.

- (a) 적어도 하나 이상의 패드가 형성된 웨이퍼의 전체 상부면에 시드금속층을 증착하는 단계;
- (b) 일정한 두께의 웨이퍼를 형성하도록 상기 웨이퍼의 하부를 제거한 후, 노출된 상기 웨이퍼상에 비아홀 형성용 패턴을 형성하는 단계;
- (c) 상기 비아홀 형성용 패턴을 식각마스크로 하여 상기 패드의 저면이 노출되도록 상기 웨이퍼를 식각하여 비아홀을 형성하는 단계; 및
- (d) 노출된 상기 패드의 저면과 서로 마주보도록 접합되어 접촉되도록 상기 비아홀에 상기 비아홀 형성용 패턴보다 작은 두께까지 도금된 금속층을 형성한 후, 상기 시드금속층 및 상기 비아홀 형성용 패턴을 제거하는 단계를 포함하는 칩의 제조방법.

청구항 6.

제 5 항에 있어서, 상기 시드금속층은 티탄/구리(Ti/Cu)를 이용하여 스퍼터(sputter) 방법으로 증착하는 것을 특징으로 하는 칩의 제조방법.

청구항 7.

제 6 항에 있어서, 상기 티탄/구리(Ti/Cu)의 두께는 400Å ~ 600Å/2000Å ~ 4000Å인 것을 특징으로 하는 칩의 제조방법.

청구항 8.

제 5 항에 있어서, 상기 단계(b)에서, 상기 일정한 두께의 웨이퍼는 100 μ m 내지 400 μ m로 형성하는 것을 특징으로 하는 칩의 제조방법.

청구항 9.

제 5 항에 있어서, 상기 단계(b)는,

(b-1) 일정한 두께의 웨이퍼를 형성하도록 상기 웨이퍼의 하부를 제거한 후, 노출된 상기 웨이퍼상에 산화막 및 감광막을 순차적으로 형성하는 단계;

(b-2) 상기 감광막을 식각하여 비아홀 형성을 위한 감광막 패턴을 형성하는 단계; 및

(b-3) 상기 감광막 패턴을 식각마스크로 하여 상기 산화막을 식각한 후, 상기 감광막 패턴을 제거하여 비아홀 형성용 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 칩의 제조방법.

청구항 10.

제 9 항에 있어서, 상기 단계(b-3)에서, 상기 산화막은 CF₄ 또는 CHF₃를 이용하여 건식 식각법으로 식각하는 것을 특징으로 하는 칩의 제조방법.

청구항 11.

제 5 항에 있어서, 상기 단계(c)에서, 상기 비아홀은 C₄F₈, SF₆ 및 BCl₃ 가스 중 어느 하나를 이용하여 건식 식각법으로 형성하는 것을 특징으로 하는 칩의 제조방법.

청구항 12.

제 5 항에 있어서, 상기 단계(d)에서, 상기 금속층은 구리(Cu)를 이용하여 전기도금법으로 상기 패드의 저면으로부터 일정한 두께로 제1 금속층을 형성하고, 주석/구리(Sn/Cu), 주석(Sn) 및 주석/비스무트(Sn/Bi) 중 어느 하나를 이용하여 전기도금법으로 상기 제1 금속층상에 상기 웨이퍼의 저면으로부터 일정한 두께까지 돌출되도록 제2 금속층을 형성하는 것을 특징으로 하는 칩의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 칩과 이를 이용한 칩 스택 및 그 제조방법에 관한 것으로, 보다 상세하게는 웨이퍼상에 형성된 패드의 저면이 노출되도록 웨이퍼를 관통하는 비아홀에 웨이퍼의 저면으로부터 일정한 두께까지 돌출되도록 금속층을 형성함으로써, 칩의 제조공정이 간편해지고 칩의 성능을 향상시켜줄 뿐만 아니라 칩 스택 시 풋 프린트(foot print)가 작아질 수 있도록 한 칩과 이를 이용한 칩 스택 및 그 제조방법에 관한 것이다.

최근에 무선 통신 및 디지털 멀티미디어 수요 증가 및 기술의 발전으로 휴대 단말기, PDA, 고성능 멀티미디어 기기 등 디지털 휴대 전자기기는 소형화, 고성능화, 고집적화 및 다기능화 등을 요구하고 있다.

이와 같이 디지털 휴대 전자기기의 소형화를 위하여 핵심 부품인 반도체 소자를 하나의 칩(chip)에서 시스템 수준의 복합 기능이 가능하도록 서로 다른 기능을 가진 집적회로(Integrated Circuit, IC)들을 원 칩(one chip)화 하는 시스템 온 칩(System on Chip, SoC) 기술 개발에 많은 연구를 하고 있다.

그러나, 이러한 시스템 온 칩(Soc)은 같은 공정 기술인 집적회로(IC)만을 원 칩(one chip)화 할 수 있다. 즉, 모스(MOS), 바이폴라(Bipolar) 및 RF 칩들은 제조 공정이 서로 다른 기술 즉, 사용하는 웨이퍼 및 공정이 다르므로, 시스템 온 칩(SoC)으로 구현할 수 없다.

따라서, 시스템 온 칩(SoC)으로 구현되지 않은 집적회로(IC)들은 대안으로 시스템 온 패키지(System on Package, SoP) 기술로 원 칩(one chip)화 하려는 연구가 진행되고 있으며, 상기 시스템 온 패키지(SoP)를 구현하기 위하여 집적회로(IC)들의 풋 프린트(foot print)를 작게하기 위한 방안으로 집적회로(IC)들을 스택(Stack)하여 실장하는 방법이 제시되고 있다.

이러한 스택(Stack)은 패키지 스택(package stack) 및 베어 칩 스택(bare chip stack) 2가지로 구분되는데, 상기 베어 칩 스택이 패키지 스택에 비해 풋 프린트가 상대적으로 작아 소형화에 유리하다.

현재까지 여러 형태의 칩 스택 방법이 제시되었는데, 상기 패키지 스택인 경우 칩 캐리어(chip carrier)를 사용하여 벌키(bulky)하거나 와이어(wire) 본딩을 사용함으로써, 인덕턴스가 커짐에 따라 집적회로(IC)의 성능이 저하되는 단점이 있다. 따라서, 소형화의 측면에서 칩 스택이 유리하다.

종래의 기술에서 캐리어를 사용하는 칩 스택 기술로서 국제특허등록 PCT/US1999/09744호(chip stack and method of making same)에서는 칩을 칩 캐리어에 올려놓고 캐리어에 범프(bump)를 형성하여 칩을 스택하도록 제안한 바 있다. 그러나, 이와 같이 칩 캐리어를 사용한 종래 기술은 풋 프린트가 커지는 문제점이 있다.

또한, 종래의 기술에서 칩에 범프를 형성하는 칩 스택 기술로서 미국특허 US 6,395,630B2호(Stacked integrated circuits)에서는 웨이퍼를 관통하여 종횡비(aspect ratio) 100~200인 홀(hole)을 형성하고, 상기 홀 내부에 동축 컨덕터(coaxial conductor)를 화학기상증착(Chemical Vapor Deposition, CVD) 방법으로 형성함으로써 범프를 형성하도록 제안한 바 있다.

그러나, 이와 같이 칩에 범프를 형성하는 종래 기술은 높은 종횡비(high aspect ratio)인 홀을 만들기 어렵고, 화학기상증착(CVD) 방법으로 홀 내부에 동축 컨덕터를 만드는 공정은 증착율이 낮아(100Å/분) 공정시간이 많이 소요되며, 내부 컨덕터(inner conductor) 및 외부 컨덕터(outer conductor)를 따로 구분하여 공정해야하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 전술한 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 웨이퍼상에 형성된 적어도 하나 이상의 패드와 상기 패드의 저면이 노출되도록 상기 웨이퍼를 관통하는 비아홀에 상기 웨이퍼의 저면으로부터 일정한 두께까지

돌출되도록 형성된 금속층을 포함하는 복수개의 칩이 적층되며, 상기 각 칩의 패드와 금속층이 서로 접합되어 적층함으로써, 칩의 제조공정이 간편해지고 칩의 성능을 향상시켜줄 뿐만 아니라 칩 스택 시 풋 프린트(foot print)가 작아질 수 있도록 한 칩과 이를 이용한 칩 스택 및 그 제조방법을 제공하는데 있다.

진술한 목적을 달성하기 위하여 본 발명의 제1 측면은, 웨이퍼상에 형성된 적어도 하나 이상의 패드; 및 상기 패드의 저면이 노출되도록 상기 웨이퍼를 관통하는 비아홀에 상기 웨이퍼의 저면으로부터 일정한 두께까지 돌출되도록 형성된 금속층을 포함하는 칩을 제공하는 것이다.

본 발명의 제2 측면은, 웨이퍼상에 형성된 적어도 하나 이상의 패드와 상기 패드의 저면이 노출되도록 상기 웨이퍼를 관통하는 비아홀에 상기 웨이퍼의 저면으로부터 일정한 두께까지 돌출되도록 형성된 금속층을 포함하는 복수개의 칩이 적층되며, 상기 각 칩의 패드와 금속층이 서로 마주보도록 접합되어 적층되는 것을 특징으로 하는 칩 스택을 제공하는 것이다.

본 발명의 제3 측면은, (a) 적어도 하나 이상의 패드가 형성된 웨이퍼의 전체 상부면에 시드금속층을 증착하는 단계; (b) 일정한 두께의 웨이퍼를 형성하도록 상기 웨이퍼의 하부를 제거한 후, 노출된 상기 웨이퍼상에 비아홀 형성용 패턴을 형성하는 단계; (c) 상기 비아홀 형성용 패턴을 식각마스크로 하여 상기 패드의 저면이 노출되도록 상기 웨이퍼를 식각하여 비아홀을 형성하는 단계; 및 (d) 노출된 상기 패드의 저면과 접촉되도록 상기 비아홀에 상기 비아홀 형성용 패턴보다 작은 두께까지 도금된 금속층을 형성한 후, 상기 시드금속층 및 상기 비아홀 형성용 패턴을 제거하는 단계를 포함하는 칩의 제조방법을 제공하는 것이다.

발명의 구성

이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다. 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당업계에서 통상의 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다.

도 1은 본 발명의 일 실시예에 따른 칩을 설명하기 위한 단면도이고, 도 2는 본 발명의 일 실시예에 따른 칩 스택을 설명하기 위한 단면도이다.

도 1을 참조하면, 본 발명의 일 실시예에 따른 칩은 웨이퍼(100) 상에 형성된 적어도 하나 이상의 패드(200)와 상기 패드(200)의 저면이 노출되도록 상기 웨이퍼(100)를 관통하는 비아홀(600, 도 3e 참조)에 상기 웨이퍼(100)의 저면으로부터 일정한 두께까지 돌출되도록 형성된 금속층(700)으로 이루어진다.

도 2를 참조하면, 본 발명의 일 실시예에 따른 칩 스택은 도 1에 도시된 본 발명의 일 실시예에 따른 칩을 복수개 적층한 구조로서, 각 칩의 패드(200)와 금속층(700)을 서로 마주보도록 접합하여 적층되어 있다.

한편, 설명의 편의상 도 2에서는 본 발명의 일 실시예에 따른 칩을 3개로 적층하여 칩 스택을 구현하였지만, 이에 국한하지 않으며, 적어도 2개 이상의 칩을 적층하여 구현할 수도 있다.

도 3a 내지 3g는 본 발명의 일 실시예에 따른 칩의 제조방법을 설명하기 위한 단면도이다.

도 3a를 참조하면, 예컨대, 웨이퍼(wafer)(100) 상에 일정한 간격으로 형성된 적어도 하나 이상의 패드(pad)(200)를 형성한 후, 상기 패드(200)를 포함한 상기 웨이퍼(100)의 전체 상부면에 시드금속층(seed metal layer)(300)을 증착한다.

이때, 상기 시드금속층(300)은 예컨대, 티탄/구리(Ti/Cu) 등을 이용하여 스퍼터(sputter) 방법으로 증착하며, 상기 티탄/구리(Ti/Cu)는 약 400Å ~ 600Å/2000Å ~ 4000Å(바람직하게는, 약 500Å/3000Å 정도)의 두께 범위로 형성됨이 바람직하다.

이러한 시드금속층(300)은 후술하는 비아홀(600, 도 3e 참조)내에 금속층(700, 도 3f 참조)을 채우기 위하여 예컨대, 전기 도금 방법을 이용할 경우 전극 역할을 한다.

도 3b를 참조하면, 상기 웨이퍼(100)의 하부를 랩핑(lapping)하여 약 100 μ m 내지 400 μ m(바람직하게는, 약 300 μ m 정도)의 두께 범위로 얇게 형성한다.

즉, 이와 같은 공정은 비아홀(600, 도 3e 참조)의 형성 과정에서 상기 웨이퍼(100)의 두께를 얇게 함으로써, 건식식각 공정 시간을 단축할 수 있으며, 전기도금 방법을 이용하여 상기 비아홀(600)에 금속층(700, 도 3f 참조)을 형성할 경우, 도금 시간을 효과적으로 단축할 수 있다. 또한, 상기 비아홀(600)의 중형비(aspect ratio)를 낮춤으로써, 상기 금속층(700)의 높이 조절을 용이하게 할 수 있다.

도 3c를 참조하면, 노출된 상기 웨이퍼(100)의 저면에 산화막(400)을 증착한 후 소정의 감광막(photoresist)을 도포하고, 예컨대, 비아홀 형성용 마스크(미도시)를 이용하여 노광(exposure) 및 현상(develop) 방법 등으로 상기 감광막을 식각하여 감광막 패턴(500)을 형성한다.

도 3d를 참조하면, 상기 감광막 패턴(500, 도 3c 참조)을 식각마스크로 하여 상기 산화막(400)을 식각한 후, 상기 감광막 패턴(500)을 제거하여 비아홀 형성용 패턴(400')을 형성한다.

이때, 상기 산화막(400)은 예컨대, CF_4 또는 CHF_3 등을 이용하여 반응성 이온 에칭(Reactive Ion Etching, RIE) 식각장비에 의해 건식 식각법으로 식각함이 바람직하다.

도 3e를 참조하면, 상기 비아홀 형성용 패턴(400')을 식각마스크로 하여 상기 패드(200)의 저면이 노출되도록 상기 웨이퍼(100)를 식각하여 일정한 중형비(예컨대, 약 1 내지 3 정도)를 갖는 비아홀(600)을 형성한다.

이때, 상기 비아홀(600)은 예컨대, C_4F_8 , SF_6 등과 같이 실리콘(Si)을 식각하는 불소(F)가 함유된 가스 또는 갈륨비소(GaAs)를 식각하는 SF_6 와 BCl_3 등의 가스 중 어느 하나를 이용하여 반응성 이온 에칭(RIE) 식각장비에 의해 건식 식각법으로 형성함이 바람직하다.

도 3f를 참조하면, 상기 웨이퍼(100)를 통상의 무연 솔더(lead free solder) 용액이 분사되는 분수(fountain) 형태의 도금장비에 장착한 후, 예컨대, 전기도금법을 이용하여 노출된 상기 패드(200)의 저면과 접촉되도록 상기 비아홀(600)내에 상기 비아홀 형성용 패턴(400')보다 작은 두께까지 금속층(plating metal layer)(700)을 도금하여 형성한다.

이때, 상기 금속층(700)은 먼저, 상기 패드(200)의 저면부터 예컨대, 구리(Cu) 도금액을 이용하여 전기도금법으로 일정한 두께로 형성한 후, 바로 그 위에 무연(lead free) 친환경 금속이면서 용융점이 낮은 도금액 예컨대, 주석/구리(Sn/Cu), 주석(Sn) 및 주석/비스무트(Sn/Bi) 등 중 어느 하나를 이용하여 전기도금법으로 상기 웨이퍼(100)의 저면으로부터 일정한 두께까지 돌출되도록 형성한다.

또한, 상기 금속층(700)은 상기 패드(200)의 저면부터 상기 웨이퍼(100)의 저면까지를 비아 금속층(via metal layer)으로 정의하며, 상기 웨이퍼(100)의 저면부터 일정한 두께까지 돌출된 부분을 범프(bump)라고 정의한다.

한편, 상기 금속층(700)의 형성 시 전기도금법을 이용하면, 도금속도가 빠르고 도그막 균일도를 약 5% 이내로 조절할 수 있어 수십 μm 의 범프를 짧은 시간에 형성할 수 있다.

도 3g를 참조하면, 마지막으로 상기 시드금속층(300) 및 상기 비아홀 형성용 패턴(400')을 식각하면, 상기 웨이퍼(100)의 저면에 상기 범프(bump)가 돌출된 상태로 남아 있는 본 발명의 일 실시예에 따른 칩을 완성한다.

한편, 전술한 도 3a 내지 도 3g에 따라 제조된 본 발명의 일 실시예에 따른 칩을 적어도 2개 이상 마련하여 각 칩의 패드(200)와 금속층(700)이 서로 용융 접합되도록 적층하여 도 2에 도시된 바와 같은 칩 스택을 제조할 수 있다.

전술한 바와 같이, 본 발명의 칩에 따르면, 칩의 저면 즉, 상기 웨이퍼(100)의 저면에 범프(bump)를 돌출 형성되어 있기 때문에, 칩을 적층(stack)할 때, 플립(flip)으로 하지 않아도 되고, 무연(lead free) 금속으로 형성된 범프는 그 용융점이 약 $220^\circ C$ 로 낮아 통상의 열판(hot plate)에서 충분히 녹을 수 있어 작업성이 좋은 효과가 있다.

또한, 칩 스택 시 본 발명의 일 실시예에 따른 칩의 저면에 도출 형성된 범프를 사용하면, 종래의 접착제 없이 범프로 서로의 칩을 적층시킬 수 있으며, 상기 범프가 칩에서 발생한 열을 방열시키는 열 경로(heat path) 역할을 해줌으로써, 종래의 와이어(wire)를 이용한 칩 스택 기술에 비하여 열방출 효율을 향상시킬 수 있으며 풋 프린트를 줄일 수 있는 효과가 있다.

전술한 본 발명에 따른 칩과 이를 이용한 칩 스택 및 그 제조방법에 대한 바람직한 실시예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니고 특허청구범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명에 속한다.

발명의 효과

이상에서 설명한 바와 같은 본 발명의 칩과 이를 이용한 칩 스택 및 그 제조방법에 따르면, 웨이퍼상에 적어도 하나 이상의 패드를 형성하고, 상기 패드의 저면이 노출되도록 상기 웨이퍼를 관통하는 비아홀에 웨이퍼의 저면으로부터 일정한 두께까지 돌출되도록 금속층을 형성 즉, 패드의 신호를 칩의 저면으로 연장하여 끌어냄으로써, 신호선을 재배치(redistribution)하지 않고서도 웨이퍼의 저면으로부터 돌출된 금속층 즉, 범프를 형성할 수 있어 공정이 간편해지는 이점이 있다.

또한, 본 발명에 따르면, 웨이퍼의 저면으로부터 돌출 형성된 범프는 칩 스택 시 접촉점(contact point)이 되며, 칩 신호를 연결시켜주는 상호접속(interconnection) 역할을 함으로써, 종래의 와이어(wire) 본딩을 이용한 상호접속에 비하여 본딩 길이가 짧아지므로 칩 성능 저하가 상대적으로 작아지는 이점이 있다.

또한, 본 발명에 따르면, 칩 레벨(level)에서 용이하게 스택할 수 있고, 범프를 이용한 스택이 가능하므로, 칩 스택 시 풋 프린트(foot print)가 작아질 수 있으며, 칩 스택 시 칩에서 많은 열이 발생하게 되는데 범프가 히트 싱크(heat sink) 역할을 하므로, 종래의 와이어 본딩에 비하여 열 방출이 잘 되는 이점이 있다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 칩을 설명하기 위한 단면도.

도 2는 본 발명의 일 실시예에 따른 칩 스택을 설명하기 위한 단면도.

도 3a 내지 3g는 본 발명의 일 실시예에 따른 칩의 제조방법을 설명하기 위한 단면도.

*** 도면의 주요 부분에 대한 부호 설명 ***

100 : 웨이퍼, 200 : 패드,

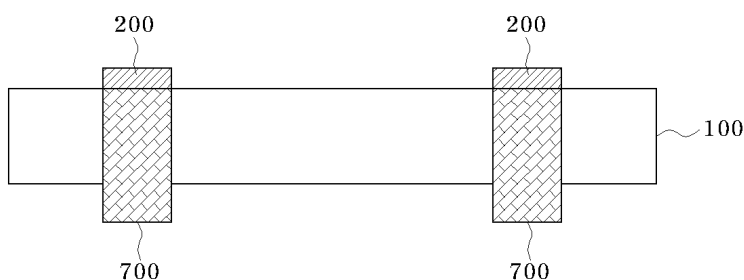
300 : 시드금속층, 400 : 산화막,

400' : 비아홀 형성용 패턴, 500 : 감광막 패턴,

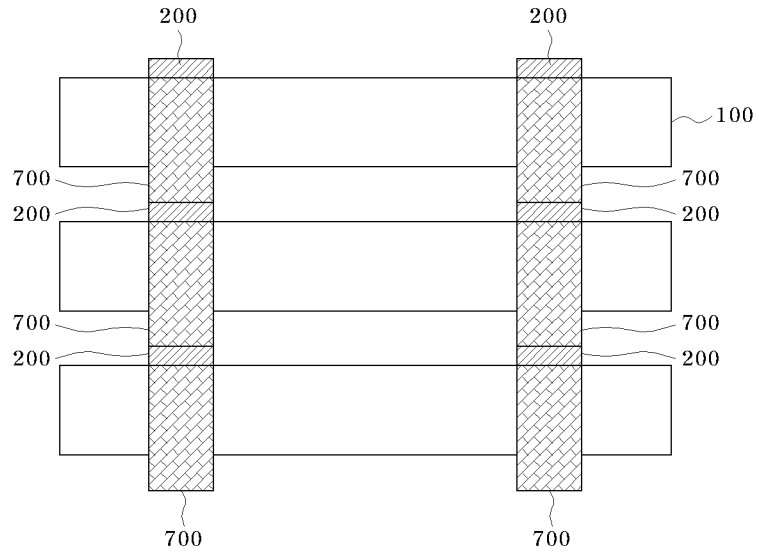
600 : 비아홀, 700 : 금속층

도면

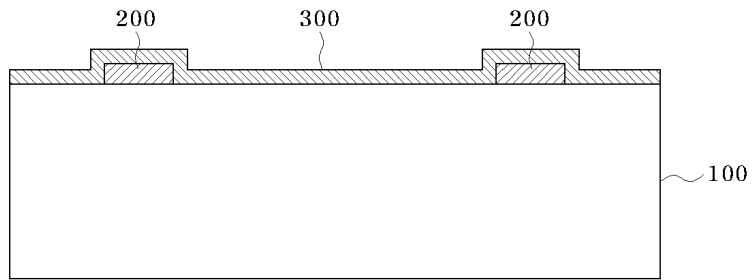
도면1



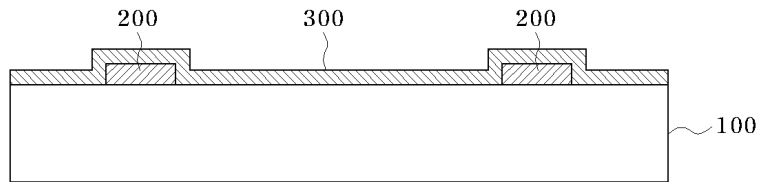
도면2



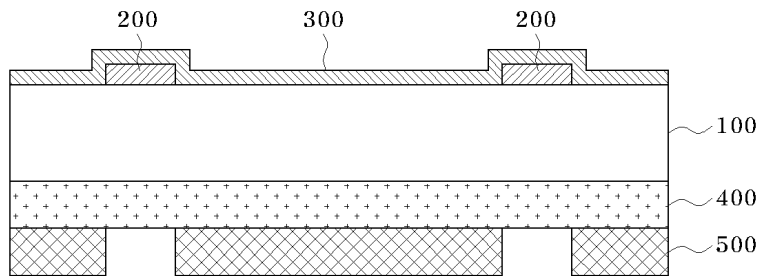
도면3a



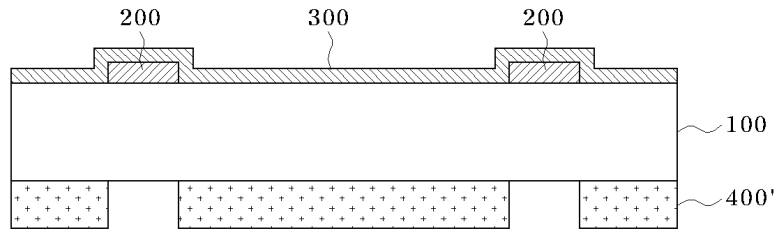
도면3b



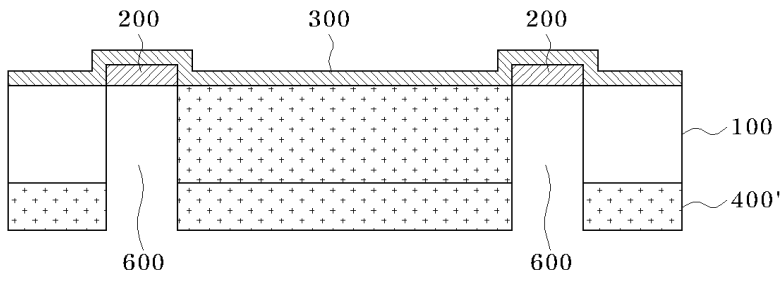
도면3c



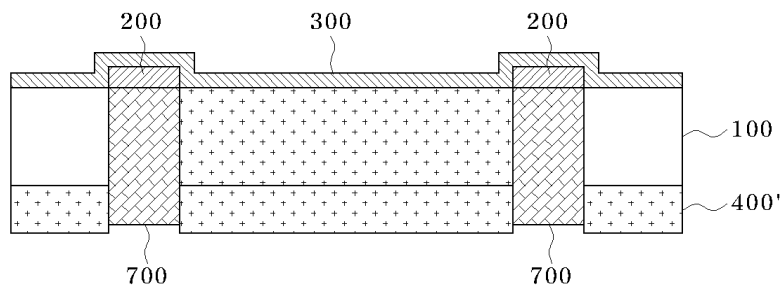
도면3d



도면3e



도면3f



도면3g

