MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETA' INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

UIBM

DOMANDA NUMERO	**101990900158472**
Data Deposito	**31/12/1990**
Data Pubblicazione	**01/07/1992**

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	03	H		

Titolo

CIRCUITO COMPARATORE CON ISTERESI DI PRECISIONE ED ALTA IMPEDENZA DI INGRESSO

DESCRIZIONE dell'invenzione industriale dal titolo: "Circuito comparatore con isteresi di precisione ed alta impedenza di ingresso".

FB 684

Di: SGS-THOMSON MICROELECTRONICS S.r.l., nazionalità italiana, Via C. Olivetti, 2 - Agrate Brianza (Milano) e MARELLI AUTRONICA S.p.A., nazionalità italiana, Piazza Sant'Ambrogio 6, Milano.

Inventori designati: Vanni Poletto e Michelangelo Mazzucco.

Depositata il: 31 DIC. 1990 68085 A-90

* * *

TESTO DELLA DESCRIZIONE

Sfondo dell'invenzione.

La presente invenzione si riferisce in generale ai circuiti elettronici e riguarda in particolare i circuiti comparatori comunemente utilizzati nei circuiti elettronici. Essa è stata sviluppata con specifica attenzione al possibile impiego nella realizzazione di circuiti comparatori monolitici aventi isteresi di precisione ed alta impedenza di ingresso.

L'esigenza di disporre di comparatori con tali caratteristiche è sentita in modo particolare al fine di realizzare interfacce fra sensori a

LB/mm

riluttanza variabile (ad esempio sensori utilizzati per rilevare la velocità e la posizione dell'albero del motore a combustione interna di un autoveicolo) ed i corrispondenti circuiti elaborativi (ad esempio, nel caso dei sensori sopra citati, la centralina elettronica di controllo del motore).

In un tale contesto applicativo, al comparatore viene richiesto di rilevare un segnale che in talune situazioni presenta un livello (ad esempio 100 mV) di poco superiore ad un livello limite inferiore (ad esempio 50 mV) al disotto del quale si desidera non avvenga alcuna rilevazione. Insorge pertanto la necessità di disporre di un comparatore avente un'isteresi la più larga possibile così da risultare sostanzialmente insensibile al rumore (presente in misura rilevante nell'ambiente automobilistico), e che sia nel contempo in grado, tenendo conto dell'estensione ("spread") del valore dell'isteresi, sia in valore assoluto, sia in temperatura, di garantire il funzionamento nella situazione limite sopra indicata. Inoltre è richiesta anche un'altra impedenza d'ingresso, per evitare di avere errori dovuti agli elevati valori di resistenza delle sorgenti che pilotano il comparatore.

Descrizione della tecnica nota.

Nella figura 1 è riprodotto un tipico schema di un circuito comparatore con isteresi 1 realizzato a partire da un amplificatore operazionale 2 provvisto di ingressi 3, 4, rispettivamente non invertente ed invertente e con due resistori R01 e R02 collegati, rispettivamente, fra una prima sorgente V1 e l'ingresso non-invertente 3 e fra tale ingresso non-invertente 3 e l'uscita 5 dell'amplificatore operazionale 2. Un'altra sorgente V2 è collegata all'ingresso invertente 4.

Secondo principi di per sé ampiamente noti, un tale circuito presenta in uscita un livello alto pari alla tensione di alimentazione Vcc meno la tensione V_{CE} di saturazione del transistore d'uscita ed un livello basso pari alla tensione di massa od a -Vcc, più una tensione V_{CE} di saturazione dello stesso transistore.

Questa struttura presenta il vantaggio di una notevole semplicità. Essa ha però l'inconveniente di avere un'isteresi imprecisa a causa dell'errore introdotto dalla V_{CE} di saturazione (in temperatura ed in valore assoluto) ed anche a causa dell'errore introdotto dall'imprecisione della tensione di

alimentazione.

Per superare questa limitazione sono state utilizzate strutture quale quella illustrata nella figura 2 che fissano l'isteresi tramite una resistenza in serie ad uno degli ingressi nella quale è forzata una corrente ottenuta in generale da un riferimento di tensione del tipo "bandgap" e da un'altra resistenza interna del circuito. Il tutto con ricorso, ad esempio, a due transistori T1 e T2 nonché ad un diodo di riferimento D nei termini schematicamente illustrati nella figura 2, dove il riferimento I_0 indica il generatore che produce la suddetta corrente.

Questa soluzione presenta una buona precisione del valore dell'isteresi, che è funzione della precisione del riferimento di tensione e del rapporto fra due resistenze interne. Purtroppo, la corrente inviata nella resistenza in serie all'ingresso (resistenza R_{00} della figura 2) deve essere fornita dalla rispettiva sorgente, la quale dovrà presentare una bassa resistenza di uscita per non introdurre ulteriori errori.

Scopi e sintesi dell'invenzione.

La presente invenzione si prefigge pertanto lo scopo di fornire un circuito comparatore con

isteresi che, pur conservando caratteristiche tali da permetterne la realizzazione sotto forma di circuito integrato monolitico, permetta di conseguire condizioni di funzionamento del tutto soddisfacenti, soprattutto per quanto riguarda la precisione dell'isteresi e l'elevata impedenza di ingresso.

Secondo la presente invenzione, tale scopo viene raggiunto grazie ad un circuito avente le caratteristiche richiamate in modo specifico nelle rivendicazioni che seguono.

Descrizione particolareggiata dell'invenzione.

L'invenzione verrà ora descritta, a puro titolo di esempio non limitativo, con riferimento ai disegni annessi, nei quali:

- le figure 1 e 2, relative alla tecnica nota, sono già state descritte in precedenza,

- la figura 3 illustra, in termini sintetici, la struttura circuitale del comparatore con isteresi secondo l'invenzione, e

- la figura 4 illustra, sotto forma di diagramma, le caratteristiche di isteresi dimostrate dal circuito della figura 3.

Come premessa di carattere generale va precisato che la descrizione di una forma di

attuazione preferita dell'invenzione viene qui data con specifico riferimento all'impiego generalizzato di transistori bipolari. Resta comunque inteso che tale esemplificazione non va intesa in senso limitativo per quanto riguarda la possibilità di sostituire, almeno in parte, tali transistori con transistori di tipo diverso (tipicamente FET) o con ancora componenti di tipo diverso ma con comportamento funzionale sostanzialmente equivalente.

Il circuito comparatore della figura 3, indicato nel complesso con 10, presenta due ingressi 11, 12, rispettivamente con caratteristiche di ingresso non invertente (11) ed invertente (12) facenti capo alle basi di due rispettivi transistori Q1 e Q2, qui illustrati sotto forma di transistori p-n-p. I transistori Q1 e Q2 sono collegati con i loro collettori alla massa del circuito attraverso rispettivi resistori R1 e R2, mentre gli emettitori sono collegati - attraverso rispettivi resistori Rx e Ry (che al momento si considereranno di valore identico R = Rx = Ry) - ad un generatore di corrente costante I2 (di tipo di per sé noto, e tale da non dover essere descritto in dettaglio nella presente sede) facente

capo alla tensione di alimentazione Vcc.

Due ulteriori transistori Q3 e Q4 (di tipo n-p-n, e dunque di tipo complementare rispetto ai transistori Q1 e Q2, nell'esempio illustrato) sono collegati attraverso i loro emettitori rispettivamente al collettore del transistore Q1 ed al collettore del transistore Q2.

Le basi dei transistori Q3 e Q4 sono collegate fra loro, mentre la base del transistore Q3 è cortocircuitata al rispettivo collettore il quale fa capo, attraverso un diodo D1, il cui catodo è rivolto verso il transistore Q3, ad un generatore di corrente costante I1 (anch'esso di tipo noto e facente capo alla tensione di alimentazione Vcc). Secondo una disposizione complessivamente complementare, il collettore del transistore Q4 fa capo, attraverso un rispettivo diodo D2 il cui catodo è rivolto verso il transistore Q4, ad un rispettivo generatore di corrente costante I3. Gli anodi dei diodi D1 e D2 (dunque, indirettamente, i collettori dei transistori Q3 e Q4) fanno capo alle basi di due ulteriori transistori (di tipo p-n-p quindi di tipo omologo rispetto ai transistori Q1 e Q2) i cui emettitori sono collegati fra loro e fanno capo ad un generatore di corrente costante

I_0.

Anche quest'ultimo generatore così come i generatori I1, I2 ed I3 visti in precedenza, è di tipo di per sé noto e fa capo alla tensione di alimentazione Vcc.

Il collettore del transistore Q5 è collegato all'emettitore del transistore Q4 e dunque al collettore del transistore Q2. Di converso, il collettore del transistore Q6, collegato attraverso un transistore R3 alla massa M del circuito, alimenta la base di un ulteriore transistore Q8 (di tipo n-p-n) che funge da stadio di uscita del circuito comparatore ed è a questo fine collegato con il suo emettitore alla massa M e con il suo collettore, da cui viene prelevata la tensione d'uscita Vout del circuito alla tensione di alimentazione Vcc attraverso un resistore R4.

Infine, per motivi che risulteranno più chiari nel seguito, un ulteriore transistore p-n-p Q7 è interposto fra in transistori Q5 e Q6, rispettivamente con la base collegata al transistore Q5, l'emettitore collegato alla base del transistore Q6 ed il collettore collegato alla massa M.

Lo stadio di ingresso del circuito 10,

costituito dai transistori Q1 e Q2 è realizzato, per così dire "degenerando" gli emettitori di tali due transistori formanti la coppia differenziale di ingresso, con i due resistori Rx e Ry. In questo modo un segnale differenza Vd fra l'ingresso non-invertente 11 e l'ingresso invertente 12 provoca (secondo meccanismi ampiamente noti) una variazione negativa nella corrente di collettore di Q1 e positiva per Q2. Tuttavia, tali variazioni ΔI_c sono uguali in valore assoluto e pari a:

$$\Delta I_c = Vd/2R \qquad (I)$$

dove, come già detto, si è supposto Rx = Ry = R.

Attraverso i resistori R1 e R2 (che sono in generale uguali in valore assoluto, ma individuati con riferimenti diversi per motivi di esposizione) la corrente di uscita di Q1 e Q2 pilota, attraverso lo stadio intermedio formato dai transistori Q3 e Q4 e dai diodi D1 e D2, il secondo stadio differenziale identificato dai transistori Q5 e Q6.

Come già si è detto con riferimento alla figura 2, la corrente di polarizzazione Io è fornita da un riferimento di tensione di tipo "bandgap" e da una resistenza interna al circuito integrato: il tutto secondo criteri ampiamente noti che non richiedono

di essere richiamati in questa sede. In generale l'intensità della corrente Io si può scrivere in prima approssimazione come

$$I_o = V_{BG} / R_f \qquad \text{(II)}$$

dove V_{BG} è la suddetta tensione di "bandgap" e Rf è la suddetta resistenza interna al circuito integrato.

Se la tensione differenziale di ingresso è negativa (tensione sull'ingresso 12 più alta della tensione sull'ingresso 11) la tensione sulla base di Q5 sarà in generale pari a

$$V_{BE}(Q_3) + V_{D1} + R_1 (I_1 + I_2) \qquad \text{(III)}$$

dove V_{BE} (Q3) è la tensione base-emettitore del transistore Q3 e V_{D1} è la tensione ai capi del diodo D1.

Questa tensione sarà più alta della tensione sulla base di Q6, pari a

$$V_{CEsat}(Q_4) + V_{D2} + R_2 \cdot I_3 \qquad \text{(IV)}$$

dove V_{CEsat} (Q4) è la tensione collettore-emettitore di saturazione del transistore Q4 e V_{D2} è la tensione ai capi del diodo D_2.

I1, I2 ed I3 nelle formule (III) e (IV) indicano naturalmente i valori di intensità delle correnti generate dai corrispondenti generatori o

sorgenti.

Nelle condizioni sopra indicate la corrente Io passerà in R3 e nella base di Q8, forzando quindi un livello basso sull'uscita del circuito 10.

Pertanto il punto di commutazione, che si determina quando la tensione su R1 e R2 assume valori uguali si avrà per un valore di tensione differenziale di ingresso $V_d = 0$ in corrispondenza della quale le correnti in Q1 e Q2, così come pure in R1 e R2 sono uguali. Al riguardo si può notare che, in generale, le correnti dei generatori I1, I2 ed I3 hanno valori di intensità identici, ma vengono qui indicate con riferimenti diversi per chiarezza di esposizione. Nelle condizioni sopra indicate si avrà, in particolare

$$R_1 \left(I_1 + \frac{I_2}{2}\right) = R_2 \left(I_3 + \frac{I_2}{2}\right) \qquad (V).$$

A partire da questa situazione, aumentando gradualmente la tensione differenziale di ingresso, facendola diventare positiva (tensione sull'ingresso 11 più alta della tensione sull'ingresso 12), si avrà la commutazione dello stadio di ingresso definito dai transistori Q1 e Q2, con conseguente variazione degli ingressi dello stadio differenziale definito dai transistori Q5 e Q6. In tali condizioni la tensione sulla base di Q6

sarà pari a

$$R_1 \cdot I_1 + V_{BE}(Q_3) + V_{D1} + V_{BE}(Q_7) \qquad \text{(VI)}.$$

dove V_{BE} (Q3) e V_{BE}(Q7) stanno ad indicare le tensione base-emettitore dei transistori Q3 e Q7. Nel contempo la tensione sulla base di Q5 passa al valore

$$R_1 \cdot I_1 + V_{BE}(Q_3) + V_{D1} \qquad \text{VII)}.$$

Queste tensioni sulle basi di Q5 e Q6 commutano ora la corrente Io su R2 mentre su R3 e sulla base di Q8 non c'è più corrente. Il transistore Q8 si spegne e la tensione di uscita V_{out} sale al valore Vcc.

Intanto il transistore Q7 interposto fra i transistori Q5 e Q6 evita che la tensione sulla base di Q6 possa salire sino al valore Vcc, evitando in questo modo che il generatore di corrente I_3 saturi. Questo accorgimento evita i ritardi nel riportare in zona attiva il generatore di corrente in questione ed i disturbi sulla linea di polarizzazione dei generatori di corrente.

Mentre la tensione di uscita Vout sale al valore Vcc la corrente in R1 è pari ad I1 mentre la corrente in R2 è pari alla somma Io + I_2 + I_3.

Partendo da questa situazione, il nuovo punto di commutazione si avrà per una differenza degli



ingressi Vdf tale per cui

$$\frac{Vdf}{2R} = -\frac{I_0}{2} = \frac{I_{c1} - I_{c2}}{2} \qquad \text{(VIII)}.$$

Per questo valore di Vd le correnti di collettore di Q1 e Q2, indicate rispettivamente con I_{c1} ed I_{c2} valgono:

$$I_{c1} = \frac{I_2}{2} + \frac{I_0}{2} \quad ; \quad I_{c2} = \frac{I_2}{2} - \frac{I_0}{2} \qquad \text{(IX)}.$$

Per questi valori di Ic1 ed Ic2 si ottiene nuovamente l'uguaglianza delle tensioni su R1 e R2, avendosi infatti

$$R_1\left(I_1 + \frac{I_2}{2} + \frac{I_0}{2}\right) = R_3\left(I_3 + \frac{I_2}{2} - \frac{I_0}{2} + I_0\right) \qquad \text{(X)}.$$

Da questa situazione di equilibrio è sufficiente una minima diminuzione della tensione differenziale di ingresso per far si che il circuito si riporti nelle stesse condizioni viste in partenza, cioè con lo stadio differenziale definito dai transistori Q5 e Q6 sbilanciato in modo tale per cui la corrente di I_0 è iniettata su R3 e sulla base di Q8, facendo saturare questo transistore e riportando la tensione di uscita ad un valore tensione Vcesat (tensione di saturazione collettore-emettitore) rispetto a massa.

Il diagramma della figura 4 illustra schematicamente l'andamento della tensione di uscita Vout in funzione della tensione differenziale di ingresso Vd, mettendo in luce

l'ampiezza dell'isteresi H definita come differenza tra le tensioni Vds e Vdf in corrispondenza delle quali si ha la commutazione del circuito, rispettivamente in salita ed in discesa.

I principali vantaggi dell'invenzione possono essere espressi nei termini seguenti.

Il circuito 10 secondo l'invenzione dimostra un'isteresi precisa fissata dal generatore di corrente Io (ottenuto, in modo di per sé noto, da un riferimento di tipo "bandgap" e da una resistenza interna) e dai valori di resistenza RX = Ry = R, sugli emettitori di Q1 e Q2. Il valore dell'isteresi H vale infatti:

$$H = R \cdot I_o \qquad \text{con} \quad I_o = V_{BG} / R_{int} \qquad \text{(XI)}.$$

In pratica l'isteresi H è data dalla precisione del riferimento e dalla precisione di un rapporto fra due resistenze interne al circuito integrato; la precisione di tale rapporto resistivo può essere contenuta, secondo tecniche di lay-out correnti entro l'1%.

Nello stesso tempo lo stadio di ingresso è uno stadio ad alta impedenza, dal momento che gli ingressi sono costituiti dalle basi dei due transistori Q1 e Q2, gli stessi ingressi sono anche compatibili a massa.

Il secondo stadio differenziale, (quello costituito dai transistori Q5 e Q6), oltre a fornire l'isteresi, pilota lo stadio di uscita (transistore Q8) poiché è in grado di garantire la dinamica di una V_{BE} rispetto a massa per mezzo dei diodi D1 e D2. La presenza del transistore Q7 garantisce inoltre che il generatore di corrente I3 non vada mai in saturazione.

In precedenza, si è implicitamente supposto che i resistori Rx e Ry disposti sugli emettitori di Q1 e Q2 presentino lo stesso valore. E' però possibile pensare di scegliere tali valori in modo diverso, pur facendo che la loro somma sia sempre pari a 2R. In questo caso si disporrà comunque di un valore di isteresi H identico in termini di precisione e valore assoluto a quello calcolato in precedenza.

Il punto di commutazione in salita (Vds) sarà però ora cambiato, assumendo il valore

$$V_d = V_{ds} = I_2 \left(\frac{R_y}{2} - \frac{R_x}{2} \right) \qquad \text{(XII)}.$$

dove Vds può avere la stessa precisione di H se il generatore I2 è realizzato, secondo principi noti ed in base a criteri che non originano particolari difficoltà, nello stesso modo visto per Io.

Naturalmente, fermo restando il principio dell'invenzione, i particolari di realizzazione e

le forme di attuazione potranno essere ampiamente variati rispetto a quanto descritto ed illustrato, senza per questo uscire dall'ambito della presente invenzione. Ciò vale in particolare per quanto riguarda la possibile sostituzione di almeno alcuni dei transistori bipolari descritti in precedenza con componenti di altra natura, ad esempio con transistori ad effetto di campo. In questo caso, le dizioni "base", "emettitore" e "collettore", utilizzate nella presente descrizione e nelle rivendicazioni che seguono, dovranno intendersi come estendentisi, in generale, anche ai terminali di "gate", "source" e "drain" di transistori ad effetto di campo.

RIVENDICAZIONI

1. Circuito comparatore (10) con isteresi (H), caratterizzato dal fatto che comprende:

- uno stadio di ingresso con un primo (Q1) ed un secondo (Q2) transistore che ricevono sulla loro base rispettivi segnali di ingresso, definenti congiuntamente un segnale differenza di ingresso (Vd); detto primo (Q1) e secondo (Q2) transistore avendo rispettivi resistori (Rx, Ry) collegati sul loro emettitore, per cui detti rispettivi resistori di emettitore (Rx, Ry) determinano l'intensità della

le forme di attuazione potranno essere ampiamente variati rispetto a quanto descritto ed illustrato, senza per questo uscire dall'ambito della presente invenzione. Ciò vale in particolare per quanto riguarda la possibile sostituzione di almeno alcuni dei transistori bipolari descritti in precedenza con componenti di altra natura, ad esempio con transistori ad effetto di campo. In questo caso, le dizioni "base", "emettitore" e "collettore", utilizzate nella presente descrizione e nelle rivendicazioni che seguono, dovranno intendersi come estendentisi, in generale, anche ai terminali di "gate", "source" e "drain" di transistori ad effetto di campo.

RIVENDICAZIONI

1. Circuito comparatore (10) con isteresi (H), caratterizzato dal fatto che comprende:

- uno stadio di ingresso con un primo (Q1) ed un secondo (Q2) transistore che ricevono sulla loro base rispettivi segnali di ingresso, definenti congiuntamente un segnale differenza di ingresso (Vd); detto primo (Q1) e secondo (Q2) transistore avendo rispettivi resistori (Rx, Ry) collegati sul loro emettitore, per cui detti rispettivi resistori di emettitore (Rx, Ry) determinano l'intensità della

variazione della corrente di collettore ($\Delta_q I_c$) indotta in detto primo (Q1) e detto secondo (Q2) transistore da una variazione di detto segnale differenza di ingresso (Vd), e

- uno stadio differenziale con un ulteriore primo (Q5) ed un ulteriore secondo (Q6) transistore, le cui basi sono sensibili alle correnti di collettore di detto primo (Q1) e di detto secondo (Q2) transistore, rispettivamente; gli emettitori di detto ulteriore primo (Q5) e ulteriore secondo (Q6) transistore essendo collegati ad una sorgente di corrente costante (Io) con almeno uno (Q6) fra detti ulteriore primo (Q5) e ulteriore secondo (Q6) transistore che pilota l'uscita (Q8) del circuito, la disposizione essendo tale per cui detto stadio differenziale ammette un primo ed un secondo stato di funzionamento in cui detta corrente costante (Io) attraversa rispettivamente detto ulteriore primo (Q5) e detto ulteriore secondo (Q6) transistore e detta uscita del circuito (Q8) assume due rispettivi livelli diversi; la commutazione fra detto primo e detto secondo stato di funzionamento e la commutazione fra detto secondo e detto primo stato di funzionamento avendo luogo, rispettivamente, ad un primo (Vds) e ad un secondo (Vdf) livello

di segnale differenza di ingresso (Vd), la separazione fra detto primo (Vds) e detto secondo (Vdf) livello di segnale differenza definendo detta isteresi (H) ed essendo univocamente identificata dal valore di resistenza di detti rispettivi resistori di emettitore (Rx, Ry = R) e dal valore di detta corrente costante (Io).

2. Circuito secondo la rivendicazione 1, caratterizzato dal fatto che sui collettori di detto primo (Q1) e secondo (Q2) transistore sono montati rispettivi resistori (R1, R2) di collettore in vista di generare rispettivi segnali amperometrici indicativi del valore di intensità della corrente di collettore del rispettivo transistore (Q1, Q2) diretti verso le basi di detto ulteriore primo (Q5) e secondo (Q6) transistore. 3. Circuito secondo la rivendicazione 2, caratterizzato dal fatto che detti rispettivi resistori di collettore (R1, R2) presentano valori di resistenza identici.

4. Circuito secondo una qualsiasi delle rivendicazioni 1 a 3, caratterizzato dal fatto che detti rispettivi resistori di emettitore (Rx, Ry) presentano valore di resistenza uguale (Rx = Ry = R), per cui detto primo valore di segnale differenza di ingresso (Vds) è sostanzialmente pari a zero.

JACOBACCI - CASETTA & PERANI S.p.A.

5. Circuito secondo una qualsiasi delle rivendicazioni 1 a 3, caratterizzato dal fatto che detti rispettivi resistori di emettitore (Rx, Ry) presentano valori di resistenza diversi fra loro, per cui detto primo livello di segnale differenza di ingresso (Vds) risulta funzione della differenza dei valori di resistenza di detti rispettivi resistori (Ry − Rx).

6. Circuito secondo una qualsiasi delle precedenti rivendicazioni, caratterizzato dal fatto che tra detto primo transistore (Q1) e detto ulteriore primo transistore (Q5), da una parte, e tra detto secondo transistore (Q2) e detto ulteriore secondo transistore (Q6), dall'altra parte, è interposto un rispettivo transistore di trasferimento (Q3 risp. Q4) per trasferire l'intensità della corrente di collettore di detto primo transistore (Q1) e di detto secondo transistore (Q2) verso la base, rispettivamente, di detto ulteriore primo transistore (Q5) e di detto ulteriore secondo transistore (Q6).

7. Circuito secondo la rivendicazione 6, caratterizzato dal fatto che detto primo transistore (Q1) e detto ulteriore primo transistore (Q5), da una parte, e detto secondo transistore (Q2) e detto ulteriore secondo transistore (Q6), dall'altra

parte, presentano polarità omologhe, mentre detto transistore di trasferimento (Q3, Q4) presenta polarità opposta rispetto a quello fra detto primo (Q1) e detto secondo (Q2) transistore a cui è collegato.

8. Circuito secondo la rivendicazione 6 o la rivendicazione 7, caratterizzato dal fatto che detto transistore di trasferimento (Q3, Q4) pilota la base, rispettivamente, di detto ulteriore primo transistore (Q5) e di detto ulteriore secondo transistore (Q6) attraverso il suo collettore.

9. Circuito secondo la rivendicazione 8, caratterizzato dal fatto che sul collettore di detto transistore di trasferimento (Q3, Q4) è montato un diodo (D1, D2) suscettibile di essere attraversato dalla corrente di collettore del transistore di trasferimento (Q3, Q4) stesso.

10. Circuito secondo una qualsiasi delle rivendicazioni 6 a 9, caratterizzato dal fatto che il collettore di detto transistore di trasferimento (Q3, Q4) è alimentato da una sorgente di corrente costante (I1, I3).

11. Circuito secondo una qualsiasi delle precedenti rivendicazioni, caratterizzato dal fatto che tra le basi di detto ulteriore primo (Q5) e di detto

ulteriore secondo (Q6) transistore è interposto un transistore di protezione (Q7) destinato ad impedire che la base di quello (Q6) tra detto ulteriore primo (Q5) e detto ulteriore secondo (Q6) transistore che pilota l'uscita del circuito (Q8) possa raggiungere il livello di tensione di alimentazione.

12. Circuito secondo la rivendicazione 11, caratterizzato dal fatto che detto transistore di protezione (Q7) presenta l'emettitore collegato alla base di quello (Q6) fra detto ulteriore primo (Q5) e detto ulteriore secondo (Q6) transistore che pilota l'uscita del circuito (Q8) e la base collegata all'altro (Q5) fra detto ulteriore primo (Q5) e detto ulteriore secondo (Q6) transistore.

13. Circuito secondo una qualsiasi delle precedenti rivendicazioni, caratterizzato dal fatto che comprende uno stadio di uscita (Q8) comprendente un transistore d'uscita (Q8) pilotato da detto stadio differenziale (Q5, Q6).

Il tutto sostanzialmente come descritto ed illustrato e per gli scopi specificati.

PER INCARICO
Ing. Luciano BOSOTTI
N. iscriz. ALBO 200
(In proprio e per gli altri)

FIG. 1 TECNICA NOTA

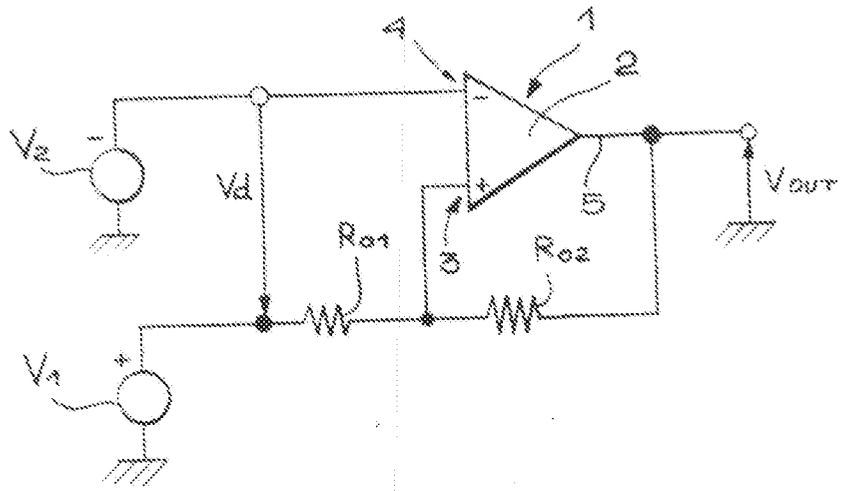
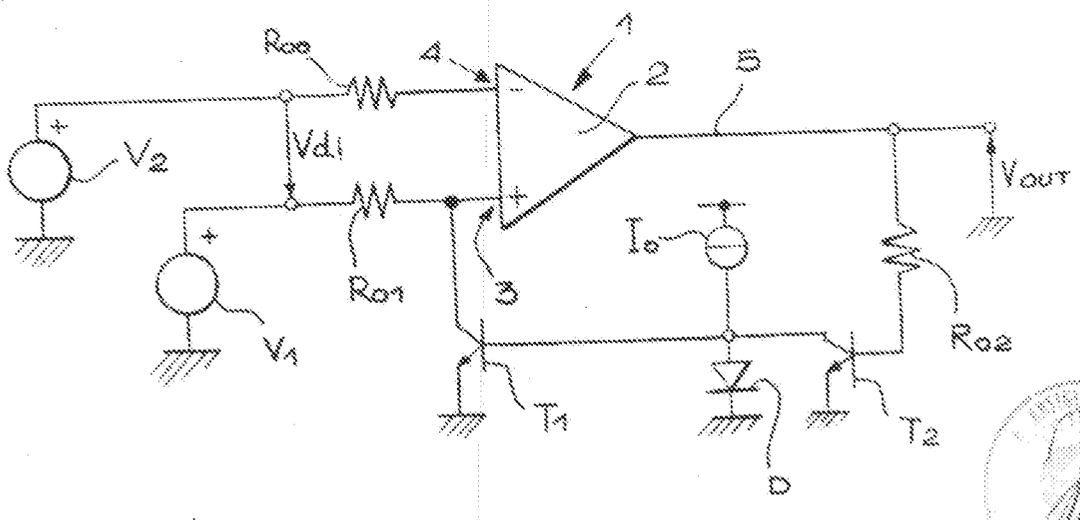


FIG. 2 TECNICA NOTA

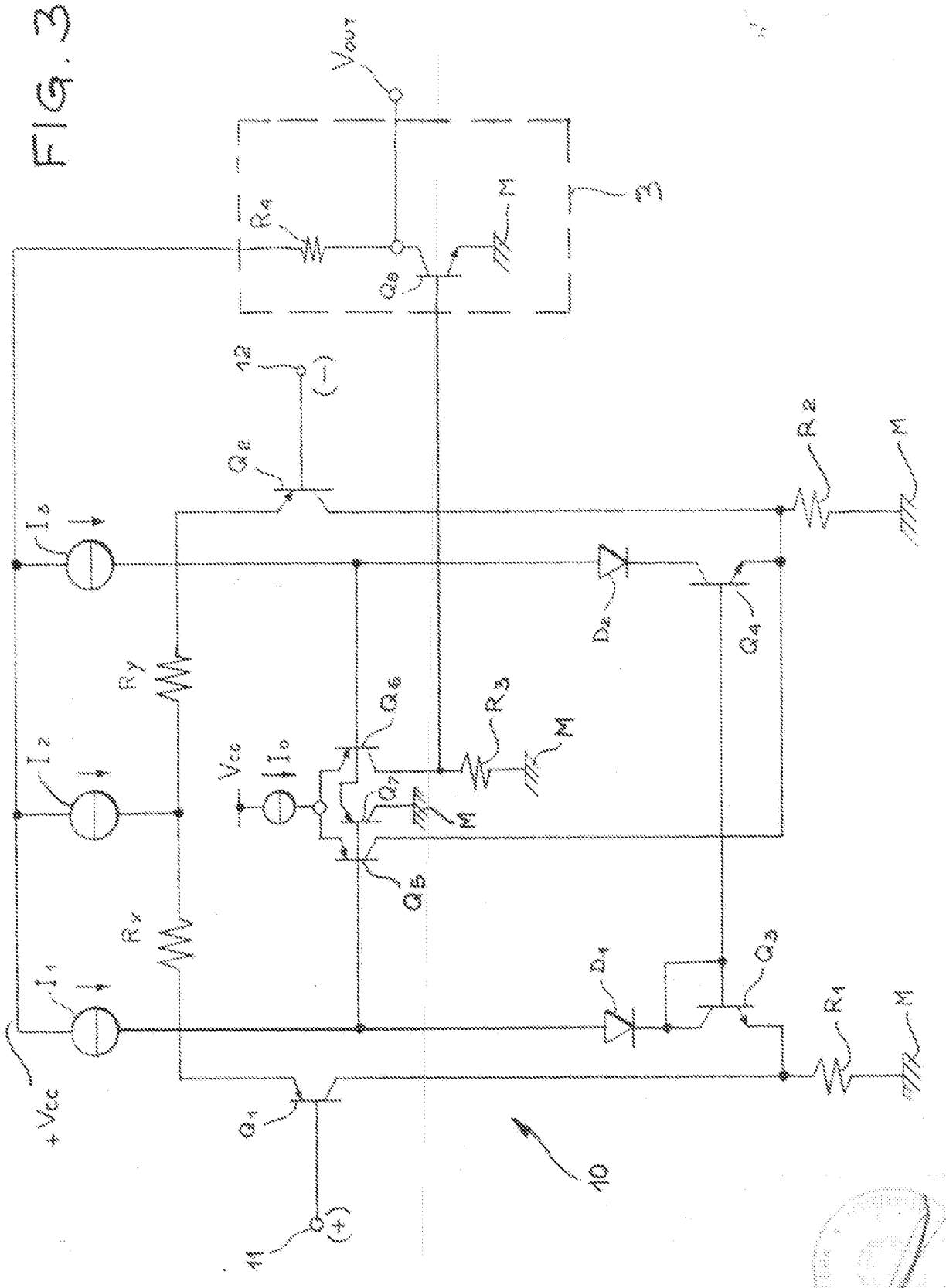


Per incarico di : SGS-THOMSON MICROELECTRONICS S.R.L.
Per procura di : MARELLI AUTRONICA S.P.A.

Ing. Franco GUZZI
N. Iscr. ALBO
In proprio e per gli altri

SGS-THOMSON / MARELLI AUTRONICA

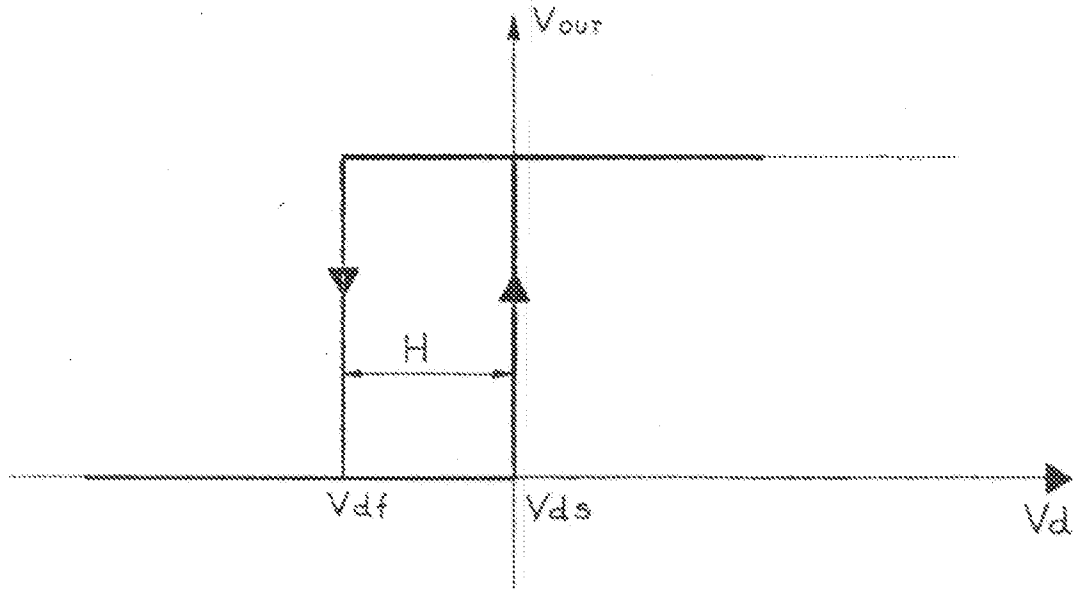
FIG. 3



Per incarico di : SGS-THOMSON MICROELECTRONICS S.R.L.
Per procura di : MARELLI AUTRONICA S.P.A.

Ing. Franco BUZZI
N. Iscr. ALBO
(In proprio e per gli altri)

FIG. 4



Per incarico di : SGS-THOMSON MICROELECTRONICS S.R.L.
Per procura di : MARELLI AUTRONICA S.P.A.

Ing. Franco BUZZI
N. Iscrizione ALBO 259
(In proprio e per gli altri)

SGS THOMSON / MARELLI AUTRONICA