



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0115375
(43) 공개일자 2023년08월03일

(51) 국제특허분류(Int. Cl.)

H10N 50/10 (2023.01) G06N 3/063 (2023.01)
G11C 11/16 (2006.01) H10N 50/80 (2023.01)
H10N 50/85 (2023.01)

(52) CPC특허분류

H10N 50/10 (2023.02)
G06N 3/063 (2013.01)

(21) 출원번호 10-2022-0011413

(22) 출원일자 2022년01월26일

심사청구일자 없음

(71) 출원인

현대자동차주식회사
서울특별시 서초구 현릉로 12 (양재동)
기아 주식회사
서울특별시 서초구 현릉로 12 (양재동)
울산대학교 산학협력단
울산광역시 남구 대학로 93(무거동)

(72) 발명자

권준현
경기도 화성시 동탄순환대로26길 81, 456-1202
이지성
경기도 수원시 영통구 권선로882번길 107-40, 201호
(뒷면에 계속)

(74) 대리인

(유)한양특허법인

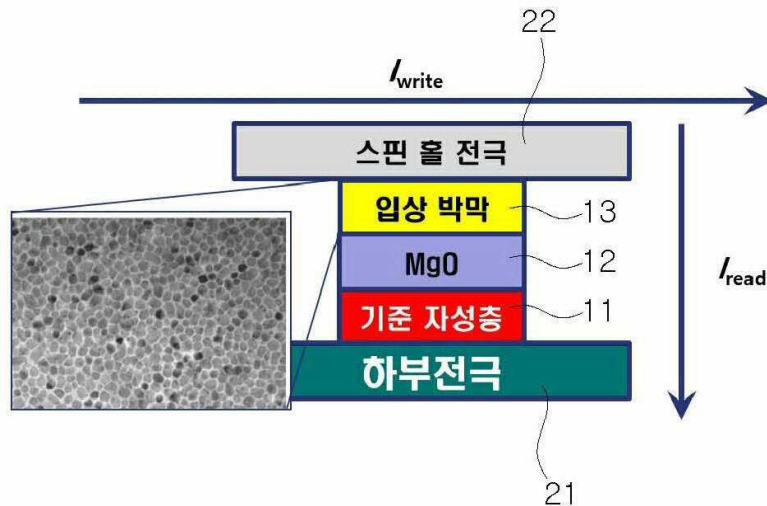
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 스핀트로닉스 기반 인공 시냅스 소자

(57) 요약

본 발명은 하부 전극 상에 적층되는 기준 자성층, 결정립들이 무작위적으로 분포하는 입상 자성 박막층, 상기 기준 자성층 및 상기 입상 자성 박막층 간에 접합되어 자기터널접합(magnetic tunnel junction) 구조를 형성하는 터널 장벽층 및 상기 입상 자성 박막층 상에 적층되는 스핀 홀 전극을 포함하는 스핀트로닉스 기반 인공 시냅스 소자로서, 본 발명에 의하면, 기존의 시냅스 소자에 비해 전도도(혹은 저항) 변화의 선형성을 확보할 수 있고 보다 빠른 응답 속도를 구현할 수 있다.

대표도 - 도2



(52) CPC특허분류

G11C 11/161 (2013.01)

H10N 50/80 (2023.02)

H10N 50/85 (2023.02)

(72) 발명자

노수정

서울특별시 용산구 백범로 341, 102-1504

이한샘

서울특별시 강동구 고덕로 333, 120-603

정세엽

대구광역시 수성구 지범로40길 11, 105동 607호

이동현

울산 중구 평동2길50, C동 308호

이년중

울산 남구 옥현로 60번길41, 101호

김상훈

울산광역시 남구 옥현로 34, 312동 1301호

명세서

청구범위

청구항 1

하부 전극 상에 적층되는 기준 자성층;

결정립들이 무작위적으로 분포하는 입상 자성 박막층;

상기 기준 자성층 및 상기 입상 자성 박막층 간에 접합되어 자기터널접합(magnetic tunnel junction) 구조를 형성하는 터널 장벽층; 및

상기 입상 자성 박막층 상에 적층되는 스핀 홀 전극을 포함하는,

스핀트로닉스 기반 인공 시냅스 소자.

청구항 2

청구항 1에 있어서,

상기 입상 자성 박막층은 Co-Al-O, CoPtCr-SiO₂, FePt-C, FePt-TiO₂, FePt-Ta₂O₅, FePt-Cr₂O₃, FePt-Nb₂O_{4.8}, Fe-C, FePtCu-C, FePtAu-C, FePtAg-C 중 선택된 어느 하나인 것을 특징으로 하는,

스핀트로닉스 기반 인공 시냅스 소자.

청구항 3

청구항 2에 있어서,

상기 기준 자성층은 Co, Fe, CoFeB 중 어느 하나인 것을 특징으로 하는,

스핀트로닉스 기반 인공 시냅스 소자.

청구항 4

청구항 3에 있어서,

상기 터널 장벽층은 MgO 산화물인 것을 특징으로 하는,

스핀트로닉스 기반 인공 시냅스 소자.

청구항 5

청구항 4에 있어서,

상기 스핀 홀 전극은 Pt, β -W, Pd, Ta 중 어느 하나인 것을 특징으로 하는,

스핀트로닉스 기반 인공 시냅스 소자.

청구항 6

청구항 2에 있어서,

전류가 인가되면 상기 입상 자성 박막층의 상기 결정립들의 자화 분포의 변화가 발생하여, 전체 저항이 선형적으로 변하는 것을 특징으로 하는,

스핀트로닉스 기반 인공 시냅스 소자.

청구항 7

청구항 6에 있어서,

인가된 전류의 방향을 변경하면, 상기 입상 자성 박막층의 상기 결정립들의 자화 분포의 변화가 발생하여,

potentiation-depression이 전류 방향에 의해 제어되는 것을 특징으로 하는,
스핀트로닉스 기반 인공 시냅스 소자.

발명의 설명

기술 분야

[0001] 본 발명은 뉴로모픽 시스템의 응용을 위한 멀티 레벨의 컨덕턴스(혹은 저항)를 가지는 시냅스 소자에 관한 것이다.

배경 기술

[0002] 인간이 기억하고 사고하는 과정에서 필요한 구동 전압은 약 0.1 V로 CMOS 소자로 흉내 낸 인공지능 시스템에 필요한 구동 전압 1.0 V보다 훨씬 낮다. 지난 2016년 Google DeepMind 사의 알파고와 이세국의 바둑 대국에서 알파고는 1,202개의 CPU와 176개의 GPU를 사용한 것으로 알려져 있다. 이를 전력으로 단순 비교하면 현 컴퓨팅 기술의 경우 20 W의 전력만 필요한 인간보다 약 1만 배 수준인 100 kW의 전력이 필요한 상황이다.

[0003] 사물인식은 자율 주행과 같은 IoT 기반의 기술개발에 있어 핵심 개념이라고 할 수 있다. 이를 위해 전 세계적으로 병렬구조 논리회로 개발, 인간의 신경망을 닮은 신경소자 개발 등 사물인식 시스템에 필요한 다양한 기술들이 활발하게 연구되고 있다.

[0004] 사물인식을 위해서는 인공지능 컴퓨팅 기술이 필수적인데, 이를 위해서는 에너지 효율을 극대화시킬 수 있는 단위 소자의 개발이 필수적이라고 할 수 있다.

[0005] 뉴로모픽 시스템은 현재 사용되고 있는 폰-노이만 시스템과는 많은 차이가 있다. 먼저 폰-노이만 시스템은 디지털 신호를 활용하는 반면, 뉴로모픽 시스템은 아날로그 신호를 활용한다. 이에 따라, 병렬구조의 데이터 처리방식이 가능해지고, 저장과 연산 등의 기능을 동시에 처리할 수 있다. 기존 디지털 기반 시스템은 데이터의 저장과 연산에 강점이 있는 반면, 뉴로모픽 시스템은 이미지와 소리, 패턴을 인식하는데 큰 강점이 있다. 즉, 사물인식을 통한 자율주행과 같은 기술에 있어 필수적인 시스템이다.

[0006] 뉴로모픽 시스템을 구현하려면 먼저 뇌의 신경망이 어떻게 구동되는지 이해가 필요하다. 뇌의 신경망은 기본적으로 뉴런과 시냅스로 구성되어 있으며, 뉴런의 경우 신호처리, 시냅스의 경우 신호 전달의 역할을 수행한다고 할 수 있다.

[0007] 신경 소자는 아래 언급된 특징들을 가지고 있어 자동차 관련 미래기술의 핵심이라 할 수 있는 자율주행에 반드시 필요한 요소라고 할 수 있다.

[0008] - 경험 및 학습 등을 통해 습득된 데이터 기반

[0009] - 숨겨진 구조 및 패턴을 보다 쉽게 포착 가능

[0010] - 변화되지 않는 데이터를 저장하게 되면, 그 저장된 데이터가 포함된 새로운 데이터에서도 저장된 데이터 인지가 가능

[0011] - 인지의 기반이 되는 것은 뇌의 기억력

[0012] - 상황에 따른 적절한 기억력 추출

[0013] - 자동 연상 방식으로 부분들을 조합해 전체를 활성화

[0014] 위와 같은 특징을 가질 수 있는 이유는 바로 Neocortex(신피질)라고 불리는, 뇌의 고차원적인 사고를 담당하는 부분의 특성을 모사하고 있기 때문이다.

[0015] Neocortex는 2 mm의 두께에 약 1,000억개의 뉴런으로 구성되어 있고, 각각의 뉴런은 1,000 ~ 10,000 개의 시냅스와 연결되어 있다.

[0016] 시냅스는 뉴런과 뉴런 사이를 연결해주는 뉴로모픽 시스템의 또 다른 기본 연산 단위이다. 입력된 신호가 누적되어 일정 임계값 이상이 되면 뉴런 세포에서 수십 mV의 전기신호를 스파이크 형태로 발현한다. 전기신호가 pre-synaptic neuron으로부터 시냅스로 도달하게 되면, 시냅스 내의 이온들이 pre-synaptic neuron로 이동하게 되어 신호를 전송한다. 이 과정에서 시냅스의 이온 분포가 변하게 된다.

- [0017] 시냅스의 특성을 모방한 소자는 비휘발성 메모리 소자이면서 다음 뉴런으로 여러 단계의 전기신호로 전송이 될 수 있고 시냅스 학습을 구현할 수 있어야 한다. 대표적인 시냅스 모방 소자는 멤리스터이다.
- [0018] 최근 멤리스터 특성을 보여주는 소자들이 다양한 물질과 구조들을 활용한 형태로 구현되어 발표되고 있다. 대표적으로 금속 이온 이동 기반 소자, 사소정공 이동 기반 소자, 상 변화 기반 소자, 스핀 기반 소자, 전계효과 트랜지스터 기반 소자, 강유전체 분극 반전 기반 소자 등이 있다.
- [0019] 이상의 배경기술에 기재된 사항은 발명의 배경에 대한 이해를 돕기 위한 것으로서, 이 기술이 속하는 분야에서 통상의 지식을 가진 자에게 이미 알려진 종래기술이 아닌 사항을 포함할 수 있다.

선행기술문헌

특허문헌

- [0020] (특허문헌 0001) 한국등록특허공보 제10-1940669호

발명의 내용

해결하려는 과제

- [0021] 본 발명은 상술한 문제점을 해결하고자 안출된 것으로서, 본 발명은 기존의 시냅스 소자에 비해 전도도 변화의 선형성을 확보할 수 있고 보다 빠른 응답 속도를 구현할 수 있는 스핀트로닉스 기반 인공 시냅스 소자를 제공하는 데 그 목적이 있다.

과제의 해결 수단

- [0022] 본 발명의 일 관점에 의한 스핀트로닉스 기반 인공 시냅스 소자는, 하부 전극 상에 적층되는 기준 자성층, 결정립들이 무작위적으로 분포하는 입상 자성 박막층, 상기 기준 자성층 및 상기 입상 자성 박막층 간에 접합되어 자기터널접합(magnetic tunnel junction) 구조를 형성하는 터널 장벽층 및 상기 입상 자성 박막층 상에 적층되는 스핀 홀 전극을 포함한다.
- [0023] 그리고, 상기 입상 자성 박막층은 Co-Al-O , CoPtCr-SiO_2 , FePt-C , FePt-TiO_2 , $\text{FePt-Ta}_2\text{O}_5$, $\text{FePt-Cr}_2\text{O}_3$, $\text{FePt-Nb}_2\text{O}_{4.8}$, Fe-C , FePtCu-C , FePtAu-C , FePtAg-C 중 선택된 어느 하나인 것을 특징으로 한다.
- [0024] 또한, 상기 기준 자성층은 Co , Fe , CoFeB 중 어느 하나인 것을 특징으로 한다.
- [0025] 그리고, 상기 터널 장벽층은 MgO 또는 AlOx 의 부도체 산화물인 것을 특징으로 한다.
- [0026] 나아가, 상기 스핀 홀 전극은 Pt , $\beta\text{-W}$, Pd , Ta 중 어느 하나인 것을 특징으로 한다.
- [0027] 한편, 전류가 인가되면 상기 입상 자성 박막층의 상기 결정립들의 자화 분포의 변화가 발생하여, 전체 저항이 선형적으로 변하는 것을 특징으로 한다.
- [0028] 그리고, 인가된 전류의 방향을 변경하면, 상기 입상 자성 박막층의 상기 결정립들의 자화 분포의 변화가 발생하여, potentiation-depression이 전류 방향에 의해 제어 것을 특징으로 한다.

발명의 효과

- [0029] 자성 멤리스터가 아닌 기존 멤리스터 소자들의 경우, IC chip에서 활용하기 위한 저항변화의 선형성이 확보가 되지 않으나, 본 발명의 스핀트로닉스 기반 인공 시냅스 소자에 의하면 전도도 변화의 선형성을 확보할 수 있으며, 나노초 이하의 빠른 동작 특성을 구현할 수 있다.
- [0030] 그리고, 100 nm junction 기준 대략 30 level을 만들 수 있고, 이는 기존 제안된 스커미온 기반 시냅스 소자보다 이론적으로는 단위면적당 100~1000배 많은 저항 level을 만들 수 있음을 의미한다.
- [0031] 또한, 이미 상용화된 MTJ 구조를 활용할 수 있으므로, Post Si 소자로 이미 상용화가 된 MRAM의 단위소자인 자기터널 접합을 활용할 수 있어 상용화 측면에서 큰 장점이 있다.

도면의 간단한 설명

- [0032] 도 1은 본 발명의 핵심 구동 원리를 설명하기 위한 것이다.
- 도 2는 본 발명의 스핀트로닉스 기반 인공 시냅스 소자를 개략적으로 도시한 것이다.
- 도 3 내지 도 5는 본 발명의 스핀트로닉스 기반 인공 시냅스 소자에 의한 스위칭 동작을 순차적으로 도시한 것이다.
- 도 6은 도 3 내지 도 5의 각 단계별 컨덕턴스 변화를 도시한 것이다.
- 도 7은 입상 자성 박막에 의한 multilevel 수를 결정하는 요인을 설명하기 위한 것이다.
- 도 8은 본 발명의 스핀트로닉스 기반 인공 시냅스 소자에 의한 선형 특성을 나타낸 것이다.
- 도 9는 인가된 펄스 수에 따른 스위칭 및 선형적 특성을 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시 예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- [0034] 본 발명의 바람직한 실시 예를 설명함에 있어서, 본 발명의 요지를 불필요하게 흐릴 수 있는 공지 기술이나 반복적인 설명은 그 설명을 줄이거나 생략하기로 한다.
- [0035] 다양한 물질과 구조들을 활용한 멤리스터 특성을 보여주는 소자들에는 대표적으로 금속 이온 이동 기반 소자, 산소정공 이동 기반 소자, 상 변화 기반 소자, 스핀 기반 소자, 전계효과 트랜지스터 기반 소자, 강유전체 분극 반전 기반 소자 등이 있다.
- [0036] SRAM 기반의 시냅스 소자는 1bit SRAM 기반 시냅스 소자를 사용한다. 시냅스 특성을 잘 모사하나 하나의 시냅스 소자 위해 8개의 transistor가 필요하기 때문에 고집적화가 어렵다.
- [0037] 강유전체 초박막 기반 멤리스터 소자는 외부에서 인가된 반복된 자극(펄스)에 의한 강유전체 초박막 (2~4 nm) 도메인 변화와 그에 따른 터널링 전류 변화 (고집적 응용 가능)를 이용한다. 반복된 자극(펄스)에 의해 시냅스 특성 (시냅스 감소 & 시냅스 강화)을 구현하는 원리이며, 극단적으로 짧은 자극(펄스) 시간에 의한 효율적인 에너지 소비량이 장점이다.
- [0038] 단점은 페로프스카이트 산화물로 실제 산업에 사용되기 어려운 소재인 점과 확률적 거동으로 재현성이 떨어진다는 점이 있다.
- [0039] 금속 이온 이동 기반 멤리스터 소자는 고체 전해질 내부로 이동하는 금속이온의 반복적인 산화, 환원을 통한 전도성 패스 형성으로 인한 높은 on/off 신호 비율 (>105)의 구현이 가능하다.
- [0040] 반복된 자극 (펄스) 의 조건에 의존하는 시냅스의 생물학적 특성인 단기 강화 장기 강화 전환 및 단기 기억 장기 기억 전환 특성을 모사할 수 있다.
- [0041] 단점은 우수한 특성에도 불구하고 비 선형적인 멤리스터 특성과 확률적 거동으로 인한 낮은 재현성이다.
- [0042] 산소정공 이동 기반 멤리스터 소자는 산화물 박막 (TaOx) 내부에 존재하는 산소 정공의 이동을 통해 형성 및 파괴되는 전도성 패스로 인한 저항변화 현상을 이용한 array 소자 제작이 가능하여 가장 연구가 많이 되고 있는 소자이다.
- [0043] 반복된 자극(펄스)에 의한 시냅스의 생물학적 특성인 시냅스 강화 및 시냅스 감소 특성을 모사할 수 있다.
- [0044] 단점으로는 비선형성, 느린 속도, 확률적 거동으로 인한 재현성 약화 등이 있다.
- [0045] 그리고, 스핀트로닉스 기반 시냅스 소자는 위상학적으로 안정한 준입자인 스커미온(skyrmion)의 개수에 따른 저항변화를 이용한 소자로 in-input 신호에 대한 전도도의 변화는 1차 함수의 형태를 가진다. 즉, 우수한 선형 특성의 구현이 가능하다. 또한, 나노초 이하의 빠른 속도 또한 강점이다.
- [0046] 이미 상용화 된 MRAM의 unit인 magnetic tunnel junction(MTJ)이 기본 구조이므로 산업적 적용 측면에서 장점이 있다.

- [0047] 단점은 동작 조건이 까다로워서 고집적의 multilevel을 구현하는데 어려움이 있다.
- [0048] 이 같은 종래 기술들과 달리 본 발명은 빠른 응답속도, 비확률적 거동, 높은 에너지 효율, 안정성 등의 우수성과 MRAM 공정과의 호환성으로 높은 산업적 성숙도를 확보한 스핀트로닉스 기반 시냅스 소자의 강점은 유지하고, 신호의 비선형성과 고집적의 멀티레벨 구현의 어려움이라는 한계를 개선하기 위한 것이다.
- [0049] 본 발명의 스핀트로닉스 기반 인공 시냅스 소자의 핵심 구동 원리는 각운동량 전달 현상을 이용한다. 자성체에 자기장을 가하고 스핀 분극 된 전류를 흘렸을 때 자성체의 자기 모멘트의 동역학을 설명하는 Landauer-Liftshitz-Gilbert-Slonzweski 식으로부터 전류의 스핀이 자성체의 자화에 각운동량을 전달하게 되면, 그것이 어떻게 동역학에 영향을 줄 수 있음을 알 수 있다.
- [0050] 도 1은 본 발명의 핵심 구동 원리를 설명하기 위한 것으로서, 각운동량 전달은 다음 두 가지 경우로 구분할 수 있다.
- [0051] 즉, Pt과 같은 스핀-오빗 상호작용이 큰 물질에 전류를 흘리게 되면 전류의 수직방향으로 스핀 분극이 되어 스핀 전류가 흐르는 스핀 홀 효과 (spin Hall effect, 이하 SHE)가 나타나게 된다. 이때, 자성층과 함께 접합구조를 이루고 있으면 스핀 전류가 자성층에 주입되게 되고, 이 역시 STT와 같이 자성층에 각운동량을 전달하게 된다. 이를 SOT라고 하며, 보통 STT보다 더 빠른 자화 스위칭을 유도할 수 있다.
- [0052] 그리고, 본 발명의 스핀트로닉스 기반 인공 시냅스 소자는 입상 자성 박막(granular magnetic thin film)을 적용하는 것을 특징으로 한다.
- [0053] 입상 자성 박막이란 약 6~20 nm로 작은 자성 결정립들이 비자성 물질에 심어져 있는(embedded) 형태로 존재하는 박막을 말한다. 일반적으로 수직자기 이방성이 강한 물질을 사용하는 경우 작은 알갱이를 bit로 활용할 수 있어 높은 저장밀도를 가진 자기기록 매체, 즉 하드디스크 드라이브의 미디어 물질로 많은 연구가 되고 있다. 본 발명의 기본 개념은 입상 자성 박막에서 작은 결정립들의 특성이 무작위적으로 분포하는 특성을 이용하는 것이다.
- [0054] 입상 자성 박막 물질은 다음과 같으며, 다음 표의 특징을 가진다.
- [0055] Co-Al-O, CoCrPt:SiO₂, L₁₀ FePtX (X=Cu, Au, Ag, Cu, C), L₁₀ FePtM_xO_y (M=Cr, Ti, Zr, Nb, W, Al, Ta)

표 1

종류	물질	Ms[a=A/m]	Hc[T]	Thickness[nm]	Fraction[%]
FePt-Y	FePt-C	$\sim 10^6$	1.5	12	15
	FePt-TiO ₂	$\sim 10^6$	0.7	12	20
	FePt-Ta ₂ O ₅	$\sim 10^6$	0.9	12	20
	FePt-Cr ₂ O ₃	$\sim 10^6$	1.4	8	10
	FePt-Nb ₂ O _{4.8}	8.5×10^5	1.5	6	10
FePtX-C	Fe-C	8.0×10^5	0.0427	~100	47
	FePtCu-C	1.2×10^5	0.5700	~100	47
	FePtAu-C	5.5×10^5	3.8	20	-
	FePtAg-C	7.5×10^5	3.8	4	15
otherwise	CoPtCr-SiO ₂	7.0×10^5	0.5	16	8
	CoAlO	-	0.005	17.5	-

- [0057] 다음, 도 2 내지 도 5를 참조하여 이상에서 살펴본 입상 자성 박막 물질을 이용한 본 발명의 인공 시냅스 소자를 설명하기로 한다.
- [0058] 본 발명의 인공 시냅스 소자는 도시와 같이 하부 전극(21), 기준 자성층(11), 터널 장벽층(12), 입상 자성 박막층(13), 스핀 홀 전극(22)이 순차적으로 적층된 3 단자(3-terminal) 소자이다.
- [0059] 즉, 기준 자성층(11)/터널 장벽층(12)/입상 자성 박막층(13) 형태의 자기 터널접합(Magnetic Tunnel Junction,

MTJ)에 스핀 전류를 발생시킬 수 있는 스핀 홀 전극(22)을 구성한다.

[0060] 기준 자성층(11)은 Co, Fe, CoFeB 등과 같은 상온에서 자성을 가질 수 있는 연자성 물질들을 포함한다.

[0061] 터널 장벽층(12)은 터널 자기저항을 구현하기 위한 층으로 MgO, AlO_x와 같은 부도체 산화물이 활용될 수 있다.

[0062] 입상 자성 박막층(13)은 앞서 설명한 여러 입상박막 형태들로서, Co-Al-O, CoPtCr-SiO₂, FePt-C, FePt-TiO₂, FePt-Ta₂O₅, FePt-Cr₂O₃, FePt-Nb₂O_{4.8}, Fe-C, FePtCu-C, FePtAu-C, FePtAg-C 중 어느 하나일 수 있다.

[0063] 스핀 홀 전극(22)은 Pt, β-W, Pd, Ta 등을 포함한다.

[0064] 도 3과 같은 입상 자성 박막층(13)과 기준 자성층(11)이 서로 반대 방향의 자화 방향을 갖는 상태(high resistance, 반대의 상태 또한 가능)에서, (도 6의 1번 상태) 스핀 홀 전극(22)에 전류가 주입되면 스핀 홀 효과에 의해 도 4와 같이 부분 스위칭 후 도 5와 같이 전체 스위칭이 일어난다. 즉, 도 6의 2, 3번과 같이 입상 자성 박막의 알갱이의 크기 분포로 인해 전류 펄스의 크기나 주기에 따라 저항이 서서히 변하는 선형 구동의 거동을 보이고, 선형 구동 후 입상 자성 박막(13)과 기준 자성층(11)이 서로 같은 방향을 갖게 되고 이때 저항은 최소가 된다. (시냅스 소자에서의 강화(potential) 과정)

[0065] 다음, 스핀 홀 전극(22)에 반대 전류를 주입함으로써 SOT를 이용하여 입상 자성 박막층(13)의 자화 반전에 의한 부분 스위칭(도 4) 후 도 3과 같이 전체 스위칭이 일어난다. (시냅스 소자에서의 감소(depression) 과정)

[0066] 이와 같이, 스핀 홀 전극(22)에서 생성된 스핀 전류는 입상 자성 박막층(13)으로 주입되게 되고, 이에 따라 각각의 grain들의 자화가 반전된다(switching). 인가한 펄스의 수를 증가함에 따라 자화 반전된 grain의 수가 늘어나기 때문에 multilevel 구현이 가능하게 되는 것이다.

[0067] 입상 박막의 결정립 수, 자기 이방성 분포, 결정립 사이의 거리 등에 의해 스위칭 동작 특성이 바뀔 수 있으나, multilevel의 개수는 결정립의 수와 결정립 사이의 거리에 의존적이다.

[0068] 도 7을 참조하여 Multilevel의 수를 결정하는 요인을 설명하기로 한다.

[0069] 입상 자성 박막의 자성 결정립(grain)의 크기는 보통 6~20 nm이며 약 5~10 nm의 표준편차를 보인다. 전류를 이용한 작은 자성 결정립의 독립적인 제어는 100 nm지름의 자기 터널 접합에 이론적으로 수십개의 multilevel을 구현할 수 있다.

[0070] 결정립 한 개의 평균 지름이 d일 경우, 결정립이 소자에 차지하는 전체 면적은 N개의 결정립이 있는 경우 $N\pi d^2$ 가 된다. 결정립 N개를 가지고 있는 소자의 반지름은 πR^2 이 된다. 이때 TMR(Tunneling Magnetoresistance)은 다음 식과 같이 자기 터널 접합의 단면적 대비 자화방향이 바뀐 결정립의 총 면적의 비율에 의해 결정되며, multilevel의 수는 N개가 된다.

수학식 1

$$TMR \propto \frac{N\pi d^2}{\pi R^2} = \frac{Nd^2}{R^2}$$

[0072] n개의 결정립이 스위칭 되었을 때 TMR은 다음과 같다.

수학식 2

$$TMR_n = \frac{nd^2}{R^2} \frac{\Delta R}{R_0}$$

[0074] 입상박막의 결정립 크기는 증착 과정의 온도, 비자성 성분의 분율에 의해 결정되며, 수 nm에서 수 십 nm의 크기를 가질 수 있다.

[0075] 도 8은 본 발명의 스핀트로닉스 기반 인공 시냅스 소자에 의한 선형 특성을 나타낸 것이고, 도 9는 인가된 펄스

수에 따른 스위칭 및 선형적 특성을 나타낸 것이다.

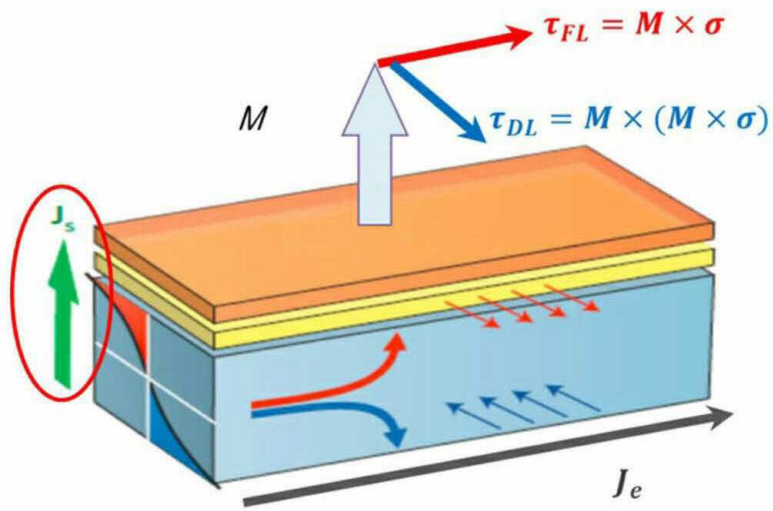
- [0076] Modified Voronoi tessellation을 이용한 미세 자성 시뮬레이션 결과 (μ -Max3) 도 8과 같이 자화반전 (switching) 특성을 확인하였다. 초기상태(initial)에서 전부 자화가 up 상태일 때, 전류를 인가하게 되면 스핀 전달 토크를 이용하여 자화를 일부분씩 반전 시킬 수 있음을 볼 수 있다. 총 자화의 변화가 약 30 level에 걸쳐 변화함을 알 수 있다.
- [0077] MTJ 소자에서 자화의 반전은 저항의 변화를 의미하므로, 이와 같이 우수한 선형특성을 갖는 memristor 특성을 구현할 수 있음을 알 수 있다.
- [0078] 도 9는 potentiation 과 depression이 주기적으로 잘 구현이 되는 것을 보여준다. 즉, 제안된 소자가 우수한 memristor특성을 가짐을 알 수 있다.
- [0079] pulse number는 소자에 순차적으로 인가된 펄스의 총 숫자이다. 도 9에서 pulse number가 120까지 증가하였는데, 이는 펄스를 120회 인가했다는 의미이다. 시뮬레이션 상에서 매 30회 펄스 인가마다 주입되는 전류의 방향을 바꾸어 스핀 홀 전극에서 주입되는 스핀 전류의 스핀 방향을 바꾸었고, 이를 통해 저항변화(TMR)의 potentiation-depression 이 전류 방향에 의해 제어됨을 구현한 결과이다.
- [0080] 이상과 같이 본 발명의 시냅스 소자에 의하면, 전도도 변화의 선형성을 확보할 수 있으며, 나노초 이하의 빠른 동작 특성을 구현할 수 있다.
- [0081] 그리고, 100 nm junction 기준 대략 30 level을 만들 수 있고, 이는 기존 제안된 스커미온 기반 시냅스 소자보다 100~1000배 많은 저항 level을 만들 수 있음을 의미한다.
- [0082] 또한, 이미 상용화된 MTJ 구조를 활용할 수 있으므로, Post Si 소자로 이미 상용화가 된 MRAM의 단위소자인 자기터널 접합을 활용할 수 있어 상용화 측면에서 큰 장점이 있다.
- [0083] 이상과 같은 본 발명은 예시된 도면을 참조하여 설명되었지만, 기재된 실시 예에 한정되는 것이 아니고, 본 발명의 사상 및 범위를 벗어나지 않고 다양하게 수정 및 변형될 수 있음은 이 기술의 분야에서 통상의 지식을 가진 자에게 자명하다. 따라서 그러한 수정 예 또는 변형 예들은 본 발명의 특허청구범위에 속한다 하여야 할 것이며, 본 발명의 권리범위는 첨부된 특허청구범위에 기초하여 해석되어야 할 것이다.

부호의 설명

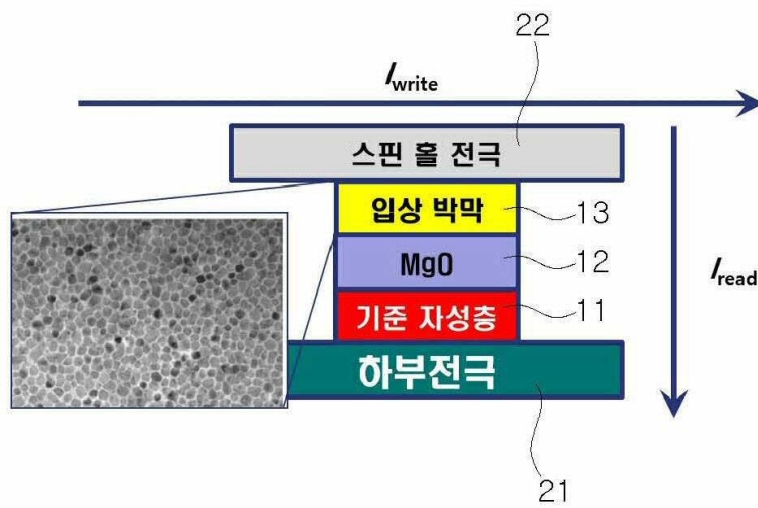
- [0084] 11 : 기준 자성층
12 : 터널 장벽층
13 : 입상 자성 박막층
21 : 하부 전극
22 : 스핀 홀 전극

도면

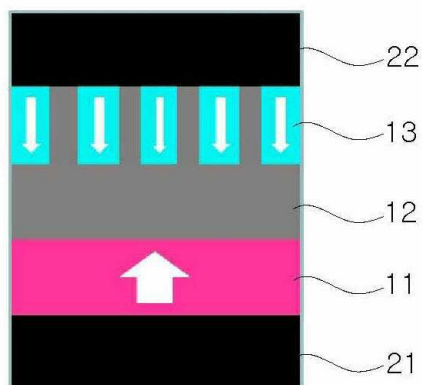
도면1



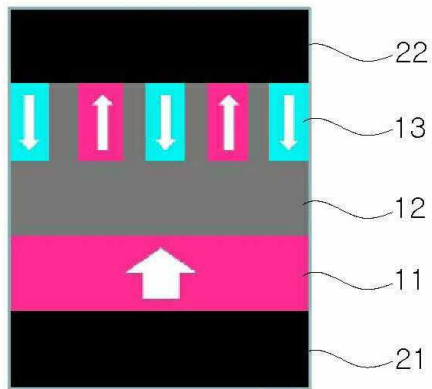
도면2



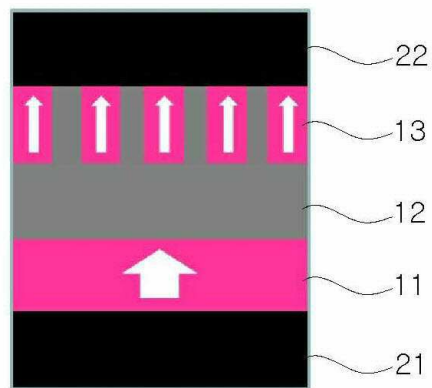
도면3



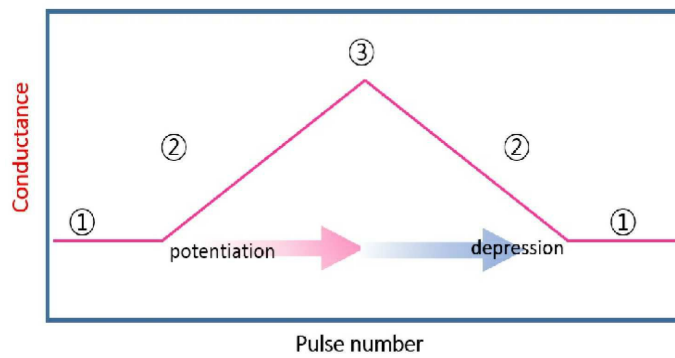
도면4



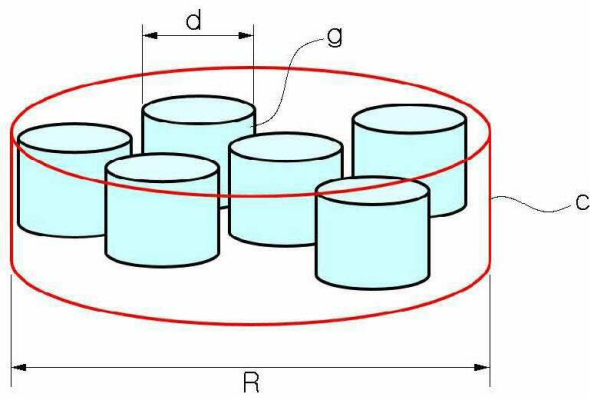
도면5



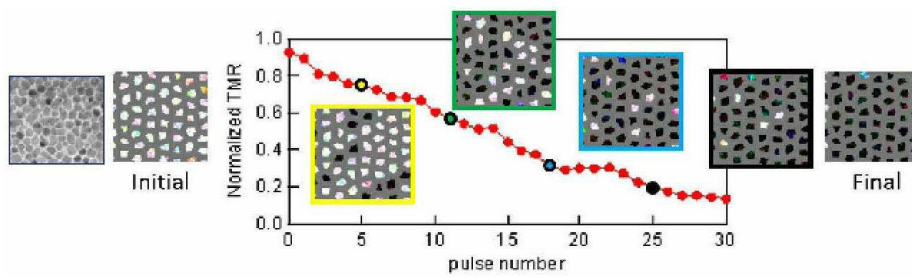
도면6



도면7



도면8



도면9

