

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年7月28日(28.07.2022)



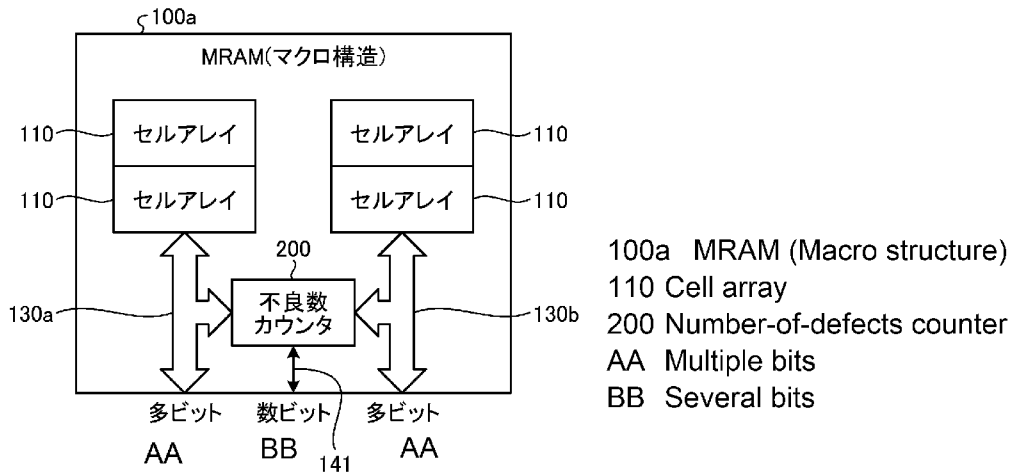
(10) 国際公開番号

WO 2022/158349 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) *G11C 29/44* (2006.01)
H01L 27/04 (2006.01) *G01R 31/28* (2006.01)
G11C 29/42 (2006.01)
- (21) 国際出願番号: PCT/JP2022/000708
- (22) 国際出願日: 2022年1月12日(12.01.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-008944 2021年1月22日(22.01.2021) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 磯貝 太志(ISOgai, Daishi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 半導体記憶装置



(57) Abstract: A semiconductor storage device (100a) according to this disclosure comprises: a memory cell array (110) including a plurality of memory cells; a read data output unit which outputs data read from the memory cell array to the outside with a bit width of m bits without changing the data; and a defect information acquisition unit (200) which acquires defect information indicating defects when data read from the memory cell array is determined to be defective. The defect information acquisition unit outputs defect information with two or more and n or less bit values representing 1-bit information for outputting a value different for each number of defects to the outside when the number of defects of the data read from the memory cell array is 0 to n bits ($n < m$).

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 開示に係る半導体記憶装置 (100a) は、複数のメモリセルを含むメモリセルアレイ (110) と、メモリセルアレイから読み出されたデータを変更せずに、mビットのビット幅で外部に出力する読出データ出力部と、メモリセルアレイから読み出したデータに不良が検出された場合に不良を示す不良情報を取得する不良情報取得部 (200) と、を備える。不良情報取得部は、メモリセルアレイから読み出されたデータの不良数が0乃至nビット ($n < m$) で不良数毎に異なる値を外部へ出力するための、それぞれ1ビットの情報を表す2つ以上且つn個以下のビット値により不良情報を出力する。

明 細 書

発明の名称：半導体記憶装置

技術分野

[0001] 本開示は、半導体記憶装置に関する。

背景技術

[0002] 複数のメモリバンクを備える半導体装置において、各メモリバンク内の複数のメモリセル群の不良を検出するテスト動作を行う場合を考える。このテスト動作において、各メモリバンクの複数のメモリセル群にそれぞれ対応する複数のテストデータを、そのまま、データ出力端子を介して半導体装置の外部へ出力すると、選択された複数のメモリセル群の数だけテストデータが出力されることになるため、テスト時間が増大してしまう。

[0003] このテスト時間を短縮するため、特許文献1では、メモリセルから読み出したデータに対して `pass` (合格) / `fail` (不合格) 判定する判定回路と、反転回路による判定結果としての判定データを合成しテスト結果のテストデータとして出力する回路と、を備える構成が提案されている。特許文献1に提案される構成によれば、メモリセル群毎にテストデータの圧縮を行い、さらに各セル群の判定データを合成することで、出力するテストデータをメモリセル群の数以下に抑えることができ、テスト時間を短縮することが可能となる。

先行技術文献

特許文献

[0004] 特許文献1：特開2013-137843号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献1に記載の構成では、最初にメモリセルから読み出されたテストデータに対して、1ビット以上の `fail` が存在するか、全ビットが `pass` か、の0/1判定を行い、その判定結果に対してデータ圧縮を行う。しか

しながら、特許文献1に記載の構成では、全ビットがp a s s判定される以外は、全てf a i l判定となり、不良の個数をカウントできないため、全ビットのp a s s判定が前提ではないメモリに対して適用することが困難である。

[0006] 本開示は、全ビットのp a s s判定が前提ではないメモリに対するテストに対応した半導体記憶装置を提供することを目的とする。

課題を解決するための手段

[0007] 本開示に係る半導体記憶装置は、複数のメモリセルを含むメモリセルアレイと、メモリセルアレイから読み出されたデータを変更せずに、mビットのビット幅で外部に出力する読出データ出力部と、メモリセルアレイから読み出したデータに不良が検出された場合に不良を示す不良情報を取得する不良情報取得部と、を備え、不良情報取得部は、メモリセルアレイから読み出されたデータの不良数が0乃至nビット ($n < m$) ビットで不良数毎に異なる値を外部へ出力するための、それぞれ1ビットの情報を表す2つ以上且つn個以下のビット値により不良情報を出力する。

図面の簡単な説明

[0008] [図1]本開示の技術を適用可能なメモリの検査システムを概略的に示す模式図である。

[図2A]既存技術によるメモリの検査方法を概略的に説明するための模式図である。

[図2B]既存技術による、混載メモリに対するメモリの検査方法を概略的に説明するための模式図である。

[図3]既存技術によるMRAMのマクロ構造を概略的に示す模式図である。

[図4]実施形態に係る半導体記憶装置としてのMRAM（マクロ構造）の一例の構成を示すブロック図である。

[図5]実施形態に係る不良数カウンタからf a i l数に応じて出力されるテスト結果データの例を、既存技術による圧縮回路によるテスト結果データと対比させて示す模式図である。

[図6]実施形態に係る不良数カウンタの一例の構成を示す回路図である。

[図7]実施形態における期待値とデータとによる真理値表を示す模式図である。

[図8]実施形態に係る不良数カウンタの動作をシミュレートした一例の結果を示す模式図である。

[図9]実施形態の第1の変形例の第1の例を説明するための模式図である。

[図10]実施形態の第1の変形例の第2の例を説明するための模式図である。

[図11]実施形態の第2の変形例を説明するための模式図である。

発明を実施するための形態

[0009] 以下、本開示の実施形態について、図面に基づいて詳細に説明する。なお、以下の実施形態において、同一の部位には同一の符号を付することにより、重複する説明を省略する。

[0010] 以下、本開示の実施形態について、下記の順序に従って説明する。

1. 本開示の概略
2. 既存技術について
3. 本開示の実施形態について
4. 実施形態の第1の変形例
 - 4-1. 実施形態の第1の変形例の第1の例
 - 4-2. 実施形態の第1の変形例の第2の例
5. 実施形態の第2の変形例

[0011] [1. 本開示の概略]

先ず、本開示の技術について、概略的に説明する。図1は、本開示の技術を適用可能なメモリの検査システムを概略的に示す模式図である。

[0012] 図1において、本開示に係る、検査対象となるメモリ10は、それぞれデータの書き込みおよび読み出しの単位となる複数のメモリセルを含み、複数のメモリセルのうち所定数のメモリセル毎にセルアレイが構成される。メモリ10は、セルアレイに対する読み書きを、 m ビットのデータ幅で行う。例えば、メモリ10は、16ビット ($m=16$)、32ビット ($m=32$)、

あるいは、64ビット ($m=64$) などのデータ幅で、データの読み書きが可能とされる。

[0013] メモリ10に対してテスト20が接続される。テスト20は、例えばプローブなどをメモリ10の端子(パッド)に接触させることで、メモリ10に接続される。テスト20は、メモリ10に対して書き込みあるいは読み出しを指示するコマンドを、書き込みあるいは読み出しを行うアドレスと共に送信する。メモリ10は、テスト20から送信されたコマンドおよびアドレスに従い読み出されたデータの不良数(不良ビット数)を計測する。

[0014] メモリ10は、データの不良数の計測結果に従い、不良を示す不良情報をテスト20に対して出力する。不良情報は、読み出されたデータの不良数が n ($n < m$) ビットで、不良数毎に異なる値を取る情報である。不良情報は、それぞれ1ビットの情報を表す2つ以上且つ m 個未満の不良情報信号として、テスト20に送信される。

[0015] このように、本開示に係るメモリ10は、不良情報を、データの読み書きのデータ幅(m ビット)より小さい n ビットで、不良数毎に異なる値として出力する。そのため、 n ビットで表現可能な数までの不良数を検出することができ、全ビットの $pass$ 判定が前提ではないメモリに対するテストに対応可能である。

[0016] [2. 既存技術について]

次に、本開示の実施形態の説明に先んじて、理解を容易とするために、既存技術について説明する。

[0017] 図2Aは、既存技術によるメモリの検査方法を概略的に説明するための模式図である。図2Aにおいて、それぞれ検査対象となる、既存技術によるメモリ10aが複数、テスト20に接続される。ここで、各メモリ10aは、それぞれDRAM(Dynamic Random Access Memory)であるものとする。図2Aの例では、各メモリ10aは、データの読み書きのための、データ幅が16ビットのIO(Input/Output)に対応する複数の端子を含む端子群50を備えている。さらに、各メモリ10aは、テスト結果出力用の1ビットのテ

スト端子51を備えている。

[0018] テスタ20は、各メモリ10aに対して、読み出しを指示するコマンドを、例えば10のデータ幅に対応する16ビット分のアドレス単位で順次に指定する読み出しアドレスと共に送信する。各メモリ10aは、テスタ20から送信されたコマンドに応じて、メモリ内の全ビットがpass（合格）の場合には値「0」、1ビットでもfail（不合格）がある場合には値「1」となる、1ビットのテスト結果をテスト端子51に対して出力する。

[0019] テスタ20は、各メモリ10aそれぞれのテスト端子51の1ビットの出力を読み取る。このテスタ20に読み取られた1ビットの出力により、各メモリ10aのpass/failを知ることができる。このように、既存技術においては、メモリの全ビットのテスト結果データを、1ビットのデータに圧縮して、そのメモリのpass/failを判定することにより、テスタ20による同測数を稼いでいた。

[0020] 図2Bは、既存技術によるDRAMであるメモリ10bと、当該メモリ10bを用いて処理を行うロジック回路40とが1つのパッケージに混載される混載メモリ30に対する、既存技術によるメモリの検査方法を概略的に説明するための模式図である。混載メモリ30の場合、メモリ10bとロジック回路40とがパッケージ内で直接的に接続されるため、メモリ10bのロジック回路40に対するIO60は、例えば128ビットなどの大きなデータ幅となる場合がある。

[0021] このように、混載メモリ30では、内蔵されるメモリ10bのIO60のデータ幅を非常に大きくできるため、IO60のデータ幅の全ビットに対する検査を行うためには、テスタ20を接続するために必要な端子数が極めて多くなる。そのため、混載メモリ30では、テスト結果データの圧縮が必須となる。図2Bの例では、メモリ10bにおいて1ビットに圧縮されたテスト結果データが、混載メモリ30に設けられる1つの端子に出力されるように構成されている。

[0022] ところで、近年では、MRAM（磁気抵抗メモリ；Magnetoresistive Ran

dom Access Memory) や R e R A M (抵抗変化型メモリ ; Resistive Random Access Memory) が、その高速な動作速度や不揮発性などにより注目されている。

[0023] 図3は、既存技術による半導体記憶装置としてのMRAMのマクロ構造を概略的に示す模式図である。なお、以下では、特に記載の無い限り、マクロ構造によるMRAMを、MRAMとして説明を行う。なお、R e R A Mも同様の構成を取ることができるため、ここでの説明を省略する。

[0024] 図3において、MRAM100は、それぞれ複数のメモリセルが格子状に配列された複数のセルアレイ110と、テスト結果データを圧縮する圧縮回路120とを含む。図3の例では、図の左側の2つのセルアレイ110および右側の2つのセルアレイ110は、それぞれ多ビット（例えば32ビット）のデータ幅を有するバス130aおよび130bに対するI/Oにより、図示されない端子に接続される。なお、図3において、テスト20からコマンドおよびアドレスを指示される信号線および端子は、省略されている。

[0025] バス130aおよび130bは、圧縮回路120にも接続される。圧縮回路120は、例えば、バス130aの32ビットとバス130bの32ビットとの合計の64ビットのデータ幅のデータの各ビットに対してAND判定あるいはNAND判定を行い、1ビットのテスト結果データを出力する。より具体的には、圧縮回路120は、64ビットのデータに1ビットでもfailが含まれる場合に、テスト結果データとしてfailを出力し、64ビットのデータにfailが含まれない場合に、テスト結果データとしてpassを出力する。圧縮回路120から出力された1ビットのテスト結果データは、1ビットのデータ幅を持つ信号線140を介して、MRAM100の外部に出力される。

[0026] MRAM100やR e R A Mは、確率的に不良が発生し、アドレス指定された複数ビットの全ビットが所定のビット値となる確率が低い。そのため、MRAM100やR e R A Mのテストにおいて、DRAMと同様の方法で測定データを圧縮することが困難であった。

[0027] すなわち、上述の図3の構成では、複数のセルアレイ110それぞれに含まれる複数のメモリセルのうち1つのみが不良であっても、テスト結果データがfailを示すことになる。したがって、確率的に不良が発生するMRAM100やReRAMでは、テスト結果データがpassとなる確率が極めて低くなり、適切な検査が困難である。例えば、MRAM100やReRAMでは、実際にはECC(Error Correction Code)によるエラー訂正を行うエラー訂正回路を搭載し、数ビットの不良は、このエラー訂正回路により訂正可能とされる。そのため、テスト結果データは、数ビットの不良をpassとすることが可能な構成となっていることが好ましい。

[0028] [3. 本開示の実施形態について]

次に、本開示の実施形態について説明する。図4は、実施形態に係る半導体記憶装置としてのMRAM（マクロ構造）の一例の構成を示すブロック図である。図4に示される、実施形態に係るMRAM100aは、図3に示した既存技術によるMRAM100の構成に対して、圧縮回路120の代わりに不良数カウンタ200が設けられる。なお、図4において、テスト20からコマンドおよびアドレスを指示される信号線および端子は、省略されている。

[0029] なお、MRAM100aに対して、ECCに基づくエラー訂正を行うエラー訂正回路を内蔵させることができる。エラー訂正回路は、MRAM100aの外部に設けても良い。エラー訂正回路は、テストの際には機能を停止される。

[0030] 図4の例では、上述した図3と同様に、図の左側の2つのセルアレイ110および右側の2つのセルアレイ110は、それぞれ多ビット（例えば32ビット）のデータ幅を有するバス130aおよび130bに対するIOにより、図示されない端子に接続される。各セルアレイ110から読み出されたデータは、変更されずに、当該端子から出力される。当該端子およびIOは、各セルアレイ110から読み出されたデータを外部に出力する読出データ出力部として機能する。バス130aおよび130bは、不良数カウンタ2

00にも接続される。

- [0031] 不良数カウンタ200は、例えばバス130aの32ビットとバス130bの32ビットとの合計の64ビットのデータ幅のデータに対して、不良ビットの数をカウントする。不良数カウンタ200は、カウントした不良ビットの数（不良数）を示す不良情報を取得する。より具体的には、不良数カウンタ200は、4つのセルアレイ110から読み出されるデータの不良ビット数が0ビット以上nビット以下で、不良ビット数毎に異なる値となる、2ビット以上且つnビット以下の信号による不良情報を取得する。ここで、値nは、バス130aおよび130bのデータ幅の合計のビット数を示す値m（例えば $m = 32 \times 2 = 64$ ）に対して、 $[n < m]$ となる値である。
- [0032] さらに、不良数カウンタ200は、不良ビット数が閾値以上の場合に、当該不良ビット数が閾値以上であることを判別するための判別信号としてのオーバーフロー情報を取得する。より具体的な例として、不良数カウンタ200は、不良ビット数がnビットで表現可能な個数を超えた場合、オーバーフローを示す値（例えば値[1]）を、オーバーフロー情報として取得する。不良数カウンタ200は、取得したオーバーフロー情報を不良情報に含めて、テスト結果データとして出力する。
- [0033] 具体的な例として、値 $n = 2$ であれば、不良数カウンタ200は、0～3個の不良ビットをカウントすることができる。不良数カウンタ200は、不良ビット数が0～3個の場合、不良ビット数を示す2ビットの値からなる不良情報として取得する。オーバーフロー情報は、オーバーフローしていないことを示す値（例えば値[0]）とされる。一方、不良数カウンタ200は、不良ビット数が3個を超える場合、オーバーフローを示す値のオーバーフロー情報を取得する。
- [0034] このように、不良数カウンタ200は、セルアレイ110から読み出したデータに不良が検出された場合に不良を示す不良情報を取得する不良情報取得部として機能する。また、不良数カウンタ200は、不良情報において不良数を、LSB (Least Significant Bit) からnビットまでのビット値とし

て取得する。

[0035] 図5は、実施形態に係る不良数カウンタ200からfail数に応じて出力されるテスト結果データの例を、既存技術による圧縮回路120によるテスト結果データと対比させて示す模式図である。図5の例では、値 $n=2$ とし、不良ビット数のオーバーフローに対する閾値を4個としている。すなわち、不良ビット数が4個以上で、オーバーフローとされる。

[0036] 図5において、列Aは、既存技術によるテスト結果データの例、列Bは、実施形態に係るテスト結果データの例をそれぞれ示している。列Aに示される既存技術の例では、fail数=0に対してテスト結果データがpassとされ、0以外のfail数については、テスト結果データが全てfailとされている。

[0037] これに対して、列Bに示される実施形態の例では、fail数=0に対してテスト結果データにおける不良情報がpass（例えば値[0]）となり、fail数=1～3に対して、テスト結果データにおける不良情報がfail数を示す値となる。fail数が4個以上で、テスト結果データにおけるオーバーフロー情報がオーバーフローを示す値[overflow]となる。

[0038] すなわち、実施形態に係る不良数カウンタ200は、fail数=0～ 2^n-1 に対する不良情報をnビットのデータで取得する。また、不良数カウンタ200は、fail数が閾値（ $=2^n$ ）以上の場合に、オーバーフロー情報を、オーバーフローを示す値[overflow]とする。

[0039] 値 $n=2$ の場合の例では、不良数カウンタ200は、fail数=0～3に対する不良数を2ビットのデータで取得すると共に、fail数が閾値（ $=4$ ）以上の場合に、オーバーフロー情報をオーバーフローを示す値[overflow]とする。オーバーフロー情報を1ビットのデータで表現する場合、不良情報は、3ビットのテスト結果データとなり、3ビットのデータ幅を持つ信号線141により外部に出力される。

[0040] このように、実施形態に係る不良数カウンタ200を適用することで、全

ビットの *pass* 判定が前提ではないメモリに対するテストに対応可能となる。また、値 $n = 2$ の場合、テスト結果データを出力する信号線 141 が 3 本で済み、テスト 20 による同測数を稼ぐことが可能である。

[0041] なお、値 n は、例えば MRAM100a に対する仕様などに応じて適宜に設定することができる。例えば、値 n は、MRAM100a に適用される ECC によるエラー訂正能力に応じて設定することが考えられる。

[0042] 図 6 は、実施形態に係る不良数カウンタ 200 の一例の構成を示す回路図である。図 6 に示す不良数カウンタ 200 は、データ幅が m ビット、オーバーフローに対する閾値が [4] である場合の例である。

[0043] 図 6 において、不良数カウンタ 200 は、例えば MRAM100a の I/O におけるデータ幅 (= m ビット) のビット数に応じた数の、同一の構成によるユニット 210_1 、 210_2 、 210_3 、…、 210_x 、…、 210_m を含む。すなわち、不良数カウンタ 200 は、セルアレイ 110 から読み出されるデータのビット毎のパターンとしての各ユニット $210_1 \sim 210_m$ が、繰り返し接続されて構成される。

[0044] 以降、各ユニット $210_1 \sim 210_m$ を特に区別する必要の無い場合、ユニット 210_x を、適宜、各ユニット $210_1 \sim 210_m$ のうち任意のユニットとして、説明する。また、各ユニット $210_1 \sim 210_m$ を特に区別する必要の無い場合、各ユニット $210_1 \sim 210_m$ をユニット 210 として代表して記述することがある。さらに、図 6 において、図の右側の方向を後段、左側の方向を前段とする。さらにまた、以下では、値 [1] が信号のハイ (High) 状態、値 [0] が信号のロー (Low) 状態に、それぞれ対応させるものとする。

[0045] ユニット 210_x は、3つの XOR 回路 220、221 および 222 と、2つの AND 回路 230 および 231 と、1つの OR 回路 240 と、を含む。

[0046] XOR 回路 220 は、一方の入力端にバス 130a および 130b の各ビットのうちビット位置 x のデータ (Data) [x] が入力され、他方の入力端に当該データ [x] に対応する期待値 [x] が入力される。

[0047] ここで、実施形態に係る期待値 $[x]$ は、当該ビット位置 x のデータ $[x]$ に対して期待される値を示す。例えば、不良数カウンタ 200 による不良数のカウントに先立って、MRAM 100a の各セルアレイ 110 に含まれる各メモリセルに所定値（例えば値 $[1]$ ）を予め書き込んでおく。この場合、各メモリセルから読み出したデータは、それぞれ当該所定値と等しいことが期待される。この場合の所定値が期待値 $[x]$ となる。すなわち、実施形態における期待値は、確率における期待値とは異なる概念の値である。

[0048] 図 7 は、実施形態における期待値とデータ (Data) とによる真理値表を示す模式図である。図 7 に示されるように、期待値とデータとが一致する場合に pass となり、期待値とデータとが異なる場合に fail となる。XOR 回路 220 は、pass を示す値として値 $[0]$ を出力し、fail を示す値として値 $[1]$ を出力する。

[0049] ユニット 210_x において XOR 回路 220 は、期待値 $[x]$ とデータ $[x]$ とが一致する場合に値 $[0]$ を、異なる場合に値 $[1]$ を、それぞれ出力する。このように、XOR 回路 220 は、セルアレイ 110 から読み出されたデータ $[x]$ と、当該データ $[x]$ に対して設定された期待値 $[x]$ とを比較する比較器として機能する。XOR 回路 220 の出力が値 $[1]$ を示している場合、検査対象のメモリセルのうち、当該データ $[x]$ に対応するメモリセルが不良であると判別できる。このように、XOR 回路 220 は、期待値 $[x]$ とデータ $[x]$ とが異なる場合に、出力を値 $[1]$ とし、データ $[x]$ が不良である旨を示す信号を活性化する。

[0050] ユニット 210_x において XOR 回路 220 の出力は、当該ユニット 210_x の XOR 回路 221 および AND 回路 230 それぞれの一方の入力端に入力される。XOR 回路 221 および AND 回路 230 それぞれの他方の入力端には、前段のユニット 210_{x-1} における XOR 回路 221 の出力が入力される。なお、図 6 において第 1 段目のユニット 210_1 では、当該 XOR 回路 221 の他方の入力端に対して、端子 250_1 から値 $[0]$ が入力される。同様に、ユニット 210_1 では、後述する XOR 回路 222 の他方の入力端に対して

、端子 250₂から値 [0] が入力される。

[0051] ユニット 210_xにおけるXOR回路221の出力は、後段のユニット201_{x+1}におけるXOR回路221の他方の入力端に入力される。また、ユニット210_xが最後段のユニット210_mである場合、XOR回路221の出力は、不良数カウンタ200の第0ビット (bit [0]) の値として、不良数カウンタ200から出力される。

[0052] ユニット210_xにおけるXOR回路221の出力は、次のようになる。

(1) XOR回路221は、期待値 [x] とデータ [x] とが一致し、且つ、前段のユニット210_{x-1}におけるXOR回路221の出力 (ユニット210₁においては端子250₁) が値 [0] であれば、値 [0] を出力する。

(2) XOR回路221は、期待値 [x] とデータ [x] とが一致し、且つ、前段のユニット210_{x-1}におけるXOR回路221 (ユニット210₁以外の場合) の出力が値 [1] であれば、値 [1] を出力する。

(3) XOR回路221は、期待値 [x] とデータ [x] とが異なり、且つ、前段のユニット210_{x-1}におけるXOR回路221の出力が値 [0] であれば、値 [1] を出力する。

(4) XOR回路221は、期待値 [x] とデータ [x] とが異なり、且つ、前段のユニット210_{x-1}におけるXOR回路221の出力が値 [1] であれば、値 [0] を出力する。

[0053] ユニット210_xにおけるAND回路230の出力は、次のようになる。

(1) AND回路230は、期待値 [x] とデータ [x] とが一致し、且つ、前段のユニット210_{x-1}におけるXOR回路221の出力 (ユニット210₁においては端子250₁) が値 [0] であれば、値 [0] を出力する。

(2) AND回路230は、期待値 [x] とデータ [x] とが一致し、且つ、前段のユニット210_{x-1}におけるXOR回路221 (ユニット210₁以外の場合) の出力が値 [1] であれば、値 [0] を出力する。

(3) AND回路230は、期待値 [x] とデータ [x] とが異なり、且つ、前段のユニット210_{x-1}におけるXOR回路221の出力が値 [0] であれば、値 [1] を出力する。

ば、値 [0] を出力する。

(4) AND回路230は、期待値 [x] とデータ [x] とが異なり、且つ、前段のユニット210_{x-1}におけるXOR回路221の出力が値 [1] であれば、値 [1] を出力する。

[0054] ユニット210_xにおけるAND回路230の出力は、当該ユニット210_xにおけるXOR回路222およびAND回路231の一方の入力端に入力される。XOR回路222およびAND回路231それぞれの他方の入力端には、前段のユニット210_{x-1}におけるXOR回路222の出力が入力される。なお、図6において第1段目のユニット210₁では、当該XOR回路の他方の入力端に対して、端子250₁から値 [0] が入力される。

[0055] ユニット210_xにおけるXOR回路222およびAND回路231は、AND回路230の出力と、前段のユニット210_{x-1}におけるXOR回路222の出力とを入力として、上述したXOR回路221およびAND回路230と同様に動作する。

[0056] すなわち、ユニット210_xにおけるXOR回路222の出力は、後段のユニット210_{x+1}におけるXOR回路222の他方の入力端に入力される。また、ユニット210_xが最後段のユニット210_mである場合、XOR回路222の出力は、不良数カウンタ200の第1ビット (bit [1]) の値として、不良数カウンタ200から出力される。

[0057] 不良数カウンタ200において、ユニット210_xにおけるAND回路230は、期待値 [x] とデータ [x] とが異なり、且つ、当該ユニット210_xの前段の何れかのユニット210において期待値とデータとが異なる場合に、値 [1] を出力する。さらに、ユニット210_xにおけるAND回路231は、AND回路230の出力が値 [1] であり、且つ、当該ユニット210_xの前段の何れかのユニット210においてAND回路230の出力とXOR回路222の出力とが異なる場合に、値 [1] を出力する。

[0058] すなわち、ユニット210_xにおいて、当該ユニット210_xを含むユニット210_xの前段の各ユニット210で期待値とデータとが異なる場合の数、す

なわち不良数が加算される。加算された不良数は、2進数の値として、第0ビットの値がXOR回路221から、第1ビットの値がXOR回路222から、それぞれ出力される。

[0059] ユニット210_xにおけるAND回路231の出力は、OR回路240の一方の入力端に入力される。OR回路240の他方の入力端には、前段のユニット210_{x-1}におけるOR回路240の出力が入力される。ここで、図6において第1段目のユニット210₁では、当該OR回路240の他方の入力端に対して、端子250₃から値[0]が入力される。また、ユニット210_xが最後段のユニット210_mである場合、OR回路240の出力は、不良数カウンタ200のオーバーフロー情報[overflow]として、不良数カウンタ200から出力される。

[0060] すなわち、各ユニット210₁~210_mのうち少なくとも1つのユニット210においてAND回路231の出力が値[1]であれば、最後段のユニット210_mのOR回路240から、値[1]のオーバーフロー情報[overflow]が出力される。

[0061] このように、オーバーフロー情報[overflow]は、各ユニット210₁~210_mのうち少なくとも1つのユニット210においてAND回路230および231で桁溢れが発生した場合に、値[1]となる。したがって、最後段のユニット210_mにおけるOR回路240の出力は、第0ビット(bit[0])および第1ビット(bit[1])と併せ、テスト結果データの第2ビット(最上位ビット)と考えることができる。この最上位ビットの値は、各ユニット210₁~210_mを通して直列に接続されるOR回路240により出力しているため、一旦値[1]にインクリメントされた後は、さらに不良による加算がなされた場合でも、反転されない。

[0062] 図8は、図6に示した構成における、実施形態に係る不良数カウンタ200の動作をシミュレートした一例の結果を示す模式図である。なお、図8は、値m=5、値n=2、オーバーフローに対する閾値を[4]とした場合の例である。すなわち、図8は、図6の構成において、ユニット210が5個

、接続された場合のシミュレート結果を示す例となっている。図8の各波形において、ハイ（High）状態が値[1]を示し、ロー（Low）状態が値[0]を示している。また、各ユニット210に対して、期待値[0]（Low）が入力されているものとする。

[0063] 図中の符号a～fは、5個のユニット210に対して入力されるデータ（Data）[0]～[4]の組み合わせに応じた状態を示している。符号aは、データ[0]～[4]の何れも値[0]（Low）、すなわちpassの状態を示す。符号b～fは、それぞれ、データ[1]～[4]のうち1乃至4個が値[1]、すなわちfailである状態を示す。

[0064] 不良数カウンタ200は、各メモリセルから読み出された値（データ[0]～[4]）が期待値[0]と異なる場合に不良数のカウントを行い、カウント結果が第0ビット（bit[0]）および第1ビット（bit[1]）から2進数で出力される。failが閾値である4個以上の場合は、オーバーフロー情報[overflow]が値[1]となっていることが分かる。すなわち、オーバーフロー情報[overflow]を、第0および第1ビットに対する第2ビットとすると、failが4個以上の場合には、カウント結果が閾値[4]に固定される。

[0065] このように、不良数カウンタ200は、全体として、例えばMRAM100aのIOにおけるデータ幅（＝mビット）の、同時に読み出された各ビットにおける不良数を加算する加算器を構成する。また、この加算器は、加算された不良数が0または閾値未満で、不良数毎に異なる値を出力し、当該不良数が閾値以上の場合には、不良数の加算結果が閾値に固定される。

[0066] このように、実施形態に係る不良数カウンタ200を適用することで、MRAMやReRAMといった、全ビットのpassが前提ではないメモリのテストにおいて、不良数をカウントできる。このとき、実施形態に係る不良数カウンタ200は、メモリのIOのデータ幅より少ないビット数でfail数の情報を出力可能であるため、テストの同測数を稼ぐことができ、テスト時間を短縮できる。また、そのため、不良数のカウントが可能な一方で、

テスト 20 にテスト結果データを出力するための端子数を削減することが可能である。

[0067] さらに、実施形態に係る不良数カウンタ 200 は、ユニット 210 が 10 毎（ビット毎）に繰り返される繰り返しパターンにより構成されるため、10 のデータ幅に応じた拡張が容易である。さらにまた、ユニット 210 において、XOR 回路 221 および AND 回路 230 の組み合わせ回路を追加することで、不良数のカウント数および閾値を変更することが可能である。

[0068] [4. 実施形態の第 1 の変形例]

次に、本開示の実施形態の第 1 の変形例について説明する。実施形態の第 1 の変形例は、メモリの 10 をグルーピングし、不良数カウンタ 200 において、グルーピングされたグループに応じて期待値を設定する例である。

[0069] (4-1. 実施形態の第 1 の変形例の第 1 の例)

まず、4-1. 実施形態の第 1 の変形例の第 1 の例について説明する。図 9 は、実施形態の第 1 の変形例の第 1 の例を説明するための模式図である。図 9 において、不良数カウンタ 200 は、値 $m=5$ 、値 $n=2$ 、オーバーフローに対する閾値を [4] とした場合の構成例を示している。

[0070] 図 9 の例では、この構成において、10 の各ビットを、データ [0] ~ [2] のグループ 260 a と、データ [3] および [4] のグループ 260 b と、の 2 つのグループにグルーピングしている。

[0071] 図 9 の例では、グループ 260 a に対応するユニット 210₁ ~ 210₃ の XOR 回路 220 に対して、期待値 [X0]（例えば値 [0]）が入力される。一方、グループ 260 b に対応するユニット 210₄ および 210₅ の XOR 回路 220 に対して、期待値 [X0] と異なる期待値 [X1]（例えば値 [1]）が入力される。

[0072] 図 9 の例では、10 の隣接するビット同士でグルーピングを行っているが、これはこの例に限定されない。例えば、10 において、奇数番目のビットによるグループと、偶数番目のビットによるグループとにグルーピングすることができる。これに限らず、10 における任意のビットの組み合わせに応

じてグルーピングしてもよい。

[0073] (4-2. 実施形態の第1の変形例の第2の例)

次に、実施形態の第1の変形例の第2の例について説明する。上述した実施形態の第1の変形例の第1の例では、IOの各ビットを、ハードウェア構成に基づいてグルーピングしていた。これに対して、実施形態の第1の変形例の第2の例では、IOの各ビットを、メモリの論理構成に基づいてグルーピングし、グループに応じて期待値を設定する。

[0074] 図10は、実施形態の第1の変形例の第2の例を説明するための模式図である。図10において、MRAM100b（マクロ構造）は、記憶領域の論理的な構成単位として、4つのバンク150（A1）、150（A2）、150（A3）および150（A4）を含む。これらバンク150（A1）、150（A2）、150（A3）および150（A4）は、セルアレイ110を論理構成に基づきグルーピングしたものと考えることができる。この第2の例では、これらバンク150（A1）、150（A2）、150（A3）および150（A4）それぞれをグループとして扱い、グループに応じて期待値を設定している。

[0075] 図10の例では、バンク150（A1）に対応するIOによるグループに対して期待値[A1]を設定し、バンク150（A2）に対応するIOによるグループに対して期待値[A2]を設定している。また、バンク150（A3）に対応するIOによるグループに対して期待値[A3]を設定し、バンク150（A4）に対応するIOによるグループに対して期待値[A4]を設定している。この場合、一例として、期待値[A1]および[A3]がそれぞれ値[0]、期待値[A2]および[A4]がそれぞれ値[1]、といったように、各グループに対する期待値の様々な組み合わせが考えられる。

[0076] 実施形態の第1の変形例の第1の例および第2の例で説明したように、不良数カウンタ200において、IOの各ビットがグルーピングされたグループに応じて期待値を設定することで、より詳細なテストが可能となる。

[0077] [5. 実施形態の第 2 の変形例]

次に、実施形態の第 2 の変形例について説明する。上述の実施形態では、MRAM100aにおいて、メモリの I O の端子と、不良数カウンタ 200 がテスト結果データを出力するための端子とを別個に設けていた。これに対して、実施形態の第 2 の変形例では、メモリの I O の端子と、テスト結果データを出力するための端子とを共有する。

[0078] 図 11 は、実施形態の第 2 の変形例を説明するための模式図である。図 11 において、MRAM100c は、バス 130a および 130b が 30b に対する I O と、不良数カウンタ 200 のテスト結果データが出力される信号される信号線 141 とで、複数の端子を含む端子群 160 を共有する。例えば、MRAM100c は、端子群 160 に含まれる複数の端子それぞれに対して I O の各ビットが接続されると共に、信号線 141 の各ビットが、端子群 160 に含まれる複数の端子のうち任意の端子に接続される。

[0079] このように、メモリの I O の端子と、テスト結果出力端子とを共有することで、MRAM100c の全体の端子数を削減することが可能である。

[0080] なお、上述では、実施形態に係る技術が単体の半導体記憶装置に適用される例について説明したが、実施形態に係る技術は、他の構成の半導体記憶装置にも適用可能である。例えば、実施形態に係る技術は、図 2B を用いて説明した混載メモリ 30 に適用することができる。この場合、混載メモリ 30 に搭載されるメモリ 10b に対して、実施形態で説明した不良数カウンタ 200 を設ける構成となる。

[0081] また、上述では、実施形態に係る技術が MRAM や ReRAM といった、全ビット pass が前提ではない半導体記憶装置に適用されるように説明したが、これはこの例に限定されない。すなわち、実施形態に係る技術は、DRAM といった全ビット pass が前提の半導体記憶装置に対して適用することもできる。

[0082] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0083] なお、本技術は以下のような構成も取ることができる。

(1)

複数のメモリセルを含むメモリセルアレイと、

前記メモリセルアレイから読み出されたデータを変更せずに、 m ビットのビット幅で外部に出力する読出データ出力部と、

前記メモリセルアレイから読み出したデータに不良が検出された場合に前記不良を示す不良情報を取得する不良情報取得部と、
を備え、

前記不良情報取得部は、

前記メモリセルアレイから読み出されたデータの不良数が0乃至 n ビット($n < m$)ビットで不良数毎に異なる値を外部へ出力するための、それぞれ1ビットの情報を表す2つ以上且つ n 個以下のビット値により不良情報を出力する、
半導体記憶装置。

(2)

前記不良情報取得部は、

前記不良数を表すビット値のうちLSB(Least Significant Bit)から前記 n ビットまでのビット数のビット値を取得する、
前記(1)に記載の半導体記憶装置。

(3)

前記不良情報取得部は、

前記不良数が前記 n ビットで表現できる数を超えた場合に、判別信号を出力する、
前記(2)に記載の半導体記憶装置。

(4)

前記不良情報取得部は、

前記不良情報のうち最上位ビットの値がインクリメントされた状態で、前記不良がさらに検出された場合に、前記最上位ビットの値を反転しない、

前記（１）乃至（３）の何れかに記載の半導体記憶装置。

（５）

前記不良情報取得部は、

前記メモリセルアレイから同時に読み出されたデータに含まれる不良をカウントする加算器を含む、

前記（１）乃至（４）の何れかに記載の半導体記憶装置。

（６）

前記加算器は、

前記メモリセルアレイから読み出されるデータのビット毎のパターンの繰り返しにより構成される、

前記（５）に記載の半導体記憶装置。

（７）

前記不良情報取得部は、

前記メモリセルアレイから読み出されたデータと、前記読み出されたデータに対して予め設定された期待値と、を比較する比較器を含み、

前記比較器による比較結果が、前記読み出されたデータと前記期待値とが異なることを示している場合に、前記読み出されたデータが不良である旨を示す信号を活性化する、

前記（１）乃至（６）の何れかに記載の半導体記憶装置。

（８）

前記不良情報取得部は、

前記メモリセルアレイから同時に読み出されるデータをグルーピングした複数のグループそれぞれに応じて、前記期待値が設定される、

前記（７）に記載の半導体記憶装置。

（９）

前記不良情報取得部は、

前記メモリセルアレイを論理構成に基づきグルーピングした複数のグループそれぞれに応じて、前記期待値が設定される、

前記（７）に記載の半導体記憶装置。

（１０）

前記不良情報取得部は、

前記不良情報を出力するための出力端子を、前記読出データ出力部がデータを出力するための出力端子と共有する、

前記（１）乃至（９）の何れかに記載の半導体記憶装置。

（１１）

前記読出データ出力部と接続されるロジック回路をさらに備える、

前記（１）乃至（１０）の何れかに記載の半導体記憶装置。

（１２）

前記メモリセルは、

データを記憶する記憶素子として抵抗変化型素子が用いられる、

前記（１）乃至（１１）の何れかに記載の半導体記憶装置。

（１３）

前記メモリセルは、

データを記憶する記憶素子として磁気抵抗素子が用いられる、

前記（１）乃至（１２）の何れかに記載の半導体記憶装置。

符号の説明

[0084] １０，１０ａ，１０ｂ メモリ

２０ テスタ

３０ 混載メモリ

５０，１６０ 端子群

６０ ＩＯ

１００，１００ａ，１００ｂ，１００ｃ ＭＲＡＭ

１１０ セルアレイ

１２０ 圧縮回路

１３０ａ，１３０ｂ バス

１４０，１４１ 信号線

150 (A1), 150 (A2), 150 (A3), 150 (A4) バンク

200 不良数カウンタ

210₁, 210₂, 210₃, 210₄, 210₅, 210_x, 210_m ユニット

220, 221, 222 XOR回路

230, 231 AND回路

240 OR回路

250₁, 250₂, 250₃ 端子

260a, 260b グループ

請求の範囲

- [請求項1] 複数のメモリセルを含むメモリセルアレイと、
前記メモリセルアレイから読み出されたデータを変更せずに、 m ビットのビット幅で外部に出力する読出データ出力部と、
前記メモリセルアレイから読み出したデータに不良が検出された場合に前記不良を示す不良情報を取得する不良情報取得部と、
を備え、
前記不良情報取得部は、
前記メモリセルアレイから読み出されたデータの不良数が0乃至 n ビット ($n < m$) ビットで不良数毎に異なる値を外部へ出力するための、それぞれ1ビットの情報を表す2つ以上且つ n 個以下のビット値により不良情報を出力する、
半導体記憶装置。
- [請求項2] 前記不良情報取得部は、
前記不良数を表すビット値のうちLSB (Least Significant Bit) から前記 n ビットまでのビット数のビット値を取得する、
請求項1に記載の半導体記憶装置。
- [請求項3] 前記不良情報取得部は、
前記不良数が前記 n ビットで表現できる数を超えた場合に、判別信号を出力する、
請求項2に記載の半導体記憶装置。
- [請求項4] 前記不良情報取得部は、
前記不良情報のうち最上位ビットの値がインクリメントされた状態で、前記不良がさらに検出された場合に、前記最上位ビットの値を反転しない、
請求項1に記載の半導体記憶装置。
- [請求項5] 前記不良情報取得部は、
前記メモリセルアレイから同時に読み出されたデータに含まれる不

良をカウントする加算器を含む、
請求項 1 に記載の半導体記憶装置。

[請求項6] 前記加算器は、
前記メモリセルアレイから読み出されるデータのビット毎のパターンの繰り返により構成される、
請求項 5 に記載の半導体記憶装置。

[請求項7] 前記不良情報取得部は、
前記メモリセルアレイから読み出されたデータと、前記読み出されたデータに対して予め設定された期待値と、を比較する比較器を含み、
前記比較器による比較結果が、前記読み出されたデータと前記期待値とが異なることを示している場合に、前記読み出されたデータが不良である旨を示す信号を活性化する、
請求項 1 に記載の半導体記憶装置。

[請求項8] 前記不良情報取得部は、
前記メモリセルアレイから同時に読み出されるデータをグルーピングした複数のグループそれぞれに応じて、前記期待値が設定される、
請求項 7 に記載の半導体記憶装置。

[請求項9] 前記不良情報取得部は、
前記メモリセルアレイを論理構成に基づきグルーピングした複数のグループそれぞれに応じて、前記期待値が設定される、
請求項 7 に記載の半導体記憶装置。

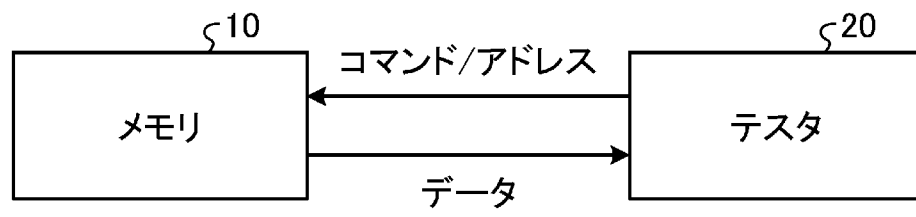
[請求項10] 前記不良情報取得部は、
前記不良情報を出力するための出力端子を、前記読出データ出力部がデータを出力するための出力端子と共有する、
請求項 1 に記載の半導体記憶装置。

[請求項11] 前記読出データ出力部と接続されるロジック回路をさらに備える、
請求項 1 に記載の半導体記憶装置。

[請求項12] 前記メモリセルは、
データを記憶する記憶素子として抵抗変化型素子が用いられる、
請求項1に記載の半導体記憶装置。

[請求項13] 前記メモリセルは、
データを記憶する記憶素子として磁気抵抗素子が用いられる、
請求項1に記載の半導体記憶装置。

[図1]



Block diagram of a memory device 10a and a tester 20. The memory device 10a contains a memory block and an IO(16bit) block. The tester 20 is connected to the memory device 10a via a bus 50. The tester 20 sends commands/addresses to the memory device 10a. The memory device 10a outputs data to the tester 20. The tester 20 also outputs data to the memory device 10a.

10b

メモリ

IO(128bit)

60

40

ロジック回路

混載メモリ

30 30 30 ...

(圧縮)

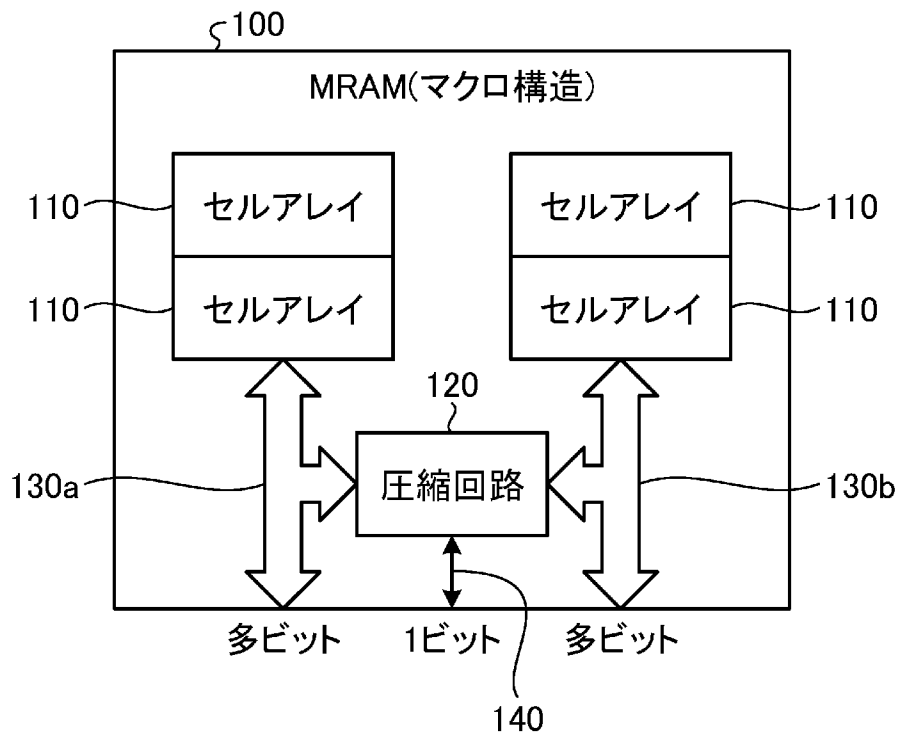
50

20

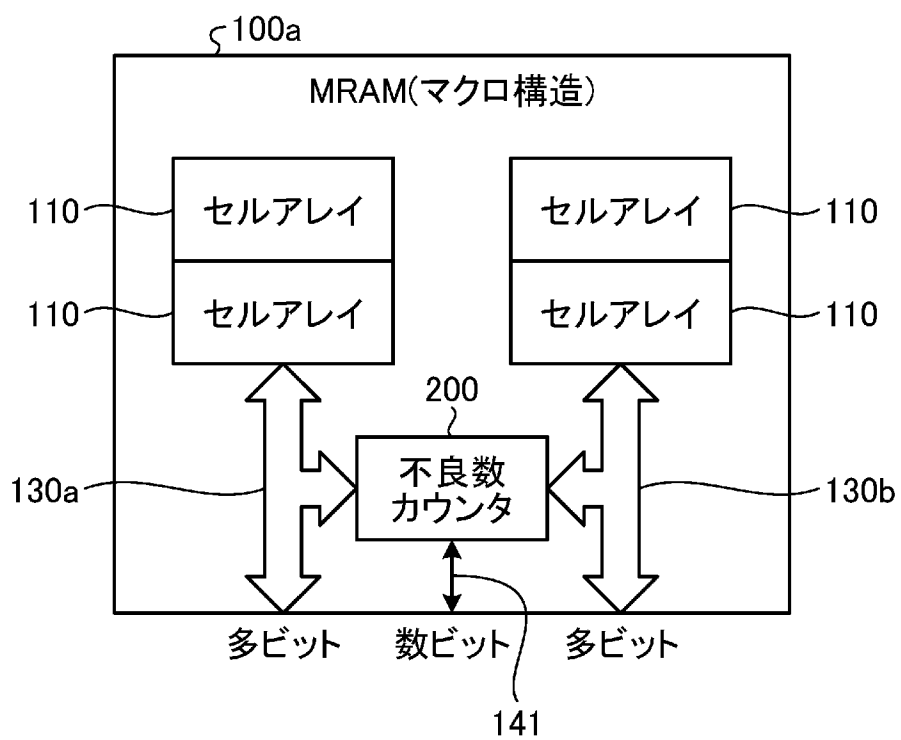
テスト

コマンド / アドレス

[図3]



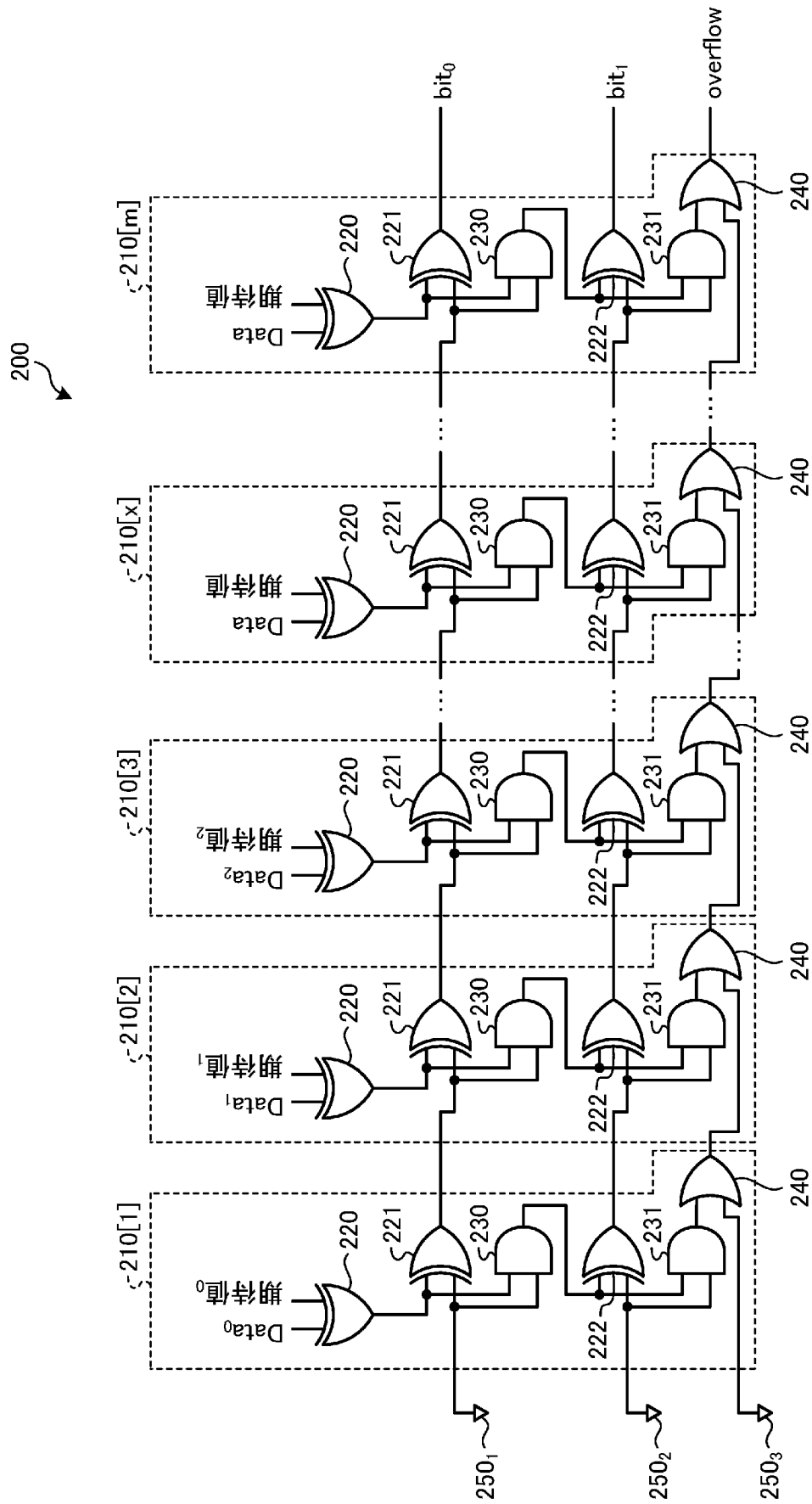
[図4]



[図5]

fail数	A	B
0	pass	pass
1	fail	1
2	fail	2
3	fail	3
4	fail	overflow
5	fail	overflow

[図6]

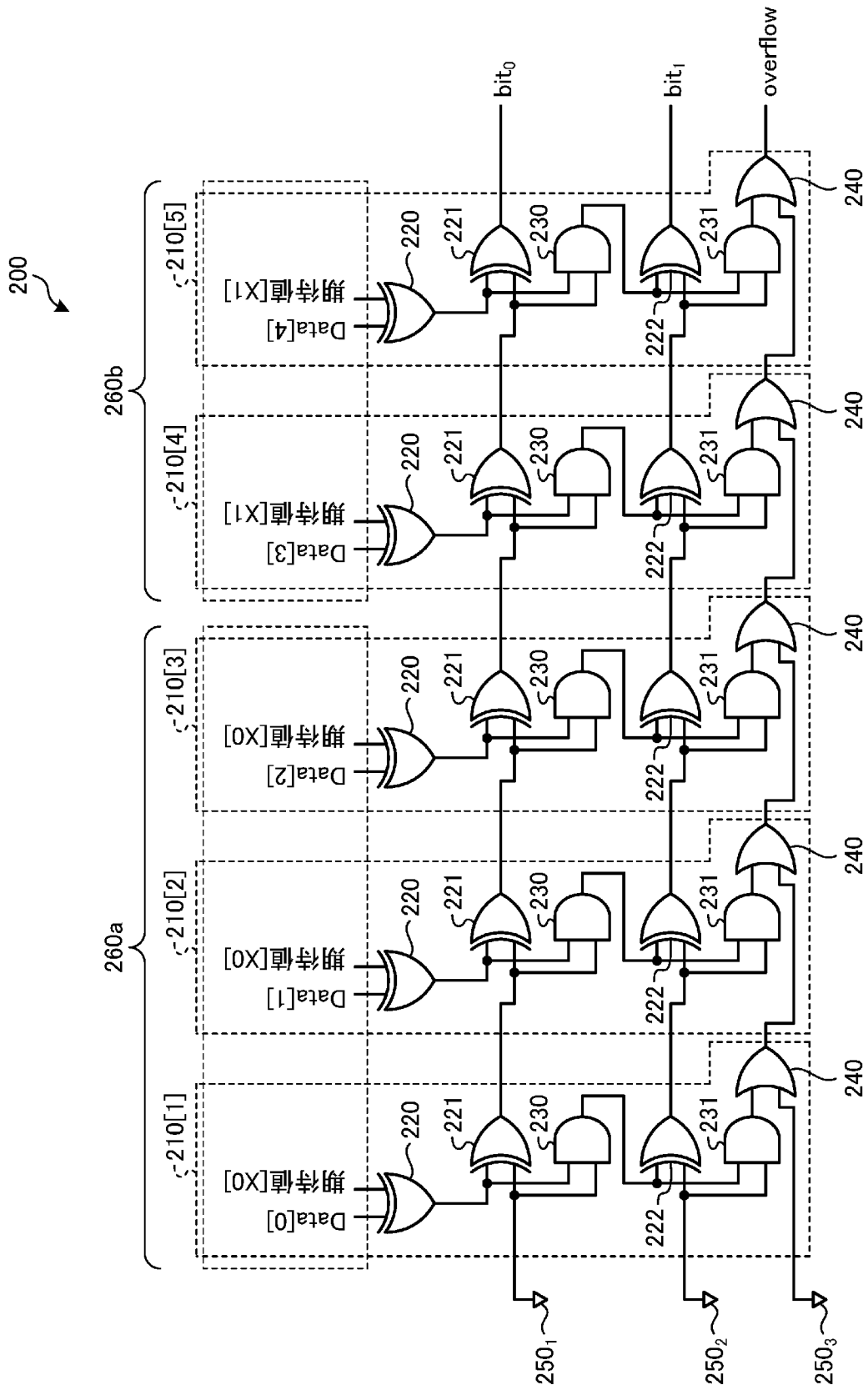


[図7]

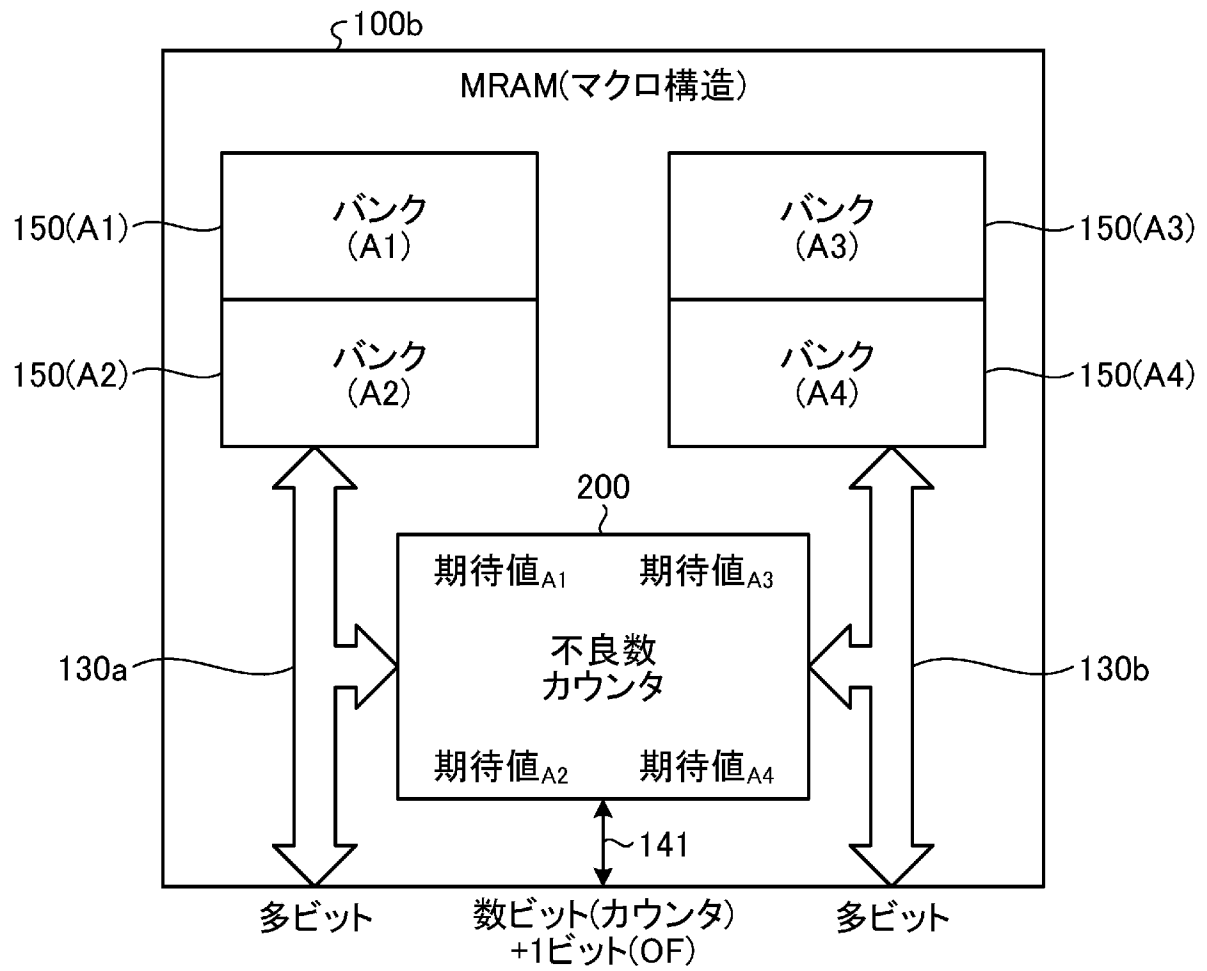
期待値 \ Data	0	1
0	pass	fail
1	fail	pass

The diagram shows the timing of various signals in a 5-bit parallel adder. The signals are Data₀, Data₁, Data₂, Data₃, Data₄, bit₀, bit₁, and overflow. The time axis is divided into intervals labeled a through f. Data₀ and Data₁ are active during intervals a and b. Data₂ is active during intervals a, b, c, and d. Data₃ is active during intervals a, b, c, d, and e. Data₄ is active during intervals a, b, c, d, e, and f. bit₀ is active during intervals a, b, c, d, and e. bit₁ is active during intervals a, b, c, d, e, and f. The overflow signal is active during intervals a, b, c, d, e, and f.

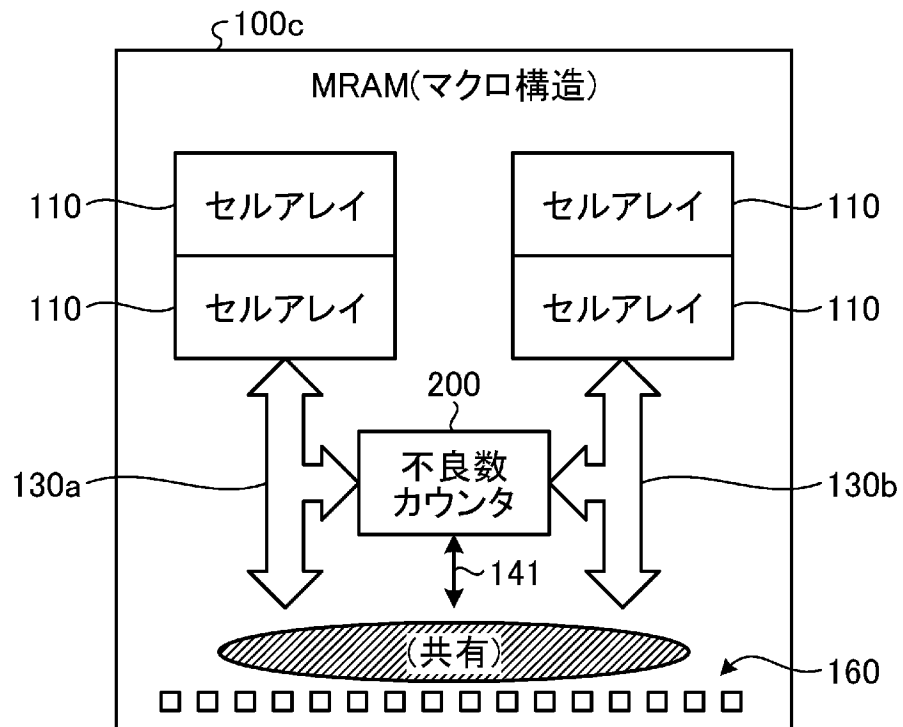
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/000708

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/822(2006.01)i; **H01L 27/04**(2006.01)i; **G11C 29/42**(2006.01)i; **G11C 29/44**(2006.01)i; **G01R 31/28**(2006.01)i
 FI: G01R31/28 B; G11C29/44 110; G11C29/42; G01R31/28 V; H01L27/04 T

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/28; 31/30; 31/302; 31/316; 31/317; 31/3183; 31/3185; 31/319; G11C29/00 - 29/56; H01L27/04; 27/22; 29/82; 43/00 - 43/14; G11C5/02; 5/04; 5/05 - 5/06; 5/08 - 5/12; 11/00; 11/02 - 11/12; 11/15 - 11/16; 11/56; 7/00 - 8/20; 14/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2020-42869 A (TOSHIBA CORP) 19 March 2020 (2020-03-19) paragraphs [0008]-[0024], [0028], fig. 1-3(a)	1-2, 5, 7-11
Y	paragraphs [0008]-[0024], [0028], fig. 1-3(a)	3-4, 6, 12-13
Y	JP 2006-236551 A (RENESAS TECHNOLOGY CORP) 07 September 2006 (2006-09-07) paragraphs [0031]-[0034], fig. 3	3-4, 6
Y	JP 2007-280546 A (ADVANTEST CORP) 25 October 2007 (2007-10-25) paragraphs [0019]-[0020]	3-4
Y	JP 11-66888 A (TOSHIBA CORP) 09 March 1999 (1999-03-09) paragraph [0041]	3
Y	JP 2000-276898 A (OKI ELECTRIC IND CO LTD) 06 October 2000 (2000-10-06) paragraphs [0035]-[0036]	3
Y	JP 2018-195122 A (FUJITSU SEMICONDUCTOR LTD) 06 December 2018 (2018-12-06) paragraph [0016]	12-13

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

24 February 2022

Date of mailing of the international search report

08 March 2022

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/000708

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2016/0203047 A1 (NO, Hyery et al.) 14 July 2016 (2016-07-14) paragraph [0003]	12-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/000708

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2020-42869	A	19 March 2020	US 2020/0082902 A1 paragraphs [0011]-[0029], [0033], fig. 1-3A	
JP	2006-236551	A	07 September 2006	US 2006/0184848 A1 paragraphs [0051]-[0054], fig. 3 KR 10-2006-0087430 A CN 1975934 A	
JP	2007-280546	A	25 October 2007	(Family: none)	
JP	11-66888	A	09 March 1999	(Family: none)	
JP	2000-276898	A	06 October 2000	(Family: none)	
JP	2018-195122	A	06 December 2018	(Family: none)	
US	2016/0203047	A1	14 July 2016	KR 10-2016-0087430 A paragraph [0003]	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; G11C 29/42(2006.01)i; G11C 29/44(2006.01)i; G01R 31/28(2006.01)i FI: G01R31/28 B; G11C29/44 110; G11C29/42; G01R31/28 V; H01L27/04 T																										
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G01R31/28; 31/30; 31/302; 31/316; 31/317; 31/3183; 31/3185; 31/319; G11C29/00 - 29/56; H01L27/04; 27/22; 29/82; 43/00 - 43/14; G11C5/02; 5/04; 5/05 - 5/06; 5/08 - 5/12; 11/00; 11/02 - 11/12; 11/15 - 11/16; 11/56; 7/00 - 8/20; 14/00 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年																
日本国実用新案公報	1922 - 1996年																									
日本国公開実用新案公報	1971 - 2022年																									
日本国実用新案登録公報	1996 - 2022年																									
日本国登録実用新案公報	1994 - 2022年																									
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2020-42869 A (株式会社東芝) 19.03.2020 (2020 - 03 - 19) [0008]-[0024]、[0028]、図1-3 (a)</td> <td>1 - 2, 5, 7 - 11</td> </tr> <tr> <td>Y</td> <td>[0008]-[0024]、[0028]、図1-3 (a)</td> <td>3 - 4, 6, 12 - 13</td> </tr> <tr> <td>Y</td> <td>JP 2006-236551 A (株式会社ルネサステクノロジ) 07.09.2006 (2006 - 09 - 07) [0031]-[0034]、図3</td> <td>3 - 4, 6</td> </tr> <tr> <td>Y</td> <td>JP 2007-280546 A (株式会社アドバンテスト) 25.10.2007 (2007 - 10 - 25) [0019]-[0020]</td> <td>3 - 4</td> </tr> <tr> <td>Y</td> <td>JP 11-66888 A (株式会社東芝) 09.03.1999 (1999 - 03 - 09) [0041]</td> <td>3</td> </tr> <tr> <td>Y</td> <td>JP 2000-276898 A (沖電気工業株式会社) 06.10.2000 (2000 - 10 - 06) [0035]-[0036]</td> <td>3</td> </tr> <tr> <td>Y</td> <td>JP 2018-195122 A (富士通セミコンダクター株式会社) 06.12.2018 (2018 - 12 - 06) [0016]</td> <td>12 - 13</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2020-42869 A (株式会社東芝) 19.03.2020 (2020 - 03 - 19) [0008]-[0024]、[0028]、図1-3 (a)	1 - 2, 5, 7 - 11	Y	[0008]-[0024]、[0028]、図1-3 (a)	3 - 4, 6, 12 - 13	Y	JP 2006-236551 A (株式会社ルネサステクノロジ) 07.09.2006 (2006 - 09 - 07) [0031]-[0034]、図3	3 - 4, 6	Y	JP 2007-280546 A (株式会社アドバンテスト) 25.10.2007 (2007 - 10 - 25) [0019]-[0020]	3 - 4	Y	JP 11-66888 A (株式会社東芝) 09.03.1999 (1999 - 03 - 09) [0041]	3	Y	JP 2000-276898 A (沖電気工業株式会社) 06.10.2000 (2000 - 10 - 06) [0035]-[0036]	3	Y	JP 2018-195122 A (富士通セミコンダクター株式会社) 06.12.2018 (2018 - 12 - 06) [0016]	12 - 13
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																								
X	JP 2020-42869 A (株式会社東芝) 19.03.2020 (2020 - 03 - 19) [0008]-[0024]、[0028]、図1-3 (a)	1 - 2, 5, 7 - 11																								
Y	[0008]-[0024]、[0028]、図1-3 (a)	3 - 4, 6, 12 - 13																								
Y	JP 2006-236551 A (株式会社ルネサステクノロジ) 07.09.2006 (2006 - 09 - 07) [0031]-[0034]、図3	3 - 4, 6																								
Y	JP 2007-280546 A (株式会社アドバンテスト) 25.10.2007 (2007 - 10 - 25) [0019]-[0020]	3 - 4																								
Y	JP 11-66888 A (株式会社東芝) 09.03.1999 (1999 - 03 - 09) [0041]	3																								
Y	JP 2000-276898 A (沖電気工業株式会社) 06.10.2000 (2000 - 10 - 06) [0035]-[0036]	3																								
Y	JP 2018-195122 A (富士通セミコンダクター株式会社) 06.12.2018 (2018 - 12 - 06) [0016]	12 - 13																								
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																										
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>"&" 同一パテントファミリー文献</td> </tr> <tr> <td>"O" 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献	"O" 口頭による開示、使用、展示等に言及する文献		"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献													
* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの																									
"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの																									
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの																									
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献																									
"O" 口頭による開示、使用、展示等に言及する文献																										
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献																										
国際調査を完了した日	国際調査報告の発送日																									
24.02.2022	08.03.2022																									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 田口 孝明 2S 6002 電話番号 03-3581-1101 内線 3216																									

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2016/0203047 A1 (N0, Hyery et al.) 14.07.2016 (2016 - 07 - 14) [0003]	12 - 13

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/000708

引用文献			公表日	パテントファミリー文献	公表日
JP	2020-42869	A	19.03.2020	US 2020/0082902 A1 [0011] - [0029], [0033], FIG. s 1 - 3A	
JP	2006-236551	A	07.09.2006	US 2006/0184848 A1 [0051] - [0054], FIG. 3 KR 10-2006-0087430 A CN 1975934 A	
JP	2007-280546	A	25.10.2007	(ファミリーなし)	
JP	11-66888	A	09.03.1999	(ファミリーなし)	
JP	2000-276898	A	06.10.2000	(ファミリーなし)	
JP	2018-195122	A	06.12.2018	(ファミリーなし)	
US	2016/0203047	A1	14.07.2016	KR 10-2016-0087430 A [0003]	