(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2001年7月19日 (19.07.2001)

(51) 国際特許分類: G09G 3/20, 3/30, 3/36, G02F 1/133

(21) 国際出願番号: PCT/JP01/00182

(22) 国際出願日: 2001年1月15日 (15.01.2001)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 优先権データ:

(74) 代理人: 大前要 (OHMAE, Kaname); 〒540-0037 大阪府大阪市中央区内平野町2-3-14 ライオンズビル大手前3階 Osaka (JP).

(81) 指定国 (国内): CN, KR, SG, US.

(84) 指定国 (広域): AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR.

(72) 発明者: および
(75) 発明者/出願人(国米についてのみ): 足達克己

(54) Title: ACTIVE MATRIX DISPLAY APPARATUS AND METHOD FOR DRIVING THE SAME

(57) Abstract: A method for driving an active matrix display apparatus for gray scale display in which one frame includes sub-frames composed of a write period and a hold period and the gray scale display is realized by a hold period accumulation effect, wherein during the hold period of each sub-frame relating to a predetermined scanning line, the other scanning lines than the predetermined scanning line are randomly produced in a predetermined order so as to prevent the same sub-frame relating to the same scanning line from being written, and the write and hold periods for each sub-frame is substantially ensured for each scanning line over one frame period, thereby conducting gray-scale display drive. As a result, the frame period is shortened.

WO 01/52229 A1
２文字コード及び他の略語については、定期発行される
各PCTガセットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(57) 要約:

１フレームを書き込み期間と保持期間からなる複数のサブフレームで構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置の駆動方法において、予め定めた１つの走査線に関する各サブフレーム毎の保持期間に、前記予め定めた１つの走査線以外の残余の走査線を、同一走査線に関して同一のサブフレームを書き込まないように予め定めた順序に従ってランダム走査し、１フレーム期間全体としてみると、各走査線それぞれにおいて、実質的に前記複数のサブフレーム毎の書き込み及び保持期間が確保されて階調表示駆動が行われる。これにより、フレーム期間の短縮を図ることができる。
明細書

アクティブマトリクス型表示装置及びその駆動方法

5

技術分野

本発明は、アクティブマトリクス方式の表示装置、特に液晶、有機EL（エレクトロルミネッセンス）を用いた表示装置及びその駆動方法に関し、詳しくは時間的に重み付けられたサブフレーム期間における2値あるいは多値の電圧レベルの組み合わせにより多階調表示を行う表示装置及びその駆動方法に関するものである。

背景技術

电池駆動による小型の携帯機器に用いられる表示装置には、より少ない消費電力が要求されている。そのような要求を満たす表示デバイスの代表格として、液晶や有機EL（エレクトロルミネッセンス）が知られている。これらの表示素子を用いたアクティブマトリクス方式の表示装置、典型的には3端子の薄膜トランジスタ（TFT）をスイッチング素子とする表示装置では、アナログの電圧あるいは電流によって画素の輝度を制御し階調表示を行うのが一般的である。例えば、液晶の場合はアナログの電圧を印加することによって、有機ELの場合はアナログの電流を流すことによって表示素子の輝度を変化させ階調表示している。

従来のアクティブマトリクス液晶パネルの構成を図10に示し、その階調表示方法を説明する。101はアクティブマトリクス方式の液晶パネルであり、信号線S1〜Snと、これと直交する走査線G1〜Gmと、その交点近傍にあるスイッチング素子からなる。
iはある信号線、Gjはある走査線、102はそれらの交点近傍にあるスイッチング素子、この場合は一般的な3端子の薄膜トランジスタ（TFT）の例である。103は液晶素子を示し、トランジスタ102と対極する側に対向電極Vcomが形成される。104は蓄積容量であり液晶素子103の容量成分を補佐し、画質の劣化を防止している。その逆側の電極は別途Vstとして共通接続される場合が多い。これらのトランジスタ側の交点105が画素電極に相当する。

動作を簡単に説明すると、走査線Gjが1フレーム期間に一度高い電位となり、トランジスタ102を導通させ、この時の信号線Siの電位まで画素電極105、つまり液晶容量103と蓄積容量104を対向電極Vcomに対して充電する。その後走査線Gjが低電位となってトランジスタ102が非導通となって、この充電された電位を1フレーム間隔保つ。また、液晶は交流駆動するが普通であるが、対向電極Vcomと蓄積容量の共通電極Vstを信号線Siに同期して反転したパルス状波形を加え、信号線Siの振幅を減少することも一般的に行われる。106は信号側のシフトレジスタおよびラッチであり、外部から入力されるクロック信号CKHとスタート信号STHにより、映像信号を順次サンプリングしリアルタイムパラレル変換する。図10ではデジタル映像信号の例を示し、複数ビットの映像信号がD/A変換回路107によりアナログ信号に変えられ、オペアンプ108により電流増幅されて信号線Si～Snに加えられる。走査側は外部より加えられるクロック信号CKVとスタート信号STVにより順次上から下へ走査するシフトレジスタ109と出力バッファ110からなり、走査線G1～Gmをパルス波形で駆動する。
図1-1に各部の波形図を示す。HDは水平同期信号を示し、その周期は水平走査期間Hであり、前述のSTHとCKVの周期に等しい。これらの位相はパネル特性等により若干変えられる。入力信号はデジタル映像信号であり、CKHの周期でデータは変化する。F1, F2, F3は信号側シフトレジスタのサンプリングパルスを示す。例えば、4ビット、16階調の場合は、データを16進数で表現すると、F1には"0", F2には"7", F3には"F"とサンプリングされラッチされている。ラッチパルスのタイミングでこれをD/A変換すると、対向電位Vcomに対するパルス高さが変わり、これで階調を表現する。対向反転すれば液晶の交流駆動をする際に信号線の電圧振幅を約1/2にすることが可能で一般的に行われている。なお、図1-0の蓄積容量104を前段ゲート（図には示されていないがGj-1）とオーバーラップして形成し、前段のゲート側からパルス電圧を印加して、対向電位を一定に保ったまま対向反転同様に信号線の電圧振幅を約1/2に低減できる容量結合駆動がある（特開平3-35218号公報）。あるいは蓄積容量104を前段ゲートにオーバーラップさせずに、ゲートとは独立に蓄積容量にパルス電圧を印加する容量結合駆動（特開平1-255228）の場合も同様の効果が得られる。

図1-2に走査線の選択順序を示す。横軸は時間、縦軸は選択ラインである。時間軸の最小幅は水平走査期間Hであり、表示ライン数は16である。図1-2のように、選択順序は0→1→2→...→15というように順次走査となっている。従って、16Hで1フレーム期間が完了し、次のフレームの書き込みが始まる。実際には、フレーム期間にはライン選択時間以外に垂直ブランクリング期間が設けられるが、図1-2では省略している。なお、水平走査期間Hは図
11のHDの周期に等しく、この時間内にアナログ信号が画素に書き込まれている。

次に、従来のアクティブマトリクス有機ELパネルの構成を図13に示す。図10の液晶パネルの場合と同機能のものは同一番号を付す。401はアクティブマトリクス方式の有機ELパネルであり、信号線S1～Snと、これと直交する走査線G1～Gmと、その交点近傍にあるスイッチング素子からなる。Siはある信号線、Gjはある走査線、402および403はそれらの交点近傍にある第1および第2のスイッチング素子であり、3端子の薄膜トランジスタ（TFT）を示している。404は補助容量であり、第1のトランジスタ402を介して第2のトランジスタ403のゲート電極に印加された信号線Siの電圧を保持する役割をする。405の位置は画素電極を示し、第2のトランジスタ403を介して電源供給線Vsに接続されている。406は有機EL素子であり、画素電極405と対向電極Vcomとの間に形成され、対向電極Vcomおよび電圧供給線Vsとの間に流れる電流により発光し、その電流制御により階調表示を行う。水平駆動回路および垂直駆動回路の動作については図1の液晶の場合と同様であり、走査線Gjを順次走査して第1のトランジスタ402を導通させ、信号線Siに出力されたアナログ電圧を第2のトランジスタ403のゲートと補助容量404に書き込んでいる。

以上のように、従来のアクティブマトリクス液晶パネル及び有機ELパネルでは、アナログ的に輝度を変調することで階調表示を行ってきた。そのため、水平駆動回路にはD/A変換回路が設けられ、パネルに対してアナログ量の電圧ないしは電流を出力する必要があった。しかしながら、D/A変換回路の後段には、負荷である信号
線容量を充放電するための電流バッファとしてオペアンプを設ける必要があり、これが駆動回路全体の消費電力を増大させる要因であった。なぜなら、オペアンプは負荷を充放電していないときでもスタティックな電流が絶えず流れ続けており、しかも全信号線数に等しい数だけのオペアンプが存在するので、オペアンプのスタティック電流による消費電力の総和は大きく、これが駆動回路全体の消費電力の中で大きな割合を占めていた。

またアクティブマトリクス有機ELパネルの階調表示では、有機EL素子に流れれる電流量により輝度を制御するため、パネルの表示品質は画素トランジスタの電流-電圧特性のばらつきに非常に敏感である。したがって、輝度ムラなどの画質低下を防ぐためには、パネル全体にわたりトランジスタ特性を均一に形成する必要がある。

これらの電力課題、画質課題を解決する1つの方法として、D／Aコンバータやオペアンプなどのアナログ回路を用いず、2値の固定電圧のみを用いて時間変調によりデジタル的に階調表示を行う駆動方法が知られている。本論ではこれをデジタル階調表示方式と呼ぶものとする。デジタル階調表示方式では、アナログ回路のスタティック電流による電力ロスがなく、また高画質に対して要求されるトランジスタ特性のばらつきも厳しくない。

図14に液晶の場合を例として、従来のデジタル階調表示方式の構成を示す。図14は図10に比較して、D／A変換回路およびオペアンプの代わりに、2値の固定電圧VH、VLを選択するアナログマップをブレクサすなわちデコーダ501とアナログスイッチ502が配置されている。デコーダとアナログスイッチは非常に簡単な回路で構成することができ、スタティックな電力消費がほとんどない。また、有機ELを用いたデジタル駆動の場合も図5と同様に、
D／A変換回路およびオペアンプの代わりに、デコーダとアナログスイッチが配置される。特に有機ELにデジタル階調表示方式を適用すると、画素トランジスタの電流−電圧特性が多少ばらついても、2値の固定電压に対する電流変動さえ抑えれば、輝度ムラが生じない良質な画像を提供できるという利点がある。なお、走査側は図7のように順次走査を行うためのシフトレジスタ回路により構成され、図10のアナログ駆動と同じである。

次に、2値の固定電圧VH、VLにより階調を表示する方法を図15と共に説明する。全体画像を表示するフレーム期間を時間的に重み付けされた複数のサブフレーム期間に分け、それぞれのサブフレーム期間において液晶の場合は画素電極に、有機ELの場合は第2のトランジスタのゲート電極にVHまたはVLを加えることで、時間的パルス幅変調を行っている。図15は、固定電圧が2値でサブフレームの数と入力データのビット数が一致している場合の例を示しており、入力データが4ビット、サブフレームの数が4である。入力データの最上位ビット（MSB）～最下位ビット（LSB）に対応して、サブフレームSF3～SF1をそれぞれ割り当てている。入力データと重み付けされたサブフレームSF1～SF4における2値の固定電圧VH、VLの組み合わせにより16通りの階調表示を行っている。例えば、階調データが10進数で11、すなわち2進数で”1011”のとき、サブフレームSF3では”0”に対応するVLが選択され、サブフレームSF1、SF2、SF4では”1”に対応するVHが選択される。なお、液晶素子の透過率−電圧特性（T−V特性）や有機ELの発光輝度−電流特性に合わせて、”0”にVH、”1”にVLを対応させても良い。

従来のデジタル階調表示方式では、時間的に重み付けされたサブ
フレーム構造をとるために、図16に示すように走査線を選択する必要がある。図16はサブフレーム数が4の場合で、単純に走査線を上から下へ順次走査しており、サブフレームの時間的な重み付けを1：2：4：8とするために上位ビットほど長いサブフレーム期間を有している。このように、デジタル駆動で順次走査する場合のフレーム周期は、サブフレーム数をN、表示ライン数をL、水平走査期間をHとして

\[ L (1 + 2 + 4 + \cdots + 2 \times (N - 1)) \times H \]

\[ = (2 \times N - 1) \times H \]

と表される。上式から分かるように、サブフレーム数Nが増えるとサブフレーム期間が2のN乗の項に起因して急激に大きくなる。特に上位ビット（MSB）に対するサブフレーム期間は、他のラインの書き込みを行わない保持期間が非常に増大してしまう。この原因によりフレーム周期が増大してフリッカと呼ばれるちらつきが生じる。逆にフレーム周波数を一定とすると、水平走査周期数が大きくなっている電力の増大を引き起こすという課題があった。

次に、デジタル階調表示方式に特有の画質課題である映画映像映画について説明する。図17に映画映像映画の発生原因を示す。固定電圧が2値、サブフレーム数が4、サブフレームの保持期間の比が1：2：4：8で16階調表示する場合において、動画表示を想定し、ある画素の2フレーム間の連続的な輝度変化を考える。図17では、説明を容易にするため、時系列に上位ビットに対するサブフレームSF4から順に選択している。第1フレームでは階調"7"すなわち"0111"が表示され、第2フレームでは階調"8"すなわち"1000"が表示されたとする。この場合、2フレーム間では"01111000"が表示されることになる。人間の目に
は発光パターンが混ざされ時間的に平均化されるが、フレーム周波数が60 Hz程度では”・1111・・”の発光パターンに対して本来”7”あるいは”8”の輝度に見えるはずが、階調”16”の輝度に一瞬見えててしまう。このように、上位ビットの急激な変化が
5 動画疑似映像をもたらす。これを防ぐためには一般的に、サブフレームの数を増やし、急激なビット変化を極力抑える手段が用いられる。例えば、図18のように、サブフレーム数を5とし、サブフレームの保持期間の比を1：2：4：4：4として適切に16階調を選ぶようにする。このとき、階調”7”から階調”8”へのビット
10 変化が緩やかになり、この階調変化に関する動画疑似映像は低減する。ただし、階調”3”から階調”4”への動画疑似映像は残る。
サブフレームの数をさらに増やせば、動画疑似映像をさらに低減できる。このように、動画疑似映像を低減しようとすればサブフレームの数を増やす必要があり、従ってフレーム周期が増大し、フレーム周期を一定とすれば水平走査周波数が増大し、故に電力増大を
15 もたらすという課題があった。
（背景技術の課題の要約）
上記背景技術の課題を要約すれば以下の通りである。
（1）小型の電池駆動の携帯機器に用いられる表示装置、特にアクティブマトリクス方式の液晶及び有機EL等の表示装置において、D/Aコンバータやオペアンプ等のアナログ回路を用いずに、2値の固定電圧のみで時間的に重み付けられたサブフレームにより多階調表示を行うと、フレーム周期が増大しフリッカを発生したり、電力を増大する要因となっていた。

25 （2）また、動画疑似映像を低減するためにサブフレームの数を増やすと、さらに電力の増大を引き起こしていた。
発明の開示

本発明の目的は、サブフレームにより多階調表示を行い、しかもフレーム期間を短縮してフリッカーの発生を防止するようにしたアクティブマトリックス型表示装置及びその駆動方法を提供することである。

また、本発明の他の目的は、サブフレームの数を増やすことなく、動画視聴感を低下するようにしたアクティブマトリックス型表示装置及びその駆動方法を提供することである。

上記の目的を達成するため、本発明は、1フレームを書き込み期間と保持期間からなる複数のサブフレームで構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置の駆動方法において、表示階調数よりも少ない複数の信号レベルを予め準備しておき、デジタル画像データに応じて、前記複数の信号レベルのうちのいずれかの値を選択して信号線を介して出力するとともに、予め定めた1つの走査線に関する各サブフレーム毎の保持期間に、前記予め定めた1つの走査線以外の残余の走査線を、同一走査線に関して同一のサブフレームを書き込まないように予め定めた順序に従ってランダム走査し、1フレーム期間全体としてみると、各走査線それぞれにおいて、実質的に前記複数のサブフレーム毎の書き込みが行われ、各サブフレーム毎の保持期間が確保されて階調表示駆動が行われることを特徴とする。

本発明による選択方法には、サブフレーム期間の選択順序が循環する場合と循環しない場合の両者が含まれる。また、サブフレームの各々について順次走査の場合とそうでない場合の両者が含まれる。

上記構成により、従来のデジタル階調表示方式に比べてフレーム
期間を短縮でき、フリッカを大幅に低減できる効果がある。

また、フレーム周波数を一定とすれば、水平走査期間が大きいかずることができ、この時間に行う液晶パネル容量の充放電による電力を低減できる。

更に、D/A変換回路やオペアンプが必要で駆動回路の構成を簡単にすることができ、消費電力の削減を図ることができる。

また、本発明は、サブフレーム期間の選択順序がSF1 → SF2 → SFn → SF1 → SF2 → SFnと循環するように走査線を選択する駆動方法の場合もある。このような駆動方法にあっては、走査線の選択方法としては、サブフレームの各々について必ずしも順次走査とならないこともある。

また、本発明は、サブフレーム期間の選択順序がSF1 → SF2 → SFn → SF1 → SF2 → SFnと循環し、かつ1つの前記サブフレーム期間について見れば順次走査となるように走査線を選択する駆動方法の場合もある。

また、本発明は、サブフレーム数をN、水平走査期間をH、保持期間の重み付けを1 : 2 : 4 : ... : 2の(N - 1)乗、走査線数をL、正の整数をKとしたとき、前記フレーム期間をNH (1 + K (2のN乗-1)) = NHLと設定して駆動する場合もある。

また、本発明は、サブフレーム数をN、水平走査期間をH、1番目のサブフレーム期間における保持期間の重み付けをK (i) (i = 1, 2, ..., Nとする)、走査線数をLとしたとき、前記フレーム期間をNH (1 + \Sigma K (i)) = NHLと設定して駆動する場合もある。

また、本発明は、表示階調数よりも少なく且つ3以上の複数の信号レベルを予め準備しておく、デジタル画像データに応じて、前記
複数の信号レベルのうちのいずれかの値を選択して信号線を介して出力するとともに、1つの階調に対して前記1フレーム期間にとり得る前記信号レベルの自由度を2とする場合もある。

複数の信号レベルは、2値としてもよく、3以上の複数値としてもよい。特に3以上の複数値（多値化）の場合は、デジタルとアナログの併用により階調表示を行うことを意味する。そして、このように多値化した場合には、サブフレーム数を増やさずに表示階調数を増やせる利点がある。そのため、隣り合う2つの階調での急激なビット変化が小さくなるように適切に階調を選べば、サブフレームを増やさずに動画類似輸郭による画質劣化を抑えることが可能となる。

また、本発明は、上記駆動方法を実現するように構成されたアクティブマトリックス型表示装置である。

また、アクティブマトリックス型表示装置としては、液晶層を有する液晶表示装置であってもよく、また、液晶層に代えて、発光層を備えた有機EL表示装置であってもよい。

図面の簡単な説明

図1は実施の形態1に係るアクティブマトリックス型液晶表示装置10の要部構成図である。

図2は液晶表示装置10の電気的構成を示す回路図である。

図3は実施の形態1における走査線の選択順序を示す駆動シーケンス図である。

図4は実施の形態1における走査線の選択順序の変形例を示す駆動シーケンス図である。

図5は実施の形態1における走査線の選択順序の変形例を示す駆
動シーケンス図である。

図6は実施の形態2に係る液晶表示装置10Aの電気的構成を示す同路図である。

図7は実施の形態2における階調とサブフレームとの関係を示す図である。

図8は実施の形態2における階調とサブフレームとの関係の变形例を示す図である。

図9は実施の形態2における階調とサブフレームとの関係の变形例を示す図である。

図10は従来のアクティブマトリクス液晶パネルにおけるアナログ階調表示の構成図である。

図11は従来のアクティブマトリクス液晶パネルにおけるアナログ階調表示の波形図である。

図12は従来のアナログ階調表示の走査線選択順序を示す図である。

図13は従来のアクティブマトリクス有機ELパネルにおけるアナログ階調表示の構成図である。

図14は従来のアクティブマトリクス液晶パネルにおけるデジタル階調表示の構成図である。

図15はデジタル階調表示における階調とサブフレームの関係を示す図である。

図16は従来のデジタル階調表示の走査線選択順序を示す図である。

図17はデジタル階調表示における動画疑似輪郭の発生原理を示す図である。

図18は従来のデジタル階調表示における動画疑似輪郭の低減方
発明を実施するための最良の形態
（実施の形態1）

図1は実施の形態1に係るアクティブマトリックス型液晶表示装置10の要部構成図であり、図2は液晶表示装置10の電気的構成を示す回路図である。本実施の形態1に係る液晶表示装置において、図10及び図14に示す従来例に対応する部分には同一の参照符号を付して、詳細な説明は省略する。この液晶表示装置10は、1フレームを書き込み期間と保持期間からなる複数のサブフレームSF1, SF2, ..., SFn（総称するときは参照符号SFで示す）で構成し、保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置である。液晶表示装置10は、第1の基板11と、第1の基板11に対向して配置される第2の基板12と、基板11, 12間に封止される液晶層103とを有する。第1の基板11の内側面には、マトリックス状に配置された複数の信号線S1, S2, ..., Sn（信号線を総称するときは、参照符号Sで示す）と複数の走査線G1, G2, ..., Gm（走査線を総称するときは、参照符号Gで示す）の各交点に対応してスイッチング素子としての薄膜トランジスタTFT102（TFT）、TFT102に接続された画素電極105および画素電極105に接続された蓄積容量104が形成されている。また、第2の基板12の内側面には、対向電極14が形成されている。

20 20は信号線駆動回路である。この信号線駆動回路20は、シフトレジスタ／ラッチ回路106（図面の簡略化のため、シフトレジスタとラッチを併せて1つのブロックとして示している）と、デコ...
デコーダ501と、アナログスイッチ502とを有する。デコーダ501及びアナログスイッチ502は、アナログマルチプレッサを構成し、デジタル画像データに応じて2値の固定電圧VH、VLのいずれかを選択する働きをなす。このような構成により、信号線駆動回路20は、表示階調数よりも少ない複数（本実施の形態1では固定電圧VH、VLの2値）の電圧レベルを予め準備しており、デジタル画像データに応じて、前記複数の電圧レベルのうちのいずれかの値を選択して信号線Sを介して出力する機能を果たすことになる。

また、30は走査線駆動回路である。この走査線駆動回路30は、アドレス信号ADVにより指定された走査線Gを選択するデコーダ803と、出力バッファ110とから構成されている。デコーダ803には制御回路（図示せず）から出力されるアドレス信号ADVが供給され、アドレス信号ADVによりアドレス指定された走査線が選択されるように構成されている。なお、アドレスの指定順序は、予め制御回路（図示せず）内のメモリに予め記憶されており、このメモリに基づき後述する所定の順序により走査線がランダム走査されることになる。

次いで、液晶表示装置10の駆動方法について説明する。実施の形態1では、全体画像を表示するフレーム期間を時間的に重み付けされた複数のサブフレーム期間に分け、それぞれのサブフレーム期間において2値の固定電圧VHまたはVLを選択出力することで、時間的なパルス幅変調を行っている。階調データとサブフレームにおける2値の固定電圧の組み合わせの関係は、例えば図15に示されるが、図15と異なる組み合わせでもよい。

次いで、具体的な駆動シーケンスを図3に示す。この図3は第0番目の走査線～第15番目の走査線の16本の走査線で、固定電圧
が2値で、サブフレームの数と入力信頼データのビット数が共に4で一致している場合の例を示している。図3(a)及び図3(c)は第0番目の走査線のサブフレームを示している。また、図3(b)及び図3(d)は走査線の選択順序を示している。なお、図3(a)及び図3(c)は全体で1フレーム期間を示しており、図3(c)は図3(a)に後続するものであるが、図面のスペース等を考慮して2つに分けて描いたに過ぎない。また、同様に、図3(b)及び図3(d)は全体で1フレーム期間を示しており、図3(d)は図3(b)に後続するものであるが、図面のスペース等を考慮して2つに分けて描いたに過ぎない。

以下、図3を参照しつつ、具体的な駆動方法について説明する。各サブフレームSF1～SF4の期間は書き込み期間と保持期間からなり、書き込み期間はどのサブフレームにおいても1水平走査期間(1H)で一定であり、保持期間はサブフレームごとに水平走査期間の2の累乗倍の定数倍に重み付けされている。即ち、サブフレームSF1の保持期間は4Hとされ、サブフレームSF2の保持期間は8Hとされ、サブフレームSF3の保持期間は16Hとされ、サブフレームSF4の保持期間は32Hとされている。

ここで、本発明における駆動方法は、フレーム期間の短縮化を目的とするものである。そして、かかる目的達成のため、予め定めた1つの走査線（図3の場合では、第0番目の走査線に相当する）に関する各サブフレーム毎の保持期間に、前記予め定めた1つの走査線以外の残余の走査線（図3の場合では、第1番目～第15番目の走査線に相当する）を、同一走査線に関して同一のサブフレームを書き込まないように予め定めた順序に従ってランダム走査し、1フレーム期間全体としてみると、全ての走査線に関してサブフレーム
毎の書き込み及び保持期間が確保されて階調表示が行われることを
特徴とする。

ここで、上記目的を達成するための具体的な走査線の選択順序を設
定するに際して、先ず、サブフレーム期間を一般化しておく。Hを
1 水平走査期間、Nを全サブフレーム数、Kを正の整数とするとき、
i番目のサブフレーム期間は、（ただし、i = 1, 2, ..., N）
(1 + 2 の i - 1 乗 × N K) × H
と表される。上式の括弧内の第1項は書き込み期間を表し、第2項
は保持期間を表している。保持期間は（2 の累乗）×（定数 K）×
サブフレーム数 N) × (水平走査期間H) で表され、サブフレー
ムごとに（2 の累乗）の部分が1, 2, 4, 8, ...と重み付けさ
れる。保持期間にNKの項を含んでいるのは、後述するようにフレ
ーム期間の短縮に役立つからである。

そして、1フレーム期間は、全サブフレーム期間の和であるので、
(N + NK (1 + 2 + 4 + ... + 2 の (N - 1 乗))) × H
= NH (1 + K (2 の N 乗 - 1))
と表される。

図3（a）、（c）の波形図においては、パルスの部分が書き込み
期間、それ以外の部分が保持期間に相当する。

走査線の選択順序は、単純に上から下へ順次走査するのでなく、
図3（b）、（d）に示すように所定の順序で選択することにより、
上位ビットにおけるサブフレーム期間の保持期間を利用して他のラ
インのサブフレームを書き込み、フレーム期間を短縮している。フ
レーム期間を短縮する具体的な方法は以下の手順で行う。

（1）表示走査線数の設定

1フレーム期間には、全てのサブフレームを書き込むために：ラ
インに対しN回の書き込み期間が必要である。従って、表示走査線数がLであるとき、1フレーム期間に1水平走査期間の（N×L）倍の書き込み期間が必要である。すなわち、書き込み期間はNHLで表される。保持期間を利用して他のラインの書き込みを行うとき、

最も効率的なのは、

\[ NH \left( 1 + K \left( 2 \times N - 1 \right) \right) = NHL \]

が成り立つときである。従って、表示走査線数を

\[ L = 1 + K \left( 2 \times N - 1 \right) \]

となるように選べばよい。

図3（b）、（d）の例ではサブフレーム数がN=4であるから、
表示走査線数はL=15K+1となる。Kは正の整数であり、K=1, 2, 3\ldotsとするとき、L=16, 31, 46\ldotsとなる。
図3（b）、（d）では、K=1として表示走査線数L=16、1フレーム期間がNHL=64Hとなっている。

（2）走査線の選択順序の設定

次いで、走査線の選択順序に関して詳細に説明する。図3はサブフレーム数がN=4、表示走査線数L=16（K=1）の場合である。各サブフレーム期間は5H、9H、17H、33Hであり、1フレーム期間はこれらの和であって64Hとなる。先頭の第0番目の走査線に注目すると、時刻t=0から水平走査期間1Hの間に、

最下位ビットに対するサブフレームSF1を書き込んでいる。その後、保持期間が4Hあって、次に第0番目の走査線のSF2を書き込む時刻はt=5Hとなる。このSF1の保持期間の間に、他の走査線のサブフレームを書き込んでいる。即ち、t=1Hで第15番目の走査線のSF2を、t=2Hで第13番目の走査線のSF3を、

t=3Hで第9番目の走査線のSF4を、t=4Hで第1番目の走
査線のSF1を書き込んでいます。換言すれば、書き込むサブフレームの順序がSF1→SF2→SF3→SF4→SF1 →SF2→SF3→SF4→SF1 →SF2→SF3→SF4→SF1 →SF2→SF3→SF4→SF1 →SF2→SF3→SF4→SF1 というように循環している。また、1つのサブフレーム、例えばSF4に注目すれば、選択順序は開始ラインを9として、9→10→11→12→13→14=15→0→1→2→3というように順次走査となっている。他のサブフレームについても、開始ラインが異なるだけで順次走査と言う点では同様である。各サブフレームの開始ラインは、0ライン目に対する各サブフレームの書き込み時刻が決まれば一義的に決まる。

このように、サブフレームの保持期間を利用して他のラインのサブフレームを書き込むように走査線を選択すれば、単純に順次走査してサブフレーム構造をとる場合に比べてフレーム期間をN/（2のN乗-1）倍に短縮できる。

例えば図3と図16は同じ表示走査線数、同じサブフレーム数であるが、順次走査の図16のフレーム周期は240Hであるのに対し、図3では64Hで済む。フレーム周期を短縮できればリッカと呼ばれるちらつきを防止することができ、またフレーム周波数を一定とすれば水平走査周期を増大でき、この水平走査周期に定の液晶パネル容量の充放電による電力を低減できる。

上記の例では、サブフレームの保持期間の比をSF1：SF2：SF3：SF4＝1：2：4：8としたけれども、本発明はこれに限定されるものではなく、例えばSF1：SF2：SF3：SF4＝2：8：1：4に設定しても、上記と同様な考え方で走査線の選択順序を図4に示すようにすれば、フレーム期間の短縮化を図ることができる。

また、上記の例では、サブフレーム期間の選択順序がSF1→S
F2 → SF3 → SF4 → SF1 ・・・というように循環し、かつ1つのサブフレーム期間について見れば順次走査となるように走査線を選択したが、本発明はこれに限定されるものではなく、例えば図5に示すように、サブフレーム期間の選択順序がSF1 → SF2 → SF3 ・・・と循環するけれども、1つのサブフレーム期間について見れば順次走査とならないような選択を行うようにしてもよい。図5の場合、例えばSF4に注目すれば、選択順序開始ラインを3として、3 → 5 → 7 → 9 → 11 → 13 → 15 → 2 → 4 ・・・14 → 3 → 5 というように2ラインおきの走査となっている。他のラインについても同様に2ラインおきの走査となっている。このような図5に示す走査線の選択であっても、フレーム期間の短縮化を図ることができる。なお、順次走査を行う方が、走査線を指定するアドレス回路を簡略化できる。また、上記の例では、サブフレーム期間を重み付けの小さい順にSF1 → SF2 → SF3 → SF4 → SF1 ・・・というように循環して走査線を選択したが、逆に重み付けの大きい順にSF4 → SF3 → SF2 → SF1 → SF4 ・・・と循環してもよい。あるいは重み付けの大きさに関係なく、例えばSF3 → SF1 → SF4 → SF2 → SF3 ・・・というようにサブフレーム順序を自由に設定してもよい。

また上記の例ではサブフレームの循環する周期をサブフレーム数N = 4に一致させて4H周期としたが、Nの倍数の範囲、例えばN = 4の場合は8H周期で循環させても良い。またすべてのラインを複数のラインからなるブロックごとに、あるいは数ラインおきに、あるいは偶数ラインと奇数ラインとに分けるなどして、サブフレームの順序を異ならせてもよい。このような場合、サブフレームの各々
について必ずしも順次走査とならないことがある。

(走査線の選択方法の要約)

上記走査線の選択方法を要約すれば、以下の3通りに大別することができる。

5 (1) 複数の走査線のうち予め定めた1つの走査線に関する各サブフレーム毎の保持期間に、前記予め定めた1つの走査線以外の残余の走査線を、同一走査線に関して同一のサブフレームを書き込まないように予め定めた順序に従ってランダム走査して、1フレーム期間全体としてみると、各走査線それぞれにおいて、実質的に前記複数の各サブフレーム毎の書き込み・保持期間が確保されている。

この選択方法では、サブフレーム期間の選択順序が循環する場合と循環しない場合の両者が含まれる。また、サブフレームの各々について順次走査の場合とそうでない場合の両者が含まれる。この選択方法によれば、保持時間を有効利用することにより、フレーム期間を短縮できるという効果がある。

(2) サブフレーム期間の選択順序がSF1 → SF2 → ... → SFn → SF1 → SF2 → ... → SFnと循環するように走査線を選択する。

この選択方法では、サブフレームの各々について必ずしも順次走査とならないこともあります。この選択方法によれば、上記の(1)の選択方法に比べて、保持時間をさらに有効利用でき、フレーム期間を最も短縮できるとともに、走査線を指定するアドレス回路を簡略化できるという効果がある。

(3) サブフレーム期間の選択順序がSF1 → SF2 → ... → SFnと循環し、かつ1つの前記サブフレーム期間について見れば順次走査となるように走査線を選
択する。この選択方法によれば、上記の（1）、（2）の選択方法に比べて、走査線を指定するアドレス回路を、構成の簡単なカウンタ回路で構成できるという効果がある。

なお、上記の（1）〜（3）の選択方法は、走査線の選択方法の考え方が異なるものであるが、結果的には同一の駆動シーケンスとなる場合はある。

また、上記の例では、サブフレームの保持期間を（2の累乗）×（定数K）×（サブフレーム数N）×（水平走査期間H）としたが、（2の累乗）×（定数K）の部分を任意に設定してもよい。一般化すれば、重みの部分（定数K）×（2の累乗）をK（i）に置き換えて、保持期間をNH・K（i）を表し、i番目のサブフレーム期間を、（ただし、i=1, 2, ..., N）

\[(1+N \cdot K(i)) \times H\]

と表すことができる。また1フレーム期間は、全サブフレーム期間の和であるので、

\[NH \cdot (1+K(1)+K(2)+\cdots+K(N)) = NH \cdot (1+\Sigma K(i))\]

と表される。フレーム期間を短縮するためにこれをNH・Lと置けば、表示走査線数は

\[L = 1+K(1)+K(2)+\cdots+K(N) = 1+\Sigma K(i)\]

となる。そして、この場合においても、上記のサブフレームの保持期間を（2の累乗）×（定数K）×（サブフレーム数N）×（水平走査期間H）する場合と同様な考え方に基づいて、走査線の選択順序を設定すればよい。

（実施の形態1の補足説明）

①本実施の形態では液晶の交流駆動に関しては従来例と同様に対
向反転駆動を仮定しており、固定電圧を2値としたが、対向を一定とする場合には固定電圧を正極性及び負極性でそれぞれ2値ずつ、合計4値とすることで適用可能である。なお、前段ゲートの容量結合駆動、あるいは蓄積容量を独立に制御する容量結合駆動を用いれば、固定電圧を2値のままで対向を一定にすることが可能である。

②本実施例ではサブフレーム数N=4、定数K=1より表示ライン数をL=16としたが、これは表示可能な最大ライン数である。実際にはこれより少ないライン数でもよい。例えば、表示可能な最大ライン数をL=16とし、実際に表示するライン数を15ラインとした場合には、どのラインも選択されない時間が4H分生じるだけである。

（実施の形態2）

図6は実施の形態2に係る液晶表示装置10Aの電気的構成を示す回路図である。本実施の形態2は、実施の形態1に類似し対応する部分には同一の参照符号を付す。上記実施の形態1では時間的に重み付けされた複数のサブフレームにおける2値の固定電圧の組み合わせで階調表示を行うようにしたが、本実施の形態2では3値以上の固定電圧を組み合わせて階調表示を行うことを特徴するものである。このことは、多値サブフレームによる階調表示、すなわちデジタルとアナログの併用により階調表示を行うことを意味する。

このように多値化した場合には、信号側駆動回路の固定電圧を選択するアナログマルチプレクサ（デコーダおよびスイッチ）の回路構成が複雑になるが、サブフレーム数を増やすことに表示階調数を増やす利点がある。例えば、図7のように、3値4サブフレームで保持期間の比を1:2:4:8とした場合、1つの階調に対して取り得る固定電圧の自由度を2とすれば、最大31階調得られる。
一方、多値化によりサブフレーム数を少なくすることも可能である。例えば、図8のように、3値3サブフレームで保持期間の比を1：2：4とした場合、1つの階調に対して取り得る固定電圧の自由度を2とすれば、最大15階調が得られる。サブフレーム数を少なくできればフレーム周期をさらに短縮することができ、フレーム周波数を一定とすれば水平走査周波数を低減でき、電力を低減することができる。ここでの多値化する際、1つの階調に対して取り得る固定電圧の自由度を2とすることにより、階調合う階調間での輝度飛びを防ぐことができ、階調-輝度特性において連続性を保つことができる。

また、図9のように、3値4サブフレームで保持期間の比を1：2：2：2として、階調合う2つの階調での急激なビット変化が小さくなるように適切に階調を選べば、サブフレームを増やさずに動画疑似輪郭による画質劣化を抑えることが可能である。

なお、多値化した場合も2値の場合と同様に、対角反転駆動及ぶ容量結合駆動を用いて、固定電圧の数を2倍にすることなく液晶の交流駆動が可能である。

（その他の事項）

上記実施の形態1、2では表示素子に液晶を用いて説明したが、表示素子が有機ELであっても実施の形態1、2の走査線の選択方法を同様に適用することができる。

産業上の利用可能性

以上のように本発明の構成によれば、本発明の各課題を十分に達成することができる。具体的には以下のとおりである。

（1）従来のアクティブマトリックス型表示装置、特に液晶、有機
ELを用いたアクティブマトリクス型表示装置において、従来のデジタル階調表示方式に比べてフレーム期間を短縮でき、フリッカを大幅に低減できる効果がある。また、フレーム周波数を一定とすれば、水平走査期間が大きくなることができ、この時間に行う液晶パネル容量の充放電による電力を低減できる効果がある。

（2）D／A変換回路やオペアンプが不要でドライバ回路の構成を簡単にすることができ、これらで消費する電力を削減できる効果がある。

（3）従来のアナログ階調表示方式で要求されるほど高精度で均一な薄膜トランジスタの特性を必要とせず、トランジスタ特性ばらつきによる輝度ムラなどの画質劣化を低減できる効果がある。

（4）固定電圧を多値化することにより、電力を増大させずに階調性や動画類似輸出などの画質劣化を防ぐことが可能となる。

25
請求の範囲

1. 1フレームを書き込み期間と保持期間からなる複数のサブフレームで構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置の駆動方法において、

表示階調数よりも少ない複数の信号レベルを予め準備しておく、デジタル画像データに応じて、前記複数の信号レベルのうちのいずれかの値を選択して信号線を介して出力するとともに、

予め定めた1つの走査線に関する各サブフレーム毎の保持期間に、

前記予め定めた1つの走査線以外の残余の走査線を、同一走査線に関して同一のサブフレームを書き込まないように予め定めた順序に従ってランダム走査し、

1フレーム期間全体としてみると、各走査線それぞれにおいて、実質的に前記複数のサブフレーム毎の書き込みが行われ、各サブフレーム毎の保持期間が確保されて階調表示駆動が行われることを特徴とするアクティブマトリックス型表示装置の駆動方法。

2. 1フレームを書き込み期間と保持期間からなる複数のサブフレームS F 1 , S F 2 , … , S F n ( n は自然数）で構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置の駆動方法において、

表示階調数よりも少ない複数の信号レベルを予め準備しておく、デジタル画像データに応じて、前記複数の信号レベルのうちのいずれかの値を選択して信号線を介して出力するとともに、

前記サブフレーム期間の選択順序が S F 1 → S F 2 → … → S F n → S F 1 → S F 2 → … → S F n と循環するように走査線を
選択することを特徴とするアクティブマトリクス型表示装置の駆動方法。

3. 1フレームを書き込み期間と保持期間からなる複数のサブフレーム SF1, SF2, ..., SFn (nは自然数)で構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリクス型表示装置の駆動方法において、

表示階調数よりも少ない複数の信号レベルを予め準備しておく、デジタル画像データに応じて、前記複数の信号レベルのうちのいずれかの値を選択して信号線を介して出力するとともに、
前記サブフレーム期間の選択順序が SF1 → SF2 → ... → SFn → SF1 → SF2 → ... → SFn と循環し、かつ1つの前記サブフレーム期間について見れば順次走査となるように走査線を選択することを特徴とするアクティブマトリクス型表示装置の駆動方法。

4. 1フレームを書き込み期間と保持期間からなる複数のサブフレームで構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリクス型表示装置の駆動方法において、

表示階調数よりも少ない複数の信号レベルを予め準備しておく、デジタル画像データに応じて、前記複数の信号レベルのうちのいずれかの値を選択して信号線を介して出力するとともに、

サブフレーム数を N, 水平走査期間を \( H \), 保持期間の重み付けを \( 1 : 2 : 4 : \cdots : 2 \), の \((N - 1)\) 乘, 走査線数を \( L \), 正の整数 \( K \) としたとき、前記フレーム期間を \( NH(1 + K(2 \text{の} N \text{乗} - 1)) \) \( = NHL \) と設定して駆動することを特徴とするアクティブマトリクス
型表示装置の駆動方法。

5. 1フレームを書き込み期間と保持期間からなる複数のサブフレームで構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置の駆動方法において、

表示階調数よりも少ない複数の信号レベルを予め準備しておく、デジタル画像データに応じて、前記複数の信号レベルのうちのいずれかの値を選択して信号線を介して出力するとともに、サブフレーム数をN、水平走査期間をH、1番目のサブフレーム期間における保持期間の重み付けをK(i)(但し、i = 1, 2, ..., Nとする)、走査線数をLとしたとき、前記フレーム期間をNH(1 + Σ K(i)) = NHLと設定して駆動することを特徴とするアクティブマトリックス型表示装置の駆動方法。

6. 1フレームを書き込み期間と保持期間からなる複数のサブフレームで構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置の駆動方法において、

表示階調数よりも少なく且つ3以上の複数の信号レベルを予め準備しておく、デジタル画像データに応じて、前記複数の信号レベルのうちのいずれかの値を選択して信号線を介して出力するとともに、1つの階調に対して前記1フレーム期間にとり得る前記信号レベルの自由度を2とすることを特徴とするアクティブマトリックス型表示装置の駆動方法。

7. 前記複数の信号レベルを2値とすることを特徴とする請求項

1記載のアクティブマトリックス型表示装置の駆動方法。
8. 前記複数の信号レベルを2値とすることを特徴とする請求項2記載のアクティブマトリクス型表示装置の駆動方法。

9. 前記複数の信号レベルを2値とすることを特徴とする請求項3記載のアクティブマトリクス型表示装置の駆動方法。

10. 前記複数の信号レベルを2値とすることを特徴とする請求項4記載のアクティブマトリクス型表示装置の駆動方法。

11. 前記複数の信号レベルを2値とすることを特徴とする請求項5記載のアクティブマトリクス型表示装置の駆動方法。

12. 前記複数の信号レベルを3以上の複数値とすることを特徴とする請求項1記載のアクティブマトリクス型表示装置の駆動方法。

13. 前記複数の信号レベルを3以上の複数値とすることを特徴とする請求項2記載のアクティブマトリクス型表示装置の駆動方法。

14. 前記複数の信号レベルを3以上の複数値とすることを特徴とする請求項3記載のアクティブマトリクス型表示装置の駆動方法。

15. 前記複数の信号レベルを3以上の複数値とすることを特徴とする請求項4記載のアクティブマトリクス型表示装置の駆動方法。

16. 前記複数の信号レベルを3以上の複数値とすることを特徴
とする請求項5記載のアクティブマトリックス型表示装置の駆動方法。

17. マトリックス状に配置された複数の信号線と複数の走査線の各交点に対応してスイッチング素子、前記スイッチング素子に接続された画素電極、および前記画素電極に接続された蓄積容量が形成された第1の基板と、前記第1の基板と液晶層を介して対時する対向電極が形成された第2の基板とを備え、1フレームを書き込み期間と保持期間からなる複数のサブフレームで構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置において、

表示階調数よりも少ない複数の電圧レベルを予め準備しておく、デジタル画像データに応じて、前記複数の電圧レベルのうちのいずれかを選択して前記信号線を介して出力する信号線駆動回路と、前記複数の走査線のうち予め定めた1つの走査線に関する各サブフレーム毎の保持期間に、前記予め定めた1つの走査線以外の残余の走査線を、同一走査線に関して同一のサブフレームを書き込まないように予め定めた順序に従ってランダム走査する走査線駆動回路と、を有し、

1フレーム期間全体としてみると、各走査線それぞれにおいて、実質的に前記複数のサブフレーム毎の書き込みが行われ、各サブフレーム毎の保持期間が確保されて階調表示駆動が行われることを特徴とするアクティブマトリックス型表示装置。

18. マトリックス状に配置された複数の信号線と複数の走査線の各交点に対応してスイッチング素子、前記スイッチング素子に接続
された画素電極、および前記画素電極に接続された蓄積容量が形成された第1の基板と、前記第1の基板と液晶層を介して対時する対向電極が形成された第2の基板とを備え、1フレームを書き込み期間と保持期間からなる複数のサブフレームSF1, SF2, ..., SFn（nは自然数）で構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置において、

表示階調数よりも少ない複数の電圧レベルを予め準備しておき、デジタル画像データに応じて、前記複数の電圧レベルのうちのいずれかの値を選択して前記信号線を介して出力する信号線駆動回路と、

前記サブフレーム期間の選択順序がSF1 → SF2 → ... → SFnと循環するように前記走査線を選択する走査線駆動回路と、

を有することを特徴とするアクティブマトリックス型表示装置。

19. マトリックス状に配置された複数の信号線と複数の走査線の各交点に対応してスイッチング素子、前記スイッチング素子に接続された画素電極、および前記画素電極に接続された蓄積容量が形成された第1の基板と、前記第1の基板と液晶層を介して対時する対向電極が形成された第2の基板とを備え、1フレームを書き込み期間と保持期間からなる複数のサブフレームSF1, SF2, ..., SFn（nは自然数）で構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置において、

表示階調数よりも少ない複数の電圧レベルを予め準備しておき、デジタル画像データに応じて、前記複数の電圧レベルのうちのいずれかの値を選択して前記信号線を介して出力する信号線駆動回路と、

前記サブフレーム期間の選択順序がSF1 → SF2 → ... → SFn
F \rightarrow S \rightarrow F \rightarrow S \rightarrow F \rightarrow \cdots \rightarrow S \rightarrow F \rightarrow \cdots

サブフレーム間隔について見れば順次走査となるように前記走査線を選択する走査線駆動回路と、

を有することを特徴とするアクティブマトリクス型表示装置。

20．マトリクス状に配置された複数の信号線と複数の走査線の各交点に対応してスイッチング素子、前記スイッチング素子に接続された画素電極、および前記画素電極に接続された蓄積容量が形成された第1の基板と、前記第1の基板と液晶層を介して対峙する対向電極が形成された第2の基板とを備え、1フレームを書き込み期間と保持期間からなる複数のサブフレームで構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリクス型表示装置において、

表示階調数よりも少ない複数の電圧レベルを予め準備しておく、

デジタル画像データに応じて、前記複数の電圧レベルのうちのいずれかの値を選択して前記サブフローを介して出力する信号線駆動回路と、

サブフレーム数をN、水平走査周期をH、保持期間の重み付けを1:2:4:・・・:2の(N-1)乗、走査線数をL、正の整数をKとしたとき、前記フレーム周期をNH(1+K(2のN乗-1))

等NHLとなるように、前記走査線を選択する走査線駆動回路と、

を有することを特徴とするアクティブマトリクス型表示装置。

21．マトリクス状に配置された複数の信号線と複数の走査線の各交点に対応してスイッチング素子、前記スイッチング素子に接続された画素電極、および前記画素電極に接続された蓄積容量が形成された第1の基板と、前記第1の基板と液晶層を介して対峙する対
向電極が形成された第2の基板とを備え、1フレームを書き込み期間と保持期間からなる複数のサブフレームで構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置において、

5 表示階調数よりも少ない複数の電圧レベルを予め準備しておき、デジタル画像データに応じて、前記複数の電圧レベルのうちのいずれかの値を選択して前記信号線を介して出力する信号線駆動回路と、サブフレーム数をN、水平走査期間をH、i番目のサブフレーム期間における保持期間の重み付けをK(i)(但し、i = 1, 2, ..., Nとすると)、走査線数をLとしたとき、前記フレーム期間をNh(1 + Σ K(i)) = NhLとなるように、前記走査線を選択する走査線駆動回路と、

を有することを特徴とするアクティブマトリックス型表示装置。

22 マトリックス状に配置された複数の信号線と複数の走査線の各交点に対応してスイッチング素子、前記スイッチング素子に接続された画素電極、および前記画素電極に接続された蓄積容量が形成された第1の基板と、前記第1の基板と液晶層を介して対峙する対向電極が形成された第2の基板とを備え、1フレームを書き込み期間と保持期間からなる複数のサブフレームで構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置において、

表示階調数よりも少なく且つ3以上の複数の電圧レベルを予め準備しておき、デジタル画像データに応じて、前記複数の電圧レベルのうちのいずれかの値を選択し、しかも1つの階調に対して前記フレーム期間にとり得る前記電圧レベルの自由度を2とするような
選択を行い、この選択された電圧値を前記信号線を介して出力する信号線駆動回路と、
前記走査線を順次走査又はランダム走査する走査線駆動回路と、
を有することを特徴とするアクティブマトリクス型表示装置。

23. 前記複数の電圧レベルを2値とすることを特徴とする請求項17記載のアクティブマトリクス型表示装置。

24. 前記複数の電圧レベルを2値とすることを特徴とする請求項18記載のアクティブマトリクス型表示装置。

25. 前記複数の電圧レベルを2値とすることを特徴とする請求項19記載のアクティブマトリクス型表示装置。

26. 前記複数の電圧レベルを2値とすることを特徴とする請求項20記載のアクティブマトリクス型表示装置。

27. 前記複数の電圧レベルを2値とすることを特徴とする請求項21記載のアクティブマトリクス型表示装置。

28. 前記複数の電圧レベルを3以上の複数値とすることを特徴とする請求項17記載のアクティブマトリクス型表示装置。

29. 前記複数の電圧レベルを3以上の複数値とすることを特徴とする請求項18記載のアクティブマトリクス型表示装置。
30. 前記複数の電圧レベルを3以上の複数値とすることを特徴とする請求項19記載のアクティブマトリクス型表示装置。

31. 前記複数の電圧レベルを3以上の複数値とすることを特徴とする請求項20記載のアクティブマトリクス型表示装置。

32. 前記複数の電圧レベルを3以上の複数値とすることを特徴とする請求項21記載のアクティブマトリクス型表示装置。

33. 前記信号線駆動回路が複数の前記電圧レベルから1値を選択して出力するアナログマルチプレクサを含むことを特徴とする請求項17記載のアクティブマトリクス型表示装置。

34. 前記信号線駆動回路が複数の前記電圧レベルから1値を選択して出力するアナログマルチプレクサを含むことを特徴とする請求項18記載のアクティブマトリクス型表示装置。

35. 前記信号線駆動回路が複数の前記電圧レベルから1値を選択して出力するアナログマルチプレクサを含むことを特徴とする請求項19記載のアクティブマトリクス型表示装置。

36. 前記信号線駆動回路が複数の前記電圧レベルから1値を選択して出力するアナログマルチプレクサを含むことを特徴とする請求項20記載のアクティブマトリクス型表示装置。

37. 前記信号線駆動回路が複数の前記電圧レベルから1値を選択する
択して出力するアナログマルチプレクサを含むことを特徴とする請求項2.1記載のアクティブマトリクス型表示装置。

3.8. 前記信号線駆動回路が複数の前記電圧レベルから1値を選択して出力するアナログマルチプレクサを含むことを特徴とする請求項2.2記載のアクティブマトリクス型表示装置。

3.9. 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項1.7記載のアクティブマトリクス型表示装置。

4.0. 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項1.8記載のアクティブマトリクス型表示装置。

4.1. 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項1.9記載のアクティブマトリクス型表示装置。

4.2. 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項2.0記載のアクティブマトリクス型表示装置。

4.3. 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項2.1記載のアクティブマトリクス型表示装置。
4 4. 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特微とする請求項22記載のアクティブマトリクス型表示装置。

4 5. 前記スイッチング素子が3端子の薄膜トランジスタで構成されることを特微とする請求項17記載のアクティブマトリクス型表示装置。

4 6. 前記スイッチング素子が3端子の薄膜トランジスタで構成されることを特微とする請求項18記載のアクティブマトリクス型表示装置。

4 7. 前記スイッチング素子が3端子の薄膜トランジスタで構成されることを特微とする請求項19記載のアクティブマトリクス型表示装置。

4 8. 前記スイッチング素子が3端子の薄膜トランジスタで構成されることを特微とする請求項20記載のアクティブマトリクス型表示装置。

4 9. 前記スイッチング素子が3端子の薄膜トランジスタで構成されることを特微とする請求項21記載のアクティブマトリクス型表示装置。

5 0. 前記スイッチング素子が3端子の薄膜トランジスタで構成
されることを特徴とする請求項22記載のアクティブマトリックス型表示装置。

5.1. 前記対向電極を前記信号線駆動回路の出力信号に同期して水平走査期間の整数倍の周期で反転駆動することを特徴とする請求項17記載のアクティブマトリックス型表示装置。

5.2. 前記対向電極を前記信号線駆動回路の出力信号に同期して水平走査期間の整数倍の周期で反転駆動することを特徴とする請求項18記載のアクティブマトリックス型表示装置。

5.3. 前記対向電極を前記信号線駆動回路の出力信号に同期して水平走査期間の整数倍の周期で反転駆動することを特徴とする請求項19記載のアクティブマトリックス型表示装置。

5.4. 前記対向電極を前記信号線駆動回路の出力信号に同期して水平走査期間の整数倍の周期で反転駆動することを特徴とする請求項20記載のアクティブマトリックス型表示装置。

5.5. 前記対向電極を前記信号線駆動回路の出力信号に同期して水平走査期間の整数倍の周期で反転駆動することを特徴とする請求項21記載のアクティブマトリックス型表示装置。

5.6. 前記対向電極を前記信号線駆動回路の出力信号に同期して水平走査期間の整数倍の周期で反転駆動することを特徴とする請求項22記載のアクティブマトリックス型表示装置。
57. 前記走査線駆動回路の出力を４値とし、容量結合駆動を行うことを特徴とする請求項17記載のアクティブマトリクス型表示装置。

58. 前記走査線駆動回路の出力を４値とし、容量結合駆動を行うことを特徴とする請求項18記載のアクティブマトリクス型表示装置。

59. 前記走査線駆動回路の出力を４値とし、容量結合駆動を行うことを特徴とする請求項19記載のアクティブマトリクス型表示装置。

60. 前記走査線駆動回路の出力を４値とし、容量結合駆動を行うことを特徴とする請求項20記載のアクティブマトリクス型表示装置。

61. 前記走査線駆動回路の出力を４値とし、容量結合駆動を行うことを特徴とする請求項21記載のアクティブマトリクス型表示装置。

62. 前記走査線駆動回路の出力を４値とし、容量結合駆動を行うことを特徴とする請求項22記載のアクティブマトリクス型表示装置。

63. 前記走査線駆動回路の出力を２値とし、前記蓄積容量を2
値で独立に駆動することにより容量結合駆動を行うことを特徴とする請求項 1.7 記載のアクティブマトリックス型表示装置。

6.4. 前記走査線駆動回路の出力を 2 値とし、前記蓄積容量を 2 値で独立に駆動することにより容量結合駆動を行うことを特徴とする請求項 1.8 記載のアクティブマトリックス型表示装置。

6.5. 前記走査線駆動回路の出力を 2 値とし、前記蓄積容量を 2 値で独立に駆動することにより容量結合駆動を行うことを特徴とする請求項 1.9 記載のアクティブマトリックス型表示装置。

6.6. 前記走査線駆動回路の出力を 2 値とし、前記蓄積容量を 2 値で独立に駆動することにより容量結合駆動を行うことを特徴とする請求項 2.0 記載のアクティブマトリックス型表示装置。

6.7. 前記走査線駆動回路の出力を 2 値とし、前記蓄積容量を 2 値で独立に駆動することにより容量結合駆動を行うことを特徴とする請求項 2.1 記載のアクティブマトリックス型表示装置。

6.8. 前記走査線駆動回路の出力を 2 値とし、前記蓄積容量を 2 値で独立に駆動することにより容量結合駆動を行うことを特徴とする請求項 2.2 記載のアクティブマトリックス型表示装置。

6.9. マトリックス状に配置された複数の信号線と複数の走査線の各交点に対応して第 1 のスイッチング素子、前記第 1 のスイッチング素子に接続された第 2 のスイッチング素子、前記第 2 のスイッチ
ング素子に接続された画素電極および前記第2のスイッチング素子に前記画素電極と異なる側に接続された電源供給線が形成された第1の基板と、前記第1の基板と発光層を介して対時する対向電極が形成された第2の基板との間で、1フレームを書き込み期間と保持期間からなる複数のサブフレームで構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置において、

前記複数の走査線のうち予め定めた1つの走査線に関する各サブフレーム毎の保持期間に、前記予め定めた1つの走査線以外の残余の走査線を、同一走査線に関して同一のサブフレームを書き込まないように予め定めた順序に従ってランダム走査する走査線駆動回路と、

を有し。

1フレーム期間全体としてみると、各走査線それぞれにおいて、実質的に前記複数のサブフレーム毎の書き込みが行われ、各サブフレーム毎の保持期間が確保されて階調表示駆動が行われることを特徴とするアクティブマトリックス型表示装置。

70．マトリックス状に配置された複数の信号線と複数の走査線の各交点に対応して第1のスイッチング素子、前記第1のスイッチング素子に接続された第2のスイッチング素子、前記第2のスイッチング素子に接続された画素電極および前記第2のスイッチング素子に前記画素電極と異なる側に接続された電源供給線が形成された第1の基板と、前記第1の基板と発光層を介して対時する対向電極が
形成された第2の基板とを備え、フレームを書き込み期間と保持
期間からなる複数のサブフレームSF1, SF2, ..., SFn (n
は自然数) で構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリクス型表示装置において、

5 表示階調数よりも少ない複数の電圧レベルを予め準備しておく、
デジタル画像データに応じて、前記複数の電圧レベルのうちのいずれかの値を選択して前記信号線を介して出力する信号線駆動回路と、

前記サブフレーム期間の選択順序がSF1 → SF2 → ... → SFn → SF1 → SF2 → ... → SFnと循環するように前記走査
線を選択する走査線駆動回路と、

を有することを特徴とするアクティブマトリクス型表示装置。

7 1. マトリクス状に配置された複数の信号線と複数の走査線の
各交点に対応して第1のスイッチング素子、前記第1のスイッチ
ング素子に接続された第2のスイッチング素子、前記第2のスイッチ
ング素子に接続された画像電極および前記第2のスイッチング素子
に前記画像電極と異なる側に接続された電源供給線が形成された第
1の基板と、前記第1の基板と発光層を介して対峙する対向電極が
形成された第2の基板とを備え、1フレームを書き込み期間と保持
期間からなる複数のサブフレームSF1, SF2, ..., SFn (n
は自然数) で構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリクス型表示装置において、

表示階調数よりも少ない複数の電圧レベルを予め準備しておく、
デジタル画像データに応じて、前記複数の電圧レベルのうちのいず

25 れかの値を選択して前記信号線を介して出力する信号線駆動回路と、

前記サブフレーム期間の選択順序がSF1 → SF2 → ... → S
F_n → S F_1 → S F_2 → ... → S F_n と循環し、かつ1つの前記サプライフレーム期間について見れば順次走査となるように前記走査線を選択する走査線駆動回路を、
を有することを特徴とするアクティブマトリクス型表示装置。

7.2. マトリクス状に配置された複数の信号線と複数の走査線の各交点に対応して第1のスイッチング素子、前記第1のスイッチング素子に接続された第2のスイッチング素子、前記第2のスイッチング素子に接続された画素電極および前記第2のスイッチング素子
に前記画素電極と異なる側に接続された電源供給線が形成された第1の基板と、前記第1の基板と発光層を介して対称にする対向電極が形
成された第2の基板とを備え、1フレームを書き込み期間と保持期間からなる複数のサプライフレームで構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリクス型表示装置において、
表示階調数よりも少ない複数の電圧レベルを予め準備しておく、デジタル画像データに応じて、前記複数の電圧レベルのうちのいずれかの値を選択して前記信号線を介して出力する信号線駆動回路を、サプライフレーム数をN、水平走査期間をH、保持期間の重み付けを
1 : 2 : 4 : ... : 2 の (N - 1) 乗、走査線数をL、正の整数
をKとしたとき、前記フレーム期間を NH (1 + K (2 の N 乗 - 1))
= NH L となるように、前記走査線を選択する走査線駆動回路を、
を有することを特徴とするアクティブマトリクス型表示装置。

7.3. マトリクス状に配置された複数の信号線と複数の走査線の各交点に対応して第1のスイッチング素子、前記第1のスイッチング素子に接続された第2のスイッチング素子、前記第2のスイッチ
増素子に接続された画素電極および前記第2のスイッチング素子
に前記画素電極と異なる側に接続された電源供給線が形成された第
1の基板と、前記第1の基板と発光層を介して対峙する対向電極が
形成された第2の基板を備え、1フレームを書き込み期間と保持
期間からなる複数のサブフレームで構成し、前記保持期間の累積効
果で階調表示を行うアクティブマトリックス型表示装置において、
表示階調数よりも少ない複数の電圧レベルを予め準備しておき、
デジタル画像データに応じて、前記複数の電圧レベルのうちのいず
れかの値を選択して前記信号線を介して出力する信号線駆動回路と、
サブフレーム数をN、水平走査期間をH、i番目のサブフレーム
期間における保持期間の重み付けをK(i)（但し、i=1, 2, …, Nとする）、走査線数をLとしたとき、前記フレーム期間をNh(1
+ Σ K(i))=NHとし、前記走査線を選択する走査線
駆動回路と、
を有することを特微とするアクティブマトリックス型表示装置。

74. マトリックス状に配置された複数の信号線と複数の走査線の
各交点に対応して第1のスイッチング素子、前記第1のスイッチン
グ素子に接続された第2のスイッチング素子、前記第2のスイッチ
ング素子に接続された画素電極および前記第2のスイッチング素子
に前記画素電極と異なる側に接続された電源供給線が形成された第
1の基板と、前記第1の基板と発光層を介して対峙する対向電極が
形成された第2の基板を備え、1フレームを書き込み期間と保持
期間からなる複数のサブフレームで構成し、前記保持期間の累積効
数で階調表示を行うアクティブマトリックス型表示装置において、
表示階調数よりも少なく且つ3以上の複数の電圧レベルを予め準
備えておき、デジタル画像データに応じて、前記複数の電圧レベルのうちのいずれかの値を選択し、しかも1つの階調に対して前記1フレーム期間にとり得る前記電圧レベルの自由度を2とするような選択を行い、この選択された電圧値を前記信号線を介して出力する信号線駆動回路と、
前記走査線を順次走査又はランダム走査する走査線駆動回路と、
を有することを特徴とするアクティブマトリックス型表示装置。

75．前記複数の電圧レベルを2値とすることを特徴とする請求項69記載のアクティブマトリックス型表示装置。

76．前記複数の電圧レベルを2値とすることを特徴とする請求項70記載のアクティブマトリックス型表示装置。

77．前記複数の電圧レベルを2値とすることを特徴とする請求項71記載のアクティブマトリックス型表示装置。

78．前記複数の電圧レベルを2値とすることを特徴とする請求項72記載のアクティブマトリックス型表示装置。

79．前記複数の電圧レベルを2値とすることを特徴とする請求項73記載のアクティブマトリックス型表示装置。

80．前記複数の電圧レベルを3以上の複数値とすることを特徴とする請求項69記載のアクティブマトリックス型表示装置。
81. 前記複数の電圧レベルを3以上の複数値とすることを特徴とする請求項70記載のアクティブマトリクス型表示装置。

82. 前記複数の電圧レベルを3以上の複数値とすることを特徴とする請求項71記載のアクティブマトリクス型表示装置。

83. 前記複数の電圧レベルを3以上の複数値とすることを特徴とする請求項72記載のアクティブマトリクス型表示装置。

84. 前記複数の電圧レベルを3以上の複数値とすることを特徴とする請求項73記載のアクティブマトリクス型表示装置。

85. 前記信号線駆動回路が複数の前記電圧レベルから1値を選択して出力するアナログマルチプレクサを含むことを特徴とする請求項69記載のアクティブマトリクス型表示装置。

86. 前記信号線駆動回路が複数の前記電圧レベルから1値を選択して出力するアナログマルチプレクサを含むことを特徴とする請求項70記載のアクティブマトリクス型表示装置。

87. 前記信号線駆動回路が複数の前記電圧レベルから1値を選択して出力するアナログマルチプレクサを含むことを特徴とする請求項71記載のアクティブマトリクス型表示装置。

88. 前記信号線駆動回路が複数の前記電圧レベルから1値を選択して出力するアナログマルチプレクサを含むことを特徴とする請求項72記載のアクティブマトリクス型表示装置。
求項 7.2 記載のアクティブマトリクス型表示装置。

8.9. 前記信号線駆動回路が複数の前記電圧レベルから1值を選択して出力するアナログマルチプレクサを含むことを特徴とする請求項 7.3 記載のアクティブマトリクス型表示装置。

9.0. 前記信号線駆動回路が複数の前記電圧レベルから1値を選択して出力するアナログマルチプレクサを含むことを特徴とする請求項 7.4 記載のアクティブマトリクス型表示装置。

9.1. 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項 6.9 記載のアクティブマトリクス型表示装置。

9.2. 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項 7.0 記載のアクティブマトリクス型表示装置。

9.3. 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項 7.1 記載のアクティブマトリクス型表示装置。

9.4. 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項 7.2 記載のアクティブマトリクス型表示装置。
95. 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項73記載のアクティブマトリクス型表示装置。

96. 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項74記載のアクティブマトリクス型表示装置。

97. 前記第1及び第2のスイッチング素子が3端子の薄膜トランジスタで構成されることを特徴とする請求項69記載のアクティブマトリクス型表示装置。

98. 前記第1及び第2のスイッチング素子が3端子の薄膜トランジスタで構成されることを特徴とする請求項70記載のアクティブマトリクス型表示装置。

99. 前記第1及び第2のスイッチング素子が3端子の薄膜トランジスタで構成されることを特徴とする請求項71記載のアクティブマトリクス型表示装置。

100. 前記第1及び第2のスイッチング素子が3端子の薄膜トランジスタで構成されることを特徴とする請求項72記載のアクティブマトリクス型表示装置。

101. 前記第1及び第2のスイッチング素子が3端子の薄膜トランジスタで構成されることを特徴とする請求項73記載のアクティブマトリクス型表示装置。
イプマトリクス型表示装置。

102. 前記第1及び第2のスイッチング素子が3端子の薄膜トランススタで構成されることを特徴とする請求項74記載のアクテ

5 イプマトリクス型表示装置。
図2
図8

① SF1
② SF2
④ SF3

階調0 V1
階調1 V2
階調2 V1
階調3
階調4
⋮
階調7 V2
階調8 V3
階調9
階調10
⋮
階調14 V3
図11

HD

デジタル映像信号

FF1

FF2

FF3

ラッチパルス

アナログ信号

{\begin{align*}
S1 \\
S2 \\
S3
\end{align*}}

V_{com}
図12

<table>
<thead>
<tr>
<th>1</th>
<th>2</th>
<th>3</th>
<th>4</th>
<th>5</th>
<th>6</th>
<th>7</th>
<th>8</th>
<th>9</th>
<th>10</th>
<th>11</th>
<th>12</th>
<th>13</th>
<th>14</th>
<th>15</th>
<th>16</th>
</tr>
</thead>
<tbody>
<tr>
<td>0</td>
<td>1</td>
<td>2</td>
<td>3</td>
<td>4</td>
<td>5</td>
<td>6</td>
<td>7</td>
<td>8</td>
<td>9</td>
<td>10</td>
<td>11</td>
<td>12</td>
<td>13</td>
<td>14</td>
<td>15</td>
</tr>
</tbody>
</table>

時間

12/18
図13
図16

| 時間 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 | 21 | 22 | 23 | 24 | 25 | 26 | 27 | 28 | 29 | 30 | 31 | 32 | 33 | 34 | 35 | 36 |
|------|---|---|---|---|---|---|---|---|---|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 距離 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 | 21 | 22 | 23 | 24 | 25 | 26 | 27 | 28 | 29 | 30 | 31 | 32 | 33 | 34 | 35 | 36 |

単位：H1（水平走査期間）

16/18
図17
INTERNATIONAL SEARCH REPORT

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. G09G3/20, G09G3/30, G09G3/36, G02F1/133

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. G09G3/20, G09G3/30, G09G3/36, G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

<table>
<thead>
<tr>
<th>Category</th>
<th>Citation of document, with indication, where appropriate, of the relevant passages</th>
<th>Relevant to claim No.</th>
</tr>
</thead>
<tbody>
<tr>
<td>Y A</td>
<td>JP, 07-168159, A (Canon Inc.), 04 July, 1995 (04.07.95), Full text; Fig. 7 (Family: none)</td>
<td>1 2-102</td>
</tr>
<tr>
<td>Y A</td>
<td>JP, 11-38928, A (Sharp Corporation), 12 February, 1999 (12.02.99), Full text; Fig. 18 &amp; GB, 2327798, A</td>
<td>1 2-102</td>
</tr>
<tr>
<td>Y A</td>
<td>JP, 11-327491, A (Matsushita Electric Ind. Co., Ltd.), 26 November, 1999 (26.11.99), Full text; Fig. 18 (Family: none)</td>
<td>1 2-102</td>
</tr>
<tr>
<td>A</td>
<td>JP, 11-295131, A (Fuji Electric Co., Ltd.), 29 October, 1999 (29.10.99), Full text; Figs. 1 to 14 &amp; GB, 2336459, A</td>
<td>1-102</td>
</tr>
<tr>
<td>A</td>
<td>JP, 9-83911, A (Hitachi, Ltd.), 28 March, 1997 (28.03.97), Full text; Fig. 2 &amp; US, 6100939, A &amp; CA, 2185592, A</td>
<td>1-102</td>
</tr>
</tbody>
</table>

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:
  "A" document defining the general state of the art which is not considered to be of particular relevance
  "E" earlier document but published on or after the international filing date
  "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reasons (as specified)
  "O" document referring to an oral disclosure, use, exhibition or other means
  "P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is taken alone
"&" document member of the same patent family

Date of the actual completion of the international search 20 April, 2001 (20.04.01)
Date of mailing of the international search report 01 May, 2001 (01.05.01)

Name and mailing address of the ISA/ Japanese Patent Office Authorized officer
Facsimile No. Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)
<table>
<thead>
<tr>
<th>Category*</th>
<th>Citation of document, with indication, where appropriate, of the relevant passages</th>
<th>Relevant to claim No.</th>
</tr>
</thead>
<tbody>
<tr>
<td></td>
<td>&amp; KR, 97019539, A</td>
<td></td>
</tr>
</tbody>
</table>
A. 発明の属する分野の分類（国際特許分類（IPC））

Int. Cl′ G 09 G 3/20, G 09 G 3/30, G 09 G 3/36, G 02 F 1/133

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. Cl′ G 09 G 3/20, G 09 G 3/30, G 09 G 3/36, G 02 F 1/133

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1940－1996年
日本国公開実用新案公報 1971－2001年
日本国登録実用新案公報 1994－2001年
日本国実用新案登録公報 1996－2001年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

<table>
<thead>
<tr>
<th>引用文献のカテゴリ*</th>
<th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th>
<th>関連する 請求の範囲の番号</th>
</tr>
</thead>
<tbody>
<tr>
<td>Y</td>
<td>JP, 07－168159, A（キャノン株式会社）</td>
<td>1</td>
</tr>
<tr>
<td>A</td>
<td>4. 7月. 1995 (04. 07. 95)全文, 第7図 (ファミリーなし)</td>
<td></td>
</tr>
<tr>
<td>Y</td>
<td>JP, 11－38928, A（シャープ株式会社）</td>
<td></td>
</tr>
<tr>
<td>A</td>
<td>12. 2月. 1999 (12. 02. 99)全文, 第18図 &amp; GB, 2327798, A</td>
<td></td>
</tr>
</tbody>
</table>

※ 引用文献のカテゴリ
「Ａ」特に関連のある文献ではなく、一般的な技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による聞き、使用、展示等に言及する文献
「P」国際出願日前でかつ優先権の主張の基礎となる出願

国際調査を完了した日 20. 04. 01
国際調査報告の発送日 01.05.01

国際調査機関の名称及び住所
日本国特許庁（ISA／JP）
郵便番号100－8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）
村 田 尚 茂

電話番号 03－3581－1101 内線 6231

様式 PCT／ISA／210（第2ページ）（1998年7月）
<table>
<thead>
<tr>
<th>引用文献のカテゴリ*</th>
<th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th>
<th>関連する 請求の範囲の番号</th>
</tr>
</thead>
<tbody>
<tr>
<td>Y</td>
<td>JP, 11-327491, A（松下電器産業株式会社）</td>
<td>1</td>
</tr>
<tr>
<td>A</td>
<td>26.11月, 1999（26.11.99）全文，第18図（ファミリーなし）</td>
<td>2-102</td>
</tr>
<tr>
<td>A</td>
<td>JP, 11-296131, A（富士電機株式会社）</td>
<td>1-102</td>
</tr>
<tr>
<td></td>
<td>29.10月, 1999（29.10.99）全文，第1-14図 &amp; GB, 2336459，A</td>
<td></td>
</tr>
<tr>
<td>A</td>
<td>JP, 9-839111, A（株式会社日立製作所）</td>
<td>1-102</td>
</tr>
</tbody>
</table>