

PCT

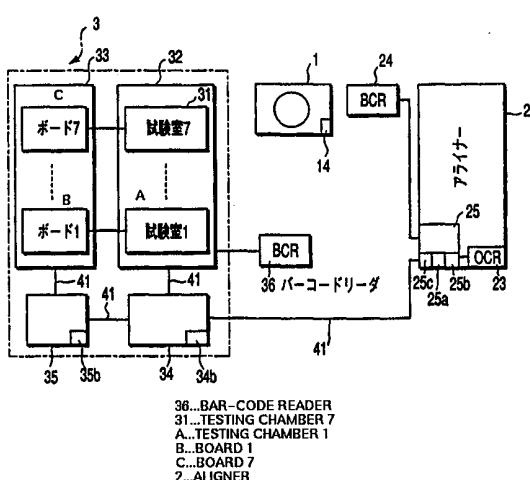
世界知的所有権機関  
国際事務局  
特許協力条約に基づいて公開された国際出願



|  |                      |                               |                                     |
|--|----------------------|-------------------------------|-------------------------------------|
| (51) 国際特許分類6<br>H01L 21/66   | A1                   | (11) 国際公開番号<br><br>(43) 国際公開日 | WO99/60624<br>1999年11月25日(25.11.99) |
| (21) 国際出願番号  | PCT/JP99/02616       | (81) 指定国                      | KR, US, 欧州特許 (DE, FR, GB, IT, NL)   |
| (22) 国際出願日   | 1999年5月19日(19.05.99) | 添付公開書類                        | 国際調査報告書                             |
| (30) 優先権データ<br>特願平10/156690  | 1998年5月20日(20.05.98) | JP                            |                                     |
| (71) 出願人 (米国を除くすべての指定国について)<br>東京エレクトロン株式会社<br>(TOKYO ELECTRON LIMITED)[JP/JP]<br>〒107-8481 東京都港区赤坂五丁目3番6号 Tokyo, (JP) |                      |                               |                                     |
| (72) 発明者 ; および<br>(75) 発明者／出願人 (米国についてのみ)<br>飯田 到(HIDA, Itaru)[JP/JP]<br>〒406-0821 山梨県東八代郡八代町北1588 Yamanashi, (JP)     |                      |                               |                                     |
| (74) 代理人<br>鈴江武彦, 外(SUZUYE, Takehiko et al.)<br>〒100-0013 東京都千代田区霞が関3丁目7番2号<br>鈴榮内外國特許法律事務所内 Tokyo, (JP)               |                      |                               |                                     |

(54)Title: SYSTEM FOR TESTING SEMICONDUCTOR DEVICE FORMED ON SEMICONDUCTOR WAFER

(54)発明の名称 半導体ウエハ上に形成された半導体素子の試験システム



(57) Abstract

A testing system suitable for, especially, a reliability test. An aligner (2) has a reader (23) for reading a wafer identification code given to a wafer (W) and a reader (24) for reading a shell identification code (14) given to a testing shell (1). A testing apparatus has a reader (36) for reading the shell identification code (14). A transfer system (41) is provided to transfer information read by the readers (24, 36) between the aligner (2) and the testing apparatus (3). The information is stored in storage devices (25b, 34b, 35b). By the system, an IC chip formed on a semiconductor wafer is correctly and efficiently tested, and the shell used in this test can be correctly and reliably disassembled.

## (57)要約

本発明の試験システムは、特に信頼性試験に適している。

ウェハ(W)に付されたウェハ識別符号を読み取るリーダ(23)と、試験用シェル(1)に付されたシェル識別符号(14)を読み取るリーダー(24)とがアライナー(2)に設けられる。シェル識別符号(14)を読み取るリーダー(36)が試験装置に設けられる。アライナー(2)と試験装置(3)の間で各リーダー(24、36)により読み取られた情報が伝達される伝達システム(41)が設けられる。記憶装置(25b, 34b, 35b)はこれらの情報を記憶する。

これら各装置により、半導体ウェハに形成されたICチップの試験が正確かつ効率的に実施されるとともに、この試験に使用されたシェルは正確かつ確実に分解することができます。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

|                 |            |                   |               |
|-----------------|------------|-------------------|---------------|
| AE アラブ首長国連邦     | DM ドミニカ    | KZ カザフスタン         | RU ロシア        |
| AL アルバニア        | EE エストニア   | LC セントルシア         | SD スーダン       |
| AM アルメニア        | ES スペイン    | LI リヒテンシュタイン      | SE スウェーデン     |
| AT オーストリア       | FI フィンランド  | LK スリ・ランカ         | SG シンガポール     |
| AU オーストラリア      | FR フランス    | LR リベリア           | SI スロヴェニア     |
| AZ アゼルバイジャン     | GA ガボン     | LS レソト            | SK スロヴァキア     |
| BA ボスニア・ヘルツェゴビナ | GB 英国      | LT リトアニア          | SL シエラ・レオネ    |
| BB バルバドス        | GD グレナダ    | LU ルクセンブルグ        | SN セネガル       |
| BE ベルギー         | GE グルジア    | LV ラトヴィア          | SZ スウェーデン     |
| BF ブルガリア・ファソ    | GH ガーナ     | MA モロッコ           | TD チャード       |
| BG ブルガリア        | GM ガンビア    | MC モナコ            | TG トーゴ        |
| BJ ベナン          | GN ギニア     | MD モルドヴァ          | TJ タジキスタン     |
| BR ブラジル         | GW ギニア・ビサオ | MG マダガスカル         | TZ タンザニア      |
| BY ベラルーシ        | GR ギリシャ    | MK マケドニア旧ユーゴスラヴィア | TM トルクメニスタン   |
| CA カナダ          | HR クロアチア   | 共和国               | TR トルコ        |
| CF 中央アフリカ       | HU ハンガリー   | ML マリ             | TT トリニダッド・トバゴ |
| CG コンゴー         | ID インドネシア  | MN モンゴル           | UA ウクライナ      |
| CH スイス          | IE アイルランド  | MR モーリタニア         | UG ウガンダ       |
| CI コートジボアール     | IL イスラエル   | MW マラウイ           | US 米国         |
| CM カメルーン        | IN インド     | MX メキシコ           | UZ ウズベキスタン    |
| CN 中国           | IS アイスランド  | NE ニジェール          | VN ヴィエトナム     |
| CR コスタ・リカ       | IT イタリア    | NL オランダ           | YU ユーゴースラビア   |
| CU キューバ         | JP 日本      | NO ノルウェー          | ZA 南アフリカ共和国   |
| CY キプロス         | KE ケニア     | NZ ニュー・ジーランド      | ZW ジンバブエ      |
| CZ チェコ          | KG キルギスタン  | PL ポーランド          |               |
| DE ドイツ          | KP 北朝鮮     | PT ポルトガル          |               |
| DK デンマーク        | KR 韓国      | RO ルーマニア          |               |

## 明細書

## 半導体ウエハ上に形成された半導体素子の試験システム

## 技術分野

本発明は、半導体ウエハ（以下、「ウエハ」という）上に形成された複数の半導体素子（以下、「ICチップ」という）の試験システムに関する。更に詳しくは、ウエハと、コンタクタとを一括接触させて一体化物（以下、「試験用シェル」という）を形成し、この試験用シェルを使用してICチップの電気的特性を試験し、該試験が終了した後、試験用シェルをウエハ及びコンタクタに円滑に分解することができる試験システムに関する。特に本願発明は、信頼性試験システムに適用されることができる。

ここで、コンタクタは、ウエハ上の複数のICチップの複数の電極に一括して電気的に接触する接触端子と、該接触端子に接続された外部端子とを備えた電気的接触手段である。コンタクタ、ウエハ及びウエハ保持体（以下、「ウエハチャック」という）とを真空吸着力により一体化して試験用シェルを形成する技術をアライナーという。

## 背景技術

半導体検査工程においては、ウエハの表面に形成された多数のICチップの電気的特性を検査する。この検査結果に基づいて電気的特性に欠陥のないICチップがスクリーニングされる。スクリーニングされた良品ICチップは組立工程で合成樹脂またはセラミックによってパッケージされる。信頼性試験では、またパッケージされた製品に温度的、電気的ス

トレスを加える試験も行われる。この試験では、1 Cチップの潜在的欠陥等が検出され、該欠陥を有する不良品は除去される。

電気製品の小型化、高機能化に伴って、1 Cチップは小型化、高集積化されている。最近では、半導体製品を更に小型化するための種々の実装技術が開発されている。例えば、1 Cチップをパッケージ化せず、いわゆるベア1 Cチップのまま実装する技術が開発されている。ベア1 Cチップを市場に出すためには、品質保証された1 Cチップが求められる。品質保証された1 Cチップを市場に出すためには、各ベア1 Cチップの信頼性を試験しなくてはならない。従来の信頼性試験装置を用いてベア1 Cチップを検査するには、ベア1 Cチップとソケットとの電気的接続等の種々の難しい点を解決しなくてならない。小さなベア1 Cチップの取り扱いは極めて煩雑であり、検査コストが上昇する虞がある。

そこで、ウエハ上に形成された多数の1 Cチップの信頼性試験を複数枚のウエハに対して同時に低コストで行える技術が、例えば特開平7-231019号公報、特開平8-5666号公報及び特開平8-340030号公報において提案されている。

しかしながら、従来は、ウエハとコンタクタとが一括接触させられる時には、コンタクタ及びウエハは互いに対向させて配置され、コンタクタの基準となる複数の接触端子とこれらに対応するウエハ上の基準となる電極パッドとを目視により位置合わせ（以下、「アライメント」という）をする。オ

ペレータはこの位置合わせ作業に長時間を費やすため、作業効率が悪い点、オペレータに多大な負荷がかかる点、アライメント精度に個人差があって安定した接触状態を得ることが難しい点に、アライメント作業の課題があった。

本出願人は改善された信頼性 試験システムを構築するために、特願平10-54423号において、位置決めピンにより載置台（以下、「メインチャック」という）上で位置決めかつ保持されたウエハ保持体（以下、「ウエハチャック」という）と、ウエハチャック上に搬送機構（以下、「ピンセット」という）により載置されたウエハと、装置本体のヘッドプレートに着脱自在に装着されたコンタクタの三者を真空吸着力により一体化させることにより、シェルを形成する機構のための位置合わせ装置（アライナー）を提案した。このアライナーは、メインチャックをX、Y、Z及びθ方向に移動させることによりウエハとコンタクタをアライメントし、メインチャックを上昇させ、上記3者を一括接触させ、メインチャックの真空継手とウエハチャックの弁機構とを接続し、ウエハチャックの真空吸着力によりウエハチャックにウエハとコンタクタとを真空吸着させる装置である。また、特願平9-318920号明細書において、信頼性試験時にシェルとして一体化されたウエハを一定の試験温度に管理するウエハ温度制御装置及びウエハ収納室（以下、「試験室」と言う）を提案した。しかし、試験室での信頼性試験が行われた後、アライナーにおいてシェルはウエハチャック、ウエハ及びコンタクタの3者に分解される。この分解時には、

シェルが載置されたメインチャックはシェルが形成された時と同一の位置（X、Y、θに関して同一の位置）に位置合わせすることが必要である。この位置とは異なる位置で、メインチャック上にシェルを載置するために、メインチャックを上昇させた場合には、ヘッドプレートに装着されたシェルのウエハチャックの位置決めピン用の孔とメインチャックの位置決めピンの位置が合わないからである。この結果、シェルは位置あわせされた状態でメインチャック上に載置されることができない。メインチャックの真空継手とウエハチャックの弁機構とが接続されることができず、ウエハチャックの弁機構は開かれず、シェルの真空を解除することができず、シェルは上記三者に分解されることができない。

#### 発明の開示

本発明は、上記課題を解決するためになされた。本発明は、試験後にシェルをウエハチャック、ウエハ及びコンタクタに分解する時に、これら三者が一体化された時の位置へメインチャック（載置台）を自動的に移動させ、シェルを位置あわせした状態でメインチャック上に載置し、シェルを上記3者に解体する試験システムを提供することを目的とする。

本願発明の第一の観点に従って、半導体ウエハを保持するウエハ保持体、複数の半導体素子がその表面に形成された半導体ウエハ、及び該半導体素子の複数の電極に電気的に接触する複数の接触端子を備えたコンタクタ、の3者を一括接触させ、これらを一体化して試験用シェルを形成するアライナー：

該アライナーは、  
    真空吸着力により該試験用シェルを形成する  
    シェル形成機構；  
    該試験用シェルに付された該シェル識別符号を  
    読み取る第1読取装置；  
    読み取られた該シェル識別符号を格納するため  
    の第1記憶装置；  
    試験用シェルを形成するために該シェル形成機  
    構を制御する第1制御装置，  
    とを備え；  
該試験用シェル中の該半導体素子の試験を行う試験装置：  
    該試験装置は，  
    該試験用シェルに付設された該シェル識別符号  
    を読み取る第2読取装置；  
    該試験の結果を該シェル識別符号と関連付けて  
    格納する第2記憶装置，とを具備し；  
該アライナーと該試験装置の間で，該第1及び第2記憶裝  
置に格納された情報を互いに伝達する伝達システムと，  
    を備えた、半導体ウエハ上に形成された半導体素子の試験  
    システムが提供される。

本発明の第二の観点に従って、半導体ウエハを保持するウ  
エハ保持体，複数の半導体素子がその表面に形成された半導  
体ウエハ，及び該半導体素子の複数の電極に電気的に接触す  
る複数の接触端子を備えたコンタクタ、の3者を一括接触さ  
せ，これらを一体化して試験用シェルを形成するアライ

ナー：

該アライナーは，

真空吸着力により該試験用シェルを形成し、及び前記真空吸着力を解除することにより該試験用シェルを解体する、シェル形成及び解体機構；

該試験用シェルに付された該シェル識別符号を読み取る第1読取装置；

該シェル形成及び解体機構において試験用シェルが形成された時の形成条件、及び該読取装置により読み取られた該シェル識別符号とを格納するための第1記憶装置；

試験用シェルを形成するために、及び該試験用シェルを解体するために、該シェル形成及び解体機構を制御する第1制御装置，

とを備え；

該試験用シェル中の該半導体素子の試験を行う試験装置：

該試験装置は，

該試験用シェルに付設された該シェル識別符号を読み取る第2読取装置；

該試験の結果を該シェル識別符号と関連付けて格納する第2記憶装置、とを具備し；

該アライナーと該試験装置の間で、該第1及び第2記憶装置に格納された情報を互いに伝達する伝達システムと、を備えた、半導体ウエハ上に形成された半導体素子の試験システム、が提供される。

本発明の第三の観点に従って、半導体ウエハを保持するウエハ保持体、複数の半導体素子がその表面に形成された半導体ウエハ、及び該半導体素子の複数の電極に電気的に接触する複数の接触端子を備えたコンタクタ、の3者を一括接触させ、これらを一体化して試験用シェルを形成するアライナー：

該アライナーは、

アライナーの装置本体の所定位置に該コンタクタを設置する取付機構；

該半導体ウエハを保持した該ウエハ保持体を載置するための載置台；

該コンタクタの該複数の接触端子に対して、該半導体素子の該電極を位置合わせるために、該載置台をX、Y及びθ方向に移動させ、さらに該3者を一括接触させるために該載置台をZ方向に移動させる載置台移動機構；

該試験用シェルに付設された該シェル識別符号を読み取る第1読取装置；

該位置合わせのためにX、Y及びθ方向に移動させられた載置台の位置座標を、該シェル識別符号と関連付けて格納する第1記憶装置；

真空吸着力により該試験用シェルを形成し、及び該真空吸着力を解除することにより該試験用シェルを解体する、シェル形成及び解体機構；

該試験用シェルが形成された際の載置台の位置座

標に基づいて、該試験用シェルを解体位置に設置し、

該試験用シェルを解体するための制御を行う第1制

御装置、

とを具備し；

該試験用シェル中の該半導体素子の試験を行う試験装置：

該試験装置は、

該試験用のシェルに付設された該シェル識別符

号を読み取る第2讀取装置；

該試験の結果を該シェル識別符号と関連付けて

格納する第2記憶装置、とを具備し；

該アライナーと該試験装置の間で、第1及び第2記憶装置

に格納された情報を互いに伝達する伝達システムと、

を備えた、半導体ウエハ上に形成された半導体素子の試験  
システム、が提供される。

本発明の第四の観点に従って、

(a) アライナーにおいて、半導体ウエハを保持するウエ  
ハ保持体、複数の半導体素子がその表面に形成された半導体  
ウエハ、及び該半導体素子の複数の電極に電気的に接触する  
複数の接触端子を備えたコンタクタ、の3者を一括接触させ、  
これらを一体化して試験用シェルを形成し；

(b) 該試験用シェルに付されたシェル識別符号を読み取  
り、第一記憶装置に格納し；

(c) 試験装置において、該試験用シェル中の半導体ウエ  
ハ上に形成された複数の半導体素子の電気的特性を試験し；

(d) 該アライナーと該試験装置の間で、該試験用シェル

に付されたシェル識別符号と該試験結果の情報を伝達する、工程とを具備した、半導体ウエハ上に形成された複数の半導体素子の電気的特性を試験する方法、が提供される。

本発明の第五の観点に従って、

(a) アライナーにおいて、半導体ウエハを保持するウエハ保持体、複数の半導体素子がその表面に形成された半導体ウエハ、及び該半導体素子の複数の電極に電気的に接触する複数の接触端子を備えたコンタクタ、の3者を一括接触させ、これらを一体化して試験用シェルを形成し；

(b) 該試験用シェルに付されたシェル識別符号を読み取り、

(c) 該試験用シェルが形成された際の形成条件を、該シェル識別符号とともに第一記憶装置に格納し；

(d) 試験装置において、該試験用シェル中の半導体ウエハ上に形成された複数の半導体素子の電気的特性を試験し；

(e) 該アライナーと該試験装置の間で、該試験用シェルに付されたシェル識別符号、該形成条件及び該試験結果の情報を伝達し；

(f) 該アライナーにおいて、該試験装置から伝達された情報に基づいて、該試験用シェルを解体する、

工程とを具備した、半導体ウエハ上に形成された複数の半導体素子の電気的特性を試験する方法、が提供される。

上記第一、第二及び第三の観点に従った試験システムは、さらに、該半導体ウエハに付されたウエハ識別符号を読み取る第3読取装置を備え、該第2記憶装置は、さらに該ウエハ

識別符号も格納する、ことが好ましい。

同じく、この試験システムは、該伝達システムは電気的通信装置である、ことが好ましい。

同じく、この試験システムにおいて、該伝達システムは該試験用シェルに設けられたメモリである、ことが好ましい。

同じく、この試験システムにおいて、該試験装置は信頼性試験装置である、ことが好ましい。

同じく、この試験システムによおいて、該シェル識別符号は、試験用シェルを構成するコンタクタ及びウェハ保持体の少なくとも一つに付される、ことが好ましい。

同じく、この試験装置において、該第1記憶装置に格納される、試験用シェルが形成された時の形成条件には、該試験用シェルが形成された時のウェハ保持体及びコンタクタの位置座標が含まれる、ことが好ましい。

#### 図面の簡単な説明

添付された図面は、明細書の一部と連携しつつその一部を構成し、本発明の好適な実施例を図示する。そして、該図面は、上記した一般的な記述と、以下に記す好適な実施の態様に関する詳細な説明により、本発明の説明に資するものである。

図1A、図1Bは、本発明の試験システムの一実施形態を示す構成図である。

図2は、図1Aに示された試験システムのアライナーを示す斜視図である。

図3は、図2に示されたアライナーのシェル形成機構或い

はシェル形成／解体機構において、ウエハチャック、ウエハ及びコンタクタが一括接触された状態を示す側面図である。

図4は、図2に示されたアライナーのシェル形成機構或いはシェルシェル形成／解体機構において一体化されるウエハチャックを示す平面図である。

図5は、図1Aに示された試験システムの試験室を部分的に破断して示す斜視図である。

図6は、図5に示された試験室の内部を示す斜視図である。

図7は、図1Aに示された試験システムの動作を説明するためのフローチャートである。

図8は、本発明の他に実施形態の試験システムを示す図である。

図9は図8に示された試験システムの動作を説明するためのフローチャートである。

#### 発明を実施するための最良の形態

以下、図1A～図1Oに示された実施の形態に基づいて本発明が説明される。本発明は、ウエハ上に形成されたICチップを一括して試験するシステムに関し、この試験は信頼性試験に限定されるものではない。しかし、ここでは、本発明をより具体的に説明する観点から、本発明が信頼性試験システムに適用された実施の形態を使用して、本発明が説明される。

この実施の形態に示された信頼性試験システムは、図1Aに示されるように、ウエハチャック、ウエハ及びコンタクタの3者をシェル1として一体化するアライナー2、この一体

化されたシェル1の中のウェハの信頼性を試験する信頼性試験装置3、信頼性試験装置3とアライナー2間で種々のデータを伝達する伝達システム41とを備える。この実施の形態においては、伝達手段システム41として、通信手段が使用される。この信頼性試験システムは、ウェハに付されたウェハ識別符号（例、文字情報）と、コンタクタに付されたシェル識別符号（例、バーコード）に基づいてウェハ、コンタクタ及びウェハの試験結果を管理する。伝達システム41として電気的通信装置が採用される場合、該電気的通信装置は例えばRS232C等のインターフェースや、イーサネット等のLANを用いて構築ができる。

上記アライナー2は、例えば図2に示されるように、ウェハWをカセット単位で収納し且つウェハWをロード、アンロードするローダ室21、このローダ室21に隔壁を介して隣接したアライメント室22、ウェハWに付されたウェハ識別符号13を読み取る讀取装置（例、オプチカル讀取装置OCR）（以下、「第3讀取装置」という）、シェル1に付されたシェル識別符号を読み取る讀取装置（例、バーコード讀取装置）（以下、「第1讀取装置」という）、とを備える。アライメント室22は、ウェハチャック11を移動させることによりウェハチャック11上に載置されたウェハWと、ヘッドプレート22Aに保持されたコンタクタ12とを位置合わせし、その後両者を真空吸着力により一括接触させ、ウェハチャック11、ウェハW及びコンタクタ12の3者を一体化して試験用シェル1を形成するための機構を備える。

シェル識別符号 1 4 はシェル 1 を構成するウエハチャック 1 1 及びコンタクタ 1 2 の少なくともいずれか一つに付されることができる。

これらの各装置は制御装置 2 5 の制御の下で駆動される。図示されていないが、ローダ室 2 1 には搬送機構（以下、「ピンセット」という）及び予備位置合わせ機構（以下、「サブチャック」という）がそれぞれ設けられる。該ピンセットによりカセット内からウエハWは一枚ずつ搬送される。この搬送過程で第 3 読取装置 2 3 によりウエハWに付されたウエハ識別符号 1 3 が読み取られる。ウエハWのウエハ 1 D 及び／又はロット 1 D が認識された後、サブチャック上でオリフラを基準にしてウエハWは予備的に位置合わせ（以下、「プリアライメント」という）される。その後、ピンセットによりウエハWはアライメント室 2 2 へ搬送される。コンタクタ又はウエハチャックに付されたシェル識別符号 1 4 は、これらがシェル 1 として一体化される前に第 1 読取装置 2 4 によって読み取ることができる。

図 2 に示されるように、上記アライメント室 2 2 にはヘッドプレート 2 2 A が開閉可能に取り付けられる。このヘッドプレート 2 2 A にはコンタクタ 1 2 が装着される。開閉駆動機構 2 2 B によりヘッドプレートを移動させることにより、アライメント室 2 2 の上面開口部は開閉される。アライメント室 2 2 内で、ヘッドプレート 2 2 A の下方には X、Y、Z 及び θ 方向に移動可能なメインチャック 2 6 が設けられる。メインチャック 2 6 上にウエハチャック 1 1 が載置される。

このメインチャック 2 6 は図 3 に示されるように回転昇降機構 2 6 A により X ステージ 2 6 B 上で Z 方向に昇降可能に、かつ θ 方向に正逆回転可能に配置されている。X ステージ 2 6 B は Y ステージ 2 6 C 上で X 方向に往復移動可能に支持される。Y ステージ 2 6 C は基台（図示せず）上で Y 方向に往復移動可能に支持される。これら回転昇降機構 2 6 A、X ステージ 2 6 B、Y ステージ 2 6 C は載置台の移動機構を構成する。ウェハ W はローダ室 2 1 内のピンセットによりプリアライメントされた後、アライメント室 2 2 内のメインチャック 2 6 上に置かれたウェハチャック 1 1 上に載置される。

アライメント室 2 2 内には、図示されていない、アライメント機構が設けられる。このアライメント機構はアライメントブリッジに固定された上カメラと、メインチャック 2 6 に固定された下カメラとを備える。移動するメインチャック 2 6 上に載置されたウェハ W の検査用電極パッドが上カメラにより撮像され、その位置が測定される。メインチャック 2 6 に設けられた下カメラにより、ヘッドプレート 2 2 A に固定されたコンタクタ 1 2 の接触端子（例えば、バンプ端子）1 2 A が撮像され、その位置が測定される。これらの画像データに基づいてウェハ W とコンタクタ 1 2 はアライメントされる。このアライメント機構としては、例えば特願平 1 0 - 5 4 4 2 3 号により提案された技術が用いられることができる。

上記アライメント室 2 2 内でウェハ W がアライメントされた後、メインチャック 2 6 は回転昇降機構 2 6 A により Z 方向に上昇させられる。図 3 及び図 4 には、アライナーにおける

る試験用シェルを形成するシェル形成機構及びシェル形成／解体機構の実施態様が示されている。図3に示されるように、ウエハWの検査用電極パッドはコンタクタ12のバンプ端子12Aに一括接触させられる。後述されるように、ウエハチャック11上面にコンタクタ12は真空吸着され、ウエハチャック11、ウエハW及びコンタクタ12は真空吸着力により一体化され試験用シェルが形成される。

第1制御装置25は、中央処理装置25a、第一記憶装置25b及び入出力装置25cとを備える。中央処理装置はウエハWのウエハ識別符号13(例、文字情報)を読み取った値(OCR値)とコンタクタ12のシェル識別符号(例、BCR値)とを互いに関連付けたデータベースを作成し、このデータベースを第一の記憶装置25bに格納する。

第一の記憶装置25bは、ウエハチャック11、ウエハW及びコンタクタ12の3者が一体化されて試験用シェル1が形成された時のメインチャック26の位置座標データ(X、Y、θ及び／又はZ)を、試験用シェル形成条件として記憶する。この位置座標データは、後述されるように、シェル1が上記3者に分解される時に利用される。

図4に示されるように、ウエハチャック11の上面にはリング状の溝11A、11Bが同心円状に形成される。これらのリング状溝11A、11Bは複数箇所で内部流路に連通されている。ウエハチャック11の上面の外周近傍にはシールリング11Cが取り付けられる。このシールリング11Cはシリコンゴム等の柔軟性に富んだ弾性部材からなる。この

シールリング 1 1 C は試験用シェルにおける真空漏れを防止する。上記ウエハチャック 1 1 の周面には第 1 、第 2 弁機構 1 1 D 、 1 1 E が設けられる。これらの弁機構 1 1 D 、 1 1 E は内部流路の給排気を行う。

図 3 、図 4 に示されるように、メインチャック 2 6 の周面には弁操作機構 2 7 が取り付けられる。この弁操作機構 2 7 は第 1 、第 2 弁機構 1 1 D 、 1 1 E を開閉操作する。弁操作機構 2 7 は、図 3 、図 4 に示されるように、第 1 、第 2 弁機構 1 1 D 、 1 1 E に接続される第一及び第二クイック継手 2 7 A 、 2 7 B と、これらのクイック継手 2 7 A 、 2 7 B が接続された内部流路を有する軸体 2 7 C と、この軸体 2 7 C の先端に固定されたピストンロッドを有するエアシリンダ 2 7 D と、この軸体 2 7 C の移動を案内する一対のガイドロッド 2 7 E とを備える。エアシリンダ 2 7 D により第 1 、第 2 クイック継手 2 7 A 、 2 7 B の各々は進出し、第 1 、第 2 弁機構 1 1 D 、 1 1 E 内に嵌入し、第 1 、第 2 弁機構 1 1 D 、 1 1 E の弁体を開く。第 1 、第 2 クイック継手 2 7 A 、 2 7 B が後退すると、第 1 、第 2 クイック継手 2 7 A 、 2 7 B は第 1 、第 2 弁機構 1 1 D 、 1 1 E から外れ、第 1 、第 2 弁機構 1 1 D 、 1 1 E の弁体は自動的に閉じられる。従って、ウエハチャック 1 1 上にウエハ W 及びコンタクタ 1 2 がこの順序で重ねられ、弁操作機構 2 7 の第 1 、第 2 クイック継手 2 7 A 、 2 7 B がウエハチャック 1 1 の第 1 、第 2 弁機構 1 1 D 、 1 1 E に接続され、ウエハチャック 1 1 の内部流路が真空排気装置に接続され、ウエハチャック 1 1 、ウエハ W 、コンタ

クタ 1 2 の三者は一体化される。尚、図 4において、2 6 D はアライメント時に使用する θ 駆動機構で、この θ 駆動機構 2 6 D によりメインチャック 2 6 は θ 方向で正逆回転され得る。

信頼性試験装置 3 は、図 1、図 5 に示されるように、試験室 3 1 と、これらの試験室 3 1 が上下複数段（例えば 7 段）に渡って組み込まれた筐体 3 2 と、各試験室 3 1 内で試験されるウェハ W との間で試験用信号を送受信するテスタ 3 3 と、各試験室 3 1 及びテスタ 3 3 をそれぞれ制御する第 2、第 3 制御装置 3 4、3 5 とを備えている。各試験室 3 1 では、第二制御装置 3 4 の制御により、アライナー 2 で形成された試験用シェル 1 が入れられ、その試験温度等が制御される。テスタ 3 3 は第 3 制御装置 3 5 の制御により、各試験室 3 1 への試験用信号の送受信を行い、試験結果の解析を行う。信頼性試験装置 3 は、図 1 に示されるように、試験用シェルに付されたシェル識別符号 1 4（例、バーコード）を読み取るための第二讀取装置 3 6 が設けられる。このシェル識別符号は、ウェハチャック 1 1 及びコンタクタ 1 2 の内の少なくとも一つの外表面に記載することができる。このシェル識別符号により、各試験用シェルは識別され得る。

アライナー 2 の第一制御装置 2 5、及び信頼性試験装置 3 の第 2、第 3 制御装置 3 4、3 5 は前述されたように伝達システム（例、電気的通信装置（ケーブル））4 1 により接続され、これらの間で種々のデータが送受信され得る。即ち、アライナー 2 から信頼性試験装置 3 へ試験用シェル 1 が搬送

される時、バーコード読取装置 3 6 はコンタクタ 1 2 のシェル識別符号 1 4 を読み取り、読み取られた B C R 値に基づいて各試験用シェル I D が認識される。図 1 B に示されるように、試験用シェル 1 のシェル識別符号（B C R 値）は伝達システム 4 1（例、通信手段）を介して試験室からアライナー 2 へ送信される。アライナー 2 は試験用シェル 1 の B C R 値を受信すると、正常に受信したことと示すアクノリッジ信号と、シェル 1 の B C R 値に該当するウエハ W のウエハ I D、ロット I D、スロット I D（以下、単に「ウエハデータ」と言う）を信頼性試験装置 3 へ送信する。信頼性試験装置 3 は、ウエハデータを正常に受信したことと示すアクノリッジ信号をアライナー 2 へ送信する。これらの手続きが完了した後、ウエハ W の信頼性試験が行われる。

上記試験試験室 3 1 には、例えば図 6 に示されるように、温度制御室 3 1 A と、この温度制御室 3 1 A に隣接するコネクタ室 3 1 B とを備えている。同図に示されるように、上記温度制御室 3 1 A 内の基板 3 1 C の四隅にはシリンダ機構 3 1 D が設けられる。各シリンダ機構 3 1 D のシリンダロッドの上端は基板 3 1 C の上方に設けられた押圧板 3 1 E の四隅に連結される。この押圧板 3 1 E の裏面はクランプ機構（図示されていない）が設けられる。このクランプ機構により、各試験室 3 1 は試験用シェル 1 を受け取る。コネクタ室 3 1 B 内にはテスタ 3 3 と接続するためのコネクタ及び配線基板が設けられる。同図に示されるように、基板 3 1 C にはボトムジャケット（図示せず）が設けられる。このボトムジャ

ケットの周囲には多数（例えば、2000～300本）のポゴピン31Fが複数のリング状に設けられる。これらのポゴピン31Fはコンタクタ12のバンプ端子の周囲にリング状に配置された多数の外部端子の位置に対応して設けられる。試験時には、バンプ端子は外部端子に電気的に接触し、テスト33からの試験用信号はこれら端子を介してICチップの電極に送受信される。ボトムジャケットは温度調節機構を内蔵し、押圧板31Eに固定された冷却ジャケット（図示せず）と共に働いて、試験用シェル1を所定の試験温度（例えば、110°C）に設定する。このようにして、温度制御室31A内では、試験用シェル1の温度が適正値に維持される。

図7のフローチャートを参照しながら、信頼性試験システムの動作が説明される。図7において、AAMはアライナーを、BRMは信頼性試験装置を意味する。開閉駆動機構22Bによりヘッドプレート22Aが開かれる。ヘッドプレート22Aにコンタクタ12が装着され、メインチャック26上にウエハチャック11が載置される。この時、ウエハチャック11の第1、第2弁機構11D、11Eは第1、第2クイック継手27A、27Bの位置に合わせられる。開閉駆動機構22Bによりヘッドプレート22Aが閉じられた後、真空排気装置（図示せず）が駆動され、メインチャック26上にウエハチャック11が真空吸着される。弁操作機構27のエアシリンダ27Dが駆動され、第1、第2クイック継手27A、27Bはウエハチャック11の第1、第2弁機構11D、11Eに接続される。

ローダ室 2 1 内のカセットからウエハWが一枚ずつ取り出され、ピンセット及びサブチャックによりウエハWはプリアライメントされる。ピンセットによりウエハWはウエハチャック 1 1 上に載置される（ステップ S 1）。この間に、OCR 2 3 によってウエハWのウエハ識別符号（文字情報）1 3 が読み取られる（ステップ S 2）。バーコード読取装置 2 4 によってコンタクタ 1 2 のバーコード 1 4 が読み取られた後、OCR 値、BCR 値に基づいて両者を関連付けたデータベースが作成される（ステップ S 4）。このデータベースは記憶装置に格納される。ウエハWがウエハチャック 1 1 上に載置された時、ウエハWの中心とウエハチャック 1 1 、更に具体的には、ウエハチャック 1 1 とメインチャック 2 6 の中心とが互いに一致している訳ではない（勿論一致することもあるが、一致しない方が一般的である）。そのため、予めヘッドプレート 2 2 A の中心位置座標（例、X、Y 座標）は第 1 制御装置 2 5 の記憶装置に格納される。

次いで真空排気装置（図示せず）により、ウエハチャック 1 1 上にウエハWは真空吸着され後、X、Y ステージ 2 6 B、2 6 C 及び θ 駆動機構 2 6 D が駆動される。アライメント機構が駆動され、ウエハWの電極パッドとコンタクタ 1 2 のバンプ端子 1 2 Aとのアライメントが行われ、。ウエハWとヘッドプレート 2 2 A の中心は一致させられる。しかし、上述したようにウエハWの中心はメインチャック 2 6 の中心から僅かに位置ずれていることから、コンタクタ 1 2 が装着されたヘッドプレート 2 2 A の中心位置座標（例、X、Y 座

標)と、アライメントされた後のメインチャック 26 の中心位置座標(例. X、Y座標)との間の位置ずれ量が第1制御装置 25 の中央処理装置により演算される。その位置ずれ量は記憶装置に格納される。このようにして、アライメントが終了すると、回転昇降機構 26A によりメインチャック 26 が上昇し、ウェハWの電極パッドはバンプ端子 12A に、図 3 に示されるように、一括接触する。この状態で真空排気装置によりウェハチャック 11、ウェハW及びコンタクタ 12 は一体化され、試験用シェル 1 が形成される(ステップ S5)。その後、弁操作機構 27A、27B が弁機構 11D、11E から切り離なされ、弁機構 11D、11E が閉じられ、ウェハチャック 11 とコンタクタ 12 間の真空が保持され、搬送可能な試験用シェル 1 が形成される。ウェハチャック 11、ウェハW及びコンタクタ 12 が上述のようにして一体化された時のメインチャック 26 のX、Y、又は/及びθの各位置座標及び上述のヘッドプレート 22A とメインチャック 26 の中心間の位置ずれ量は、コンタクタ 12 とウェハWとが関連付けられたデータベースとして第1制御装置 25 の記憶装置に格納される。

オペレータがシェル 1 をアライナー 2 から取り出し、信頼性試験装置 3 へ搬入する(ステップ S6)。この際、読取装置(バーコード読取装置) 36 により試験用シェル 1 のシェル識別符号(バーコード 14)が読み取られる(ステップ S7)。図 1B に示されるように、電気的伝達システム(例. 電気的通信装置) 41 により BCR 値はアライナー 2 へ転送

される（ステップS8）。アライナー2が信頼性試験装置3からB C R値を受信すると、正常に受信したことと示すアクノリッジ信号を送信すると共に、ウエハデータを信頼性試験装置3へ転送する（ステップS9）。信頼性試験装置3は、アライナー2からウエハデータを受信し、正常に受信したことと示すアクノリッジ信号をアライナー2へ送信し、試験の準備ができたことを通知する。上述されたように、試験用シェル1は各試験室31へ装着される。第2、第3制御装置34、35により、テスタ33からの試験用信号に基づいて各試験室31で各ウエハWの信頼性試験が実行される（ステップS10）。試験が終了すると、各ウエハWのそれぞれのチップの試験結果が作成される（ステップS11）。この試験結果は第2、第3制御装置の第2、第3記憶装置34b、35bに格納される。

オペレータは各試験室31から試験用シェル1を取り出し、アライナー2へ搬入する（ステップS12）。シェル1のバーコード14はバーコード読取装置24によって読み取られ（ステップS13）、このB C R値に基づいてそのシェルが特定される。ヘッドプレート22Aにシェル1が装着されると、アライナー2の第一制御装置25は、シェル1のB C R値に基づいて、シェルが形成された時の位置座標データ及びウエハWとメインチャック26間の位置ずれ量データをデータベースから検索する。メインチャック26をウエハWの位置データまで移動させ、更にメインチャック26がX、Y方向に移動されてウエハWとの間の位置ずれ量が調整され、

シェルが形成された時の位置にメインチャックは移動される。次いでその位置からメインチャック 26 は上昇し、メインチャック 26 の位置決めピンがウエハチャック 12 の孔に嵌入され、メインチャック 26 はシェル 1 と接合する。この結果、弁操作機構 27 の第 1、第 2 クイック継手 27A、27B はウエハチャック 11 の弁機構 11D、11E の延長線上に位置され、弁操作機 11D、11E に対して円滑に接続され得る。弁操作機構 27 により弁機構 11D、11E が開かれ、メインチャック 26 の内部流路は大気に開放され、シェル 1 が分解され得る状態になる。

シェル 1 とメインチャック 26 を接合させる時に、メインチャック 26 がその中心をヘッドプレート 22A、即ちウエハW の中心位置まで移動しただけでは、ウエハW の中心とウエハチャック 11 の中心とがずれているため、ウエハチャック 11 の孔とメインチャック 26 の位置決めピンとは一致せず、両者は接合されることができない。しかし、本実施形態では、コンタクタ 12 のバーコード 14 に基づいてウエハW の位置とメインチャック 26 間のずれ量からメインチャック 26 の位置が調整されることから、シェル 1 とメインチャック 26 は確実に接合させられ、シェルは確実に分解されることができる（ステップ S 1 4）。第 1 制御装置 25 はシェル 1 の BCR 値に基づいて該当するウエハW のウエハデータ（例、ウエハ ID、ロット ID、スロット ID）を検索し、ピンセットを駆動させ、スロット ID に該当するカセット内の元の位置へウエハW を戻す（ステップ S 1 5）。

本実施形態によれば、ウェハWに設けられたウェハ識別符号（文字情報）13を読み取る読取装置（OCR）23と、シェル12に付されたバーコード14を読み取る読取装置（バーコード読取装置）24がアライナー2に設けられ。シェル1のシェル識別符号（バーコード）14を読み取る読取装置（バーコード読取装置）36が信頼性試験装置3に設けられ、更に、アライナー2と信頼性試験装置3間でOCR23、バーコード読取装置24、36による読取情報を基づいてウェハWとコンタクタ12とを関連付けて記憶する第1記憶装置が第1制御装置25に設けられる。これらの構成により、ウェハWの文字情報13及びコンタクタ12のバーコード14に基づいてウェハWの信頼性試験は正確にかつ確実に行われることができる。

本実施形態によれば、ウェハチャック11、ウェハW及びコンタクタ12が一体化され、シェル1が組み立てられた位置をアライナー2の制御装置25の第一記憶装置25bに記憶させることから、シェル1をアライナー2により分解する際に、そのバーコード14がアライナー2のバーコード読取装置24で読み取られる。シェル1がメインチャック26上に載置されるだけで、メインチャック26は第1制御装置25の制御により、シェル1のBCR値に基づいて、X、Y、Z及びθ方向に移動させられ、シェル1が組み立てられた位置へ迅速に移動させられ、メインチャック26とシェル1は

確実に接合させることができる。この結果、ウエハチャック 1 1 の弁機構 1 1 D、1 1 E に、弁操作機構 2 7 の第 1、第 2 クイック継手 2 7 A、2 7 B を迅速且つ確実に接続することができ、シェル 1 をウエハチャック 1 1、ウエハ W 及びコンタクタ 1 2 i 迅速且つ確実に分解することができる。

図 8、図 9 は本発明の他の実施形態を示す図である。本実施形態の信頼性試験システムは上記実施形態と同一または相当部分には同一符号を附して説明される。本実施形態では、図 8 に示されるようにコンタクタ 1 2 のバーコード 1 4 に代えて、例えば磁性材料からなるメモリ 1 4 A が設けられる。このメモリ 1 4 には、必要な情報が適宜書き込まれることにより、アライナーと試験装置の間の伝達システムを構成することができる。アライナー 2 にはバーコード読取装置 2 4 に代えて読取・書込手段例えば磁気ヘッド 2 4 A が設けられる。信頼性試験装置 2 のバーコード読取装置 3 6 に代えて読取・書込手段として磁気ヘッド 3 6 A が設けられる。OCR 2 3 によって読み取られた文字情報 1 3 と、信頼性試験装置 3 の試験結果はメモリ 1 4 A に格納される。従って、本実施形態では、伝達手段 4 としてメモリ 1 4 A が使用され、通信手段 4 1 が省略されることができる。その他は上記実施形態に準じて構成されている。

次に、図 9 を参照しながら動作について説明される。ローダ室 2 1 内のカセットからウエハ W が一枚ずつ取り出される。ピンセット及びサブチャックによりウエハ W はプリアライメ

ントされる。ピンセットによりウエハWはウエハチャック11上へ載置される（ステップS21）。この間にOCR23によってウエハWの文字情報13は読み取られる（ステップS22）。その読み取情報は磁気ヘッド24Aによってメモリ14Aに書き込まれ、ウエハデータが格納される（ステップS23）。第1制御装置25により弁操作機構27が駆動され、第1、第2クイック継手27A、27Bがウエハチャック11の弁機構11D、11Eに接続される。、ウエハチャック11上にウエハWは真空吸着された後、メインチャック26を移動させることにより、ウエハWの電極パッドとコンタクタ12のバンプ端子12Aのアライメントが行われる。このアライメン後、メインチャック26が上昇し、ウエハWの電極パッドとバンプ端子12Aが図3に示されるように接触する。この状態で真空排気装置（図示されていない）によりウエハチャック11、ウエハW及びコンタクタ12がシェル1として一体化される（ステップS24）。この時のメインチャック26の位置座標データは磁気ヘッド24Aによりメモリ14Aに書き込まれる。弁操作機構27A、27Bが弁機構11D、11Eから切り離され、、ウエハチャック11とコンタクタ12は搬送可能なシェル1に形成される。

オペレータはシェル1をアライナー2から取り出し、信頼性試験装置3へ搬入する（ステップS25）。この際、磁気ヘッド36Aでシェル1のメモリ14Aからウエハデータが読み取られる（ステップS26）。第1、第2制御装置34、

3 5により、テスター 3 3 からの試験用信号に基づいて各試験室 3 1 では所定の試験温度で各ウェハ W の信頼性試験が実行される（ステップ S 2 7）。この試験が終了すると、ウェハ W 上に形成された各 1 C チップの試験結果が第 2 制御装置 3 5 により作成される（ステップ S 2 8）。万が一に備えて、第 2 制御装置 3 5 の記憶装置に格納されたウェハデータは磁気ヘッド 3 6 A によりシェル 1 のメモリ 1 4 A に書き込まれ、ウェハデータが保証される（ステップ S 2 9）。メモリ 1 4 A の記憶内容が保証された後、オペレータは各試験室 3 1 からシェル 1 を取り出し、アライナー 2 へ搬送し、ヘッドプレート 2 2 A に装着する（ステップ S 3 0）。

磁気ヘッド 2 4 A によってメモリ 1 4 A の位置座標データが読み取られ、制御装置 2 5 によりメインチャック 2 6 はウェハ W との位置ずれ量が調整され、メインチャック 2 6 はシェル 1 が形成された時の位置に配置され、メインチャック 2 6 はシェル 1 と接合する。制御装置 2 5 により、弁操作機構 2 7 により第 1 , 第 2 クイック継手 2 7 A 2 7 B はシェル 1 の弁機構 1 1 D , 1 1 E に対して接続され、弁機構 1 1 D . 1 1 E は開かれ、メインチャック 2 6 の内部流路は大気に開放され、シェル 1 が分解される（ステップ S 3 1）。磁気ヘッド 2 4 A によりメモリ 1 4 A のウェハデータが読み取られる。このウェハデータ（例、ウェハ 1 D 、ロット ID 、スロット ID ）に基づいて、ピンセットはスロット ID に該当するカセット内の元の位置へウェハ W を戻す（ステップ S 3 2）。

本実施形態によれば、ウエハWに付設された文字情報13を読み取るOCR23をアライナー2に設け、その文字情報13を記憶するメモリ14Aをコンタクタ12に設け、メモリ14Aの記憶内容を読み取る磁気ヘッド36Aを信頼性試験装置3に設けたため、上記実施形態の場合と同様の作用効果が奏される。

上記実施の形態では、本発明が信頼性試験装置に適用されたケースが説明された。しかし、本発明は、ウエハ上に形成されたICチップの電気的特性を検査する（或いは、試験する）種々の装置に適用されることが出来る。

上記実施形態では、アライナー2に讀取手段としてOCR23、バーコード讀取装置24が設けられたが、バーコード讀取装置に代えてOCRが用いられても良い。

上記各実施形態ではオペレータがシェルを搬送するようになしたが、この搬送、装着を自動化しても良い。

本発明の第1制御装置、第2制御装置、第3制御装置は、電子回路により構成された制御装置であってもよく、またソフトウェアにより構成された制御装置であってもよい。

本発明における伝達システムの一つとして電気的通信装置が使用されることが出来る。この電気的無通信装置としては、電気的有線通信装置或いは電気的無線通信装置が使用されることができる。

上記実施の形態においては、試験用シェル形成条件として位置座標が採用された。しかし、この条件としては、これに限らずウエハ識別番号、ウエハチャックの型番号、コンタク

タの型番号、載置台の型番号、試験用シェルが形成された時の温度条件、オペレータ認識番号、など種々の条件も採用されることができる。

上記実施の形態では、アライナーと試験室との間で伝達される情報は、種々の情報とされた。しかし、この伝達される情報は、これら種々の情報の中から適宜選択されることが出来る。例えば、伝達される情報は、シェル識別符号と試験結果の情報とされることもできる。

本発明によれば、信頼性試験後にシェルは、ウエハ保持体、ウエハ及びコンタクタの三者が一体化された時の位置へ載置台は自動的に移動され、シェルと載置台は円滑且つ確実に接合されることができ、シェルはウエハ保持体、ウエハ及びコンタクタに迅速に分解することができる信頼性試験システムが提供されることがある。

本発明によれば、シェルがウエハ保持体、ウエハ及びコンタクタに分解する時に、これら三者が一体化された時の位置へ載置台は自動的に移動させられ、シェルと載置台とは円滑且つ確実に接合させられ、アライナーと信頼性試験装置間の通信手段が不要で、システムの構成を簡素化した信頼性試験システムが提供されることがある。

## 請求の範囲

1. 半導体ウエハを保持するウエハ保持体、複数の半導体素子がその表面に形成された半導体ウエハ、及び該半導体素子の複数の電極に電気的に接触する複数の接触端子を備えたコンタクタ、の3者を一括接触させ、これらを一体化して試験用シェルを形成するアライナー：

前記アライナーは、

真空吸着力により前記試験用シェルを形成する  
シェル形成機構；

前記試験用シェルに付された前記シェル識別符号を読み取る第1読取装置；

読み取られた前記シェル識別符号を格納するための第1記憶装置；

試験用シェルを形成するために前記シェル形成  
機構を制御する第1制御装置，  
とを備え；

前記試験用シェル中の前記半導体素子の試験を行う試験装置：

前記試験装置は，

前記試験用シェルに付設された前記シェル識別  
符号を読み取る第2読取装置；

前記試験の結果を前記シェル識別符号と関連付  
けて格納する第2記憶装置，とを具備し；

前記アライナーと前記試験装置の間で、前記第1及び第2  
記憶装置に格納された情報を互いに伝達する伝達システムと，

を備えた、半導体ウエハ上に形成された半導体素子の試験システム。

2. 前記アライナーは、さらに、前記半導体ウエハに付されたウエハ識別符号を読み取る第3読取装置を備え、

前記第1記憶装置は、さらに前記ウエハ識別符号も格納する、

請求項1に記載された前記試験システム。

3. 前記伝達システムは電気的通信装置である、請求項1に記載された前記試験システム。

4. 前記伝達システムは前記試験用シェルに設けられたメモリである、請求項1に記載された前記試験システム。

5. 前記試験装置は信頼性試験装置である、請求項1に記載された前記試験システム。

6. 前記シェル識別符号は、試験用シェルを構成するコンタクタ及びウエハ保持体の少なくとも一つに付される、請求項1に記載された前記試験システム。

7. 半導体ウエハを保持するウエハ保持体、複数の半導体素子がその表面に形成された半導体ウエハ、及び前記半導体素子の複数の電極に電気的に接触する複数の接触端子を備えたコンタクタ、の3者を一括接触させ、これらを一体化して試験用シェルを形成するアライナー：

前記アライナーは、

真空吸着力により前記試験用シェルを形成し、  
及び前記真空吸着力を解除することにより前記試験用シェルを解体する、シェル形成及び解体機

構；

前記試験用シェルに付された前記シェル識別符号を読み取る第1讀取装置；

前記シェル形成及び解体機構において試験用シェルが形成された時の形成条件、及び前記讀取装置により読み取られた前記シェル識別符号とを格納するための第1記憶装置；

試験用シェルを形成するために、及び前記試験用シェルを解体するために、前記シェル形成及び解体機構を制御する第1制御装置，

とを備え；

前記試験用シェル中の前記半導体素子の試験を行う試験装置：

前記試験装置は，

前記試験用シェルに付設された前記シェル識別符号を読み取る第2讀取装置；

前記試験の結果を前記シェル識別符号と関連付けて格納する第2記憶装置，とを具備し；

前記ライナーと前記試験装置の間で、前記第1及び第2記憶装置に格納された情報を互いに伝達する伝達システムと，を備えた、半導体ウェハ上に形成された半導体素子の試験システム。

8. 前記第1記憶装置に格納される、試験用シェルが形成された時の形成条件には、前記試験用シェルが形成された時のウェハ保持体及びコンタクタの位置座標が含まれる、請求

項 7 に記載された前記試験システム。

9. 前記アライナーは、さらに、前記半導体ウエハに付されたウエハ識別符号を読み取る第 3 読取装置を備え、  
前記第 1 記憶装置は、さらに前記ウエハ識別符号も格納する、

請求項 7 に記載された前記試験システム。

10. 前記伝達システムは電気的通信装置である、請求項 7  
に記載された前記試験システム。

11. 前記伝達システムは前記試験用シェルに設けられたメモリである、請求項 7 に記載された前記試験システム。

12. 前記試験装置は信頼性試験装置である、請求項 7 に記載された前記試験システム。

13. 前記シェル識別符号は、試験用シェルを構成するコンタクタ及びウエハ保持体の少なくとも一つに付される、請求項 7 に記載された前記試験システム。

14. 半導体ウエハを保持するウエハ保持体、複数の半導体素子がその表面に形成された半導体ウエハ、及び前記半導体素子の複数の電極に電気的に接触する複数の接触端子を備えたコンタクタ、の 3 者を一括接觸させ、これらを一体化して試験用シェルを形成するアライナー：

前記アライナーは、

アライナーの装置本体の所定位置に前記コンタクタを設置する取付機構；

前記半導体ウエハを保持した前記ウエハ保持体を載置するための載置台；

前記コンタクタの前記複数の接触端子に対して、  
前記半導体素子の前記電極を位置合わせるために、  
前記載置台を X, Y 及び θ 方向に移動させ、さらに  
前記 3 者を一括接触させるために前記載置台を Z 方  
向に移動させる載置台移動機構；  
前記試験用シェルに付設された前記シェル識別符  
号を読み取る第 1 読取装置；  
前記位置合わせのために X, Y 及び θ 方向に移動  
させられた載置台の位置座標を、前記シェル識別符  
号と関連付けて格納する第 1 記憶装置；  
真空吸着力により前記試験用シェルを形成し、及  
び前記真空吸着力を解除することにより前記試験用  
シェルを解体する、シェル形成及び解体機構；  
前記試験用シェルが形成された際の載置台の位置  
座標に基づいて、前記試験用シェルを解体位置に設  
置し、前記試験用シェルを解体するための制御を行  
う第 1 制御装置、  
とを具備し；  
前記試験用シェル中の前記半導体素子の試験を行う試験裝  
置；  
前記試験装置は、  
前記試験用のシェルに付設された前記シェル識  
別符号を読み取る第 2 読取装置；  
前記試験の結果を前記シェル識別符号と関連付  
けて格納する第 2 記憶装置、とを具備し；

前記アライナーと前記試験装置の間で、第1及び第2記憶装置に格納された情報を互いに伝達する伝達システムと、を備えた、半導体ウエハ上に形成された半導体素子の試験システム。

15. 前記アライナーは、さらに、前記半導体ウエハに付されたウエハ識別符号を読み取る第3読取装置を備え、

前記第1記憶装置は、さらに前記ウエハ識別符号も格納する、

請求項14に記載された前記試験システム。

16. 前記伝達システムは電気的通信装置である、請求項14に記載された前記試験システム。

17. 前記伝達システムは前記試験用シェルに設けられたメモリである、請求項14に記載された前記試験システム。

18. 前記試験装置は信頼性試験装置である、請求項14に記載された前記試験システム。

19. 前記シェル識別符号は、試験用シェルを構成するコンタクタ及びウエハ保持体の少なくとも一つに付される、請求項14に記載された前記試験システム。

20. (a) アライナーにおいて、半導体ウエハを保持するウエハ保持体、複数の半導体素子がその表面に形成された半導体ウエハ、及び前記半導体素子の複数の電極に電気的に接触する複数の接触端子を備えたコンタクタ、の3者を一括接觸させ、これらを一体化して試験用シェルを形成し；

(b) 前記試験用シェルに付されたシェル識別符号を読み取り、第一記憶装置に格納し；

(c) 試験装置において、前記試験用シェル中の半導体ウエハ上に形成された複数の半導体素子の電気的特性を試験し；

(d) 前記アライナーと前記試験装置の間で、前記試験用シェルに付されたシェル識別符号と前記試験結果の情報を伝達する、

工程とを具備した、半導体ウエハ上に形成された複数の半導体素子の電気的特性を試験する方法。

21. (a) アライナーにおいて、半導体ウエハを保持するウエハ保持体、複数の半導体素子がその表面に形成された半導体ウエハ、及び前記半導体素子の複数の電極に電気的に接触する複数の接触端子を備えたコンタクタ、の3者を一括接觸させ、これらを一体化して試験用シェルを形成し；

(b) 前記試験用シェルに付されたシェル識別符号を読み取り、

(c) 前記試験用シェルが形成された際の形成条件を、前記シェル識別符号とともに第一記憶装置に格納し；

(d) 試験装置において、前記試験用シェル中の半導体ウエハ上に形成された複数の半導体素子の電気的特性を試験し；

(e) 前記アライナーと前記試験装置の間で、前記試験用シェルに付されたシェル識別符号、前記形成条件及び前記試験結果の情報を伝達し；

(f) 前記アライナーにおいて、前記試験装置から伝達された情報に基づいて、前記試験用シェルを解体する、

工程とを具備した、半導体ウエハ上に形成された複数の半導体素子の電気的特性を試験する方法。

1/8

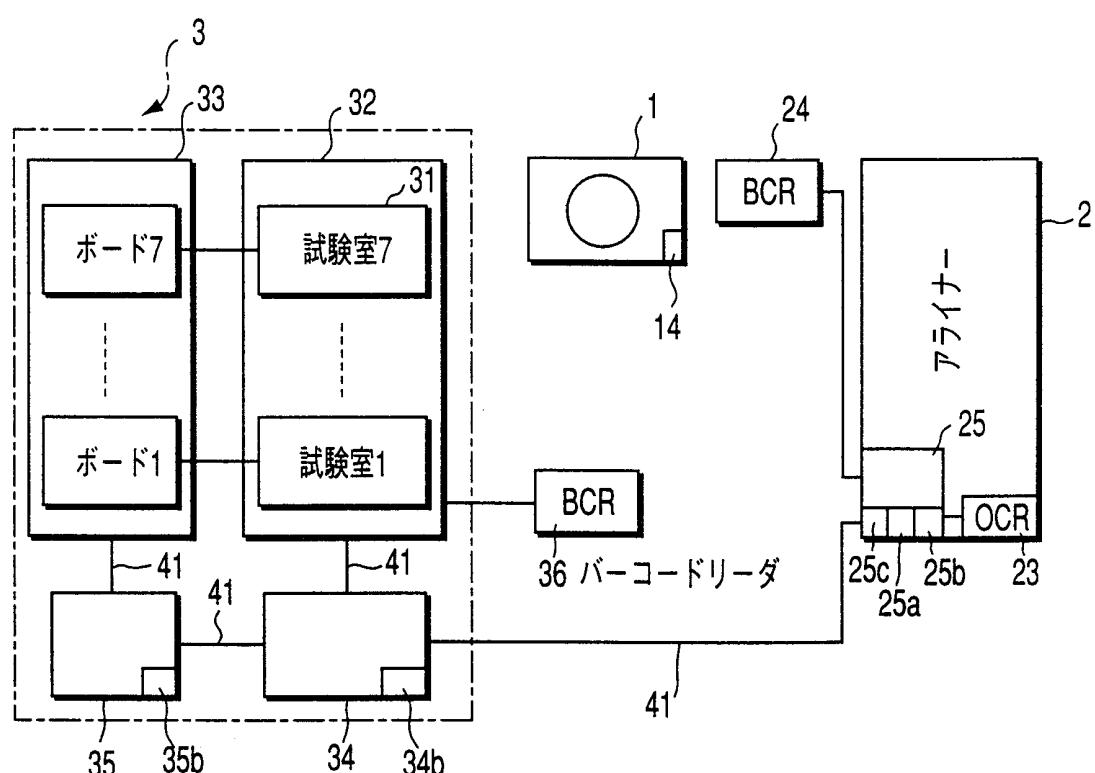


FIG. 1A

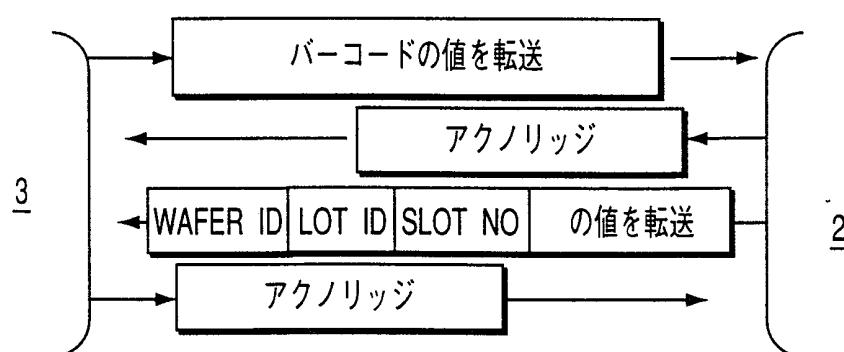


FIG. 1B

2/8

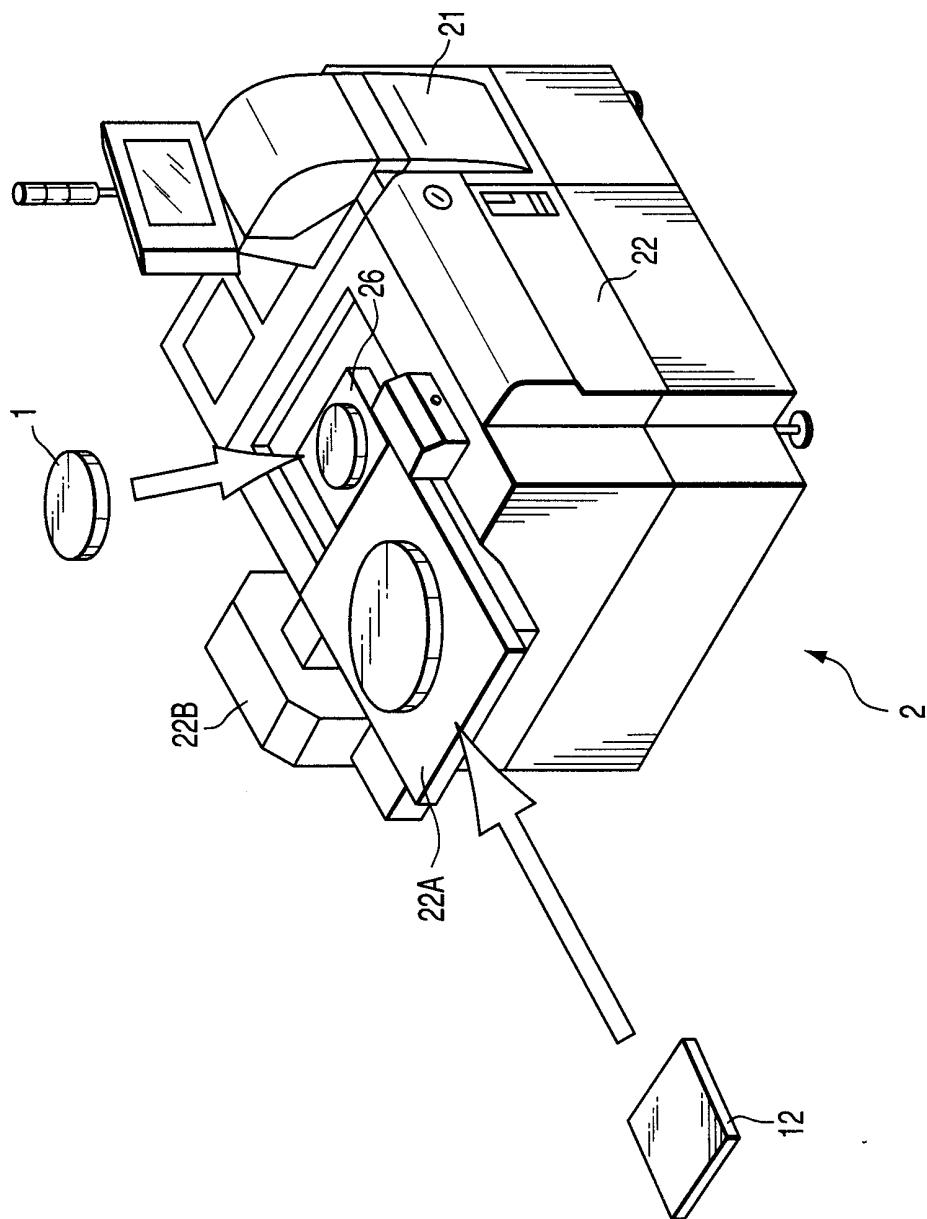


FIG. 2

3/8

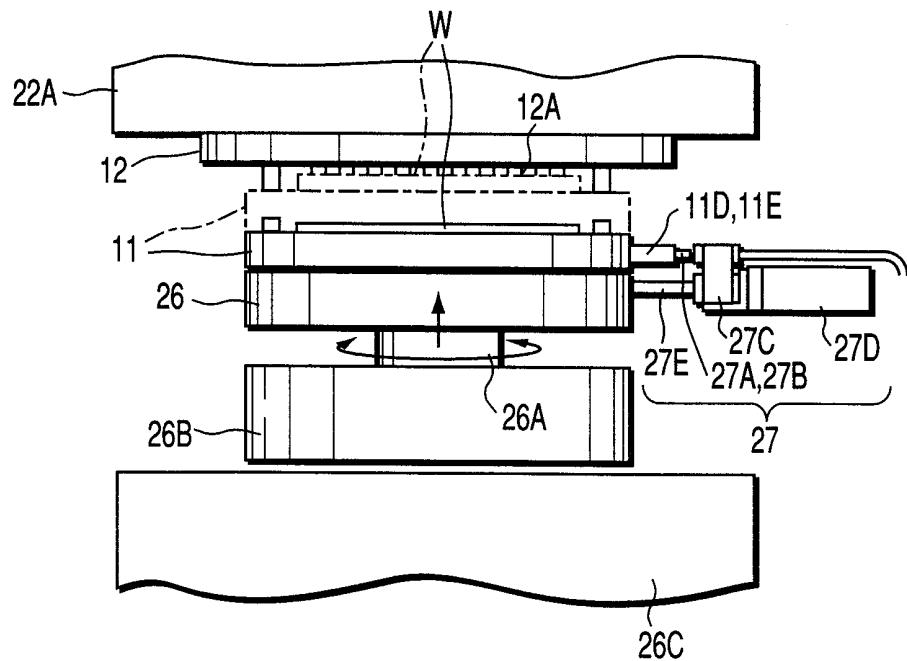


FIG. 3

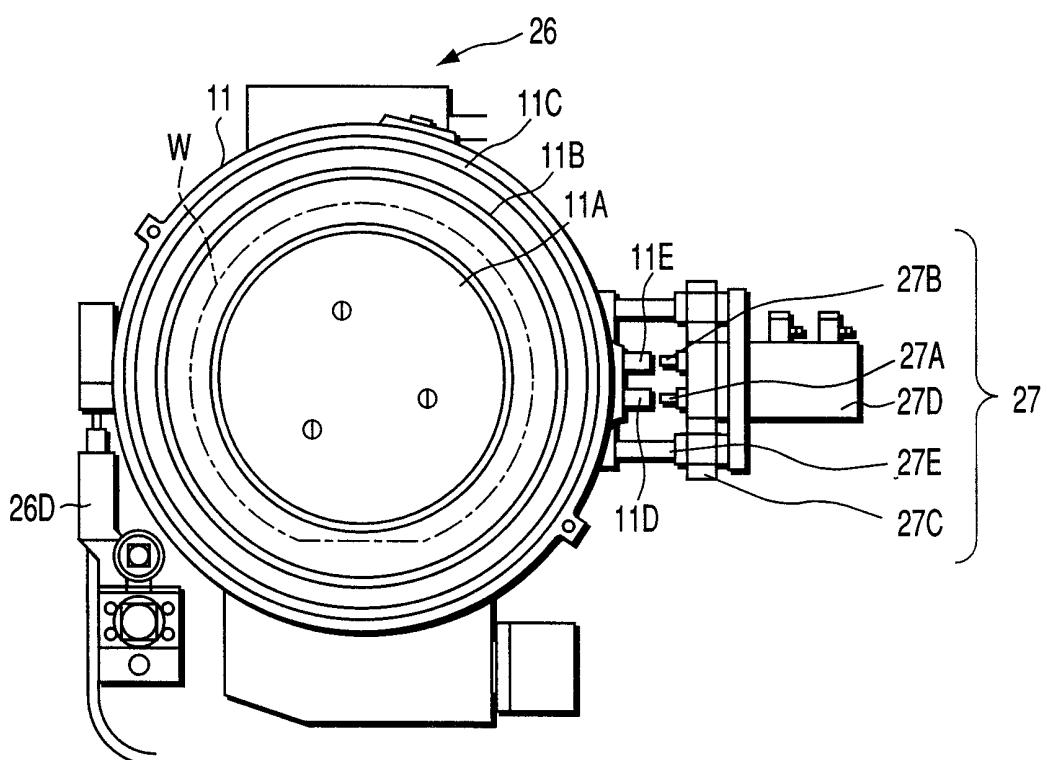


FIG. 4

4/8

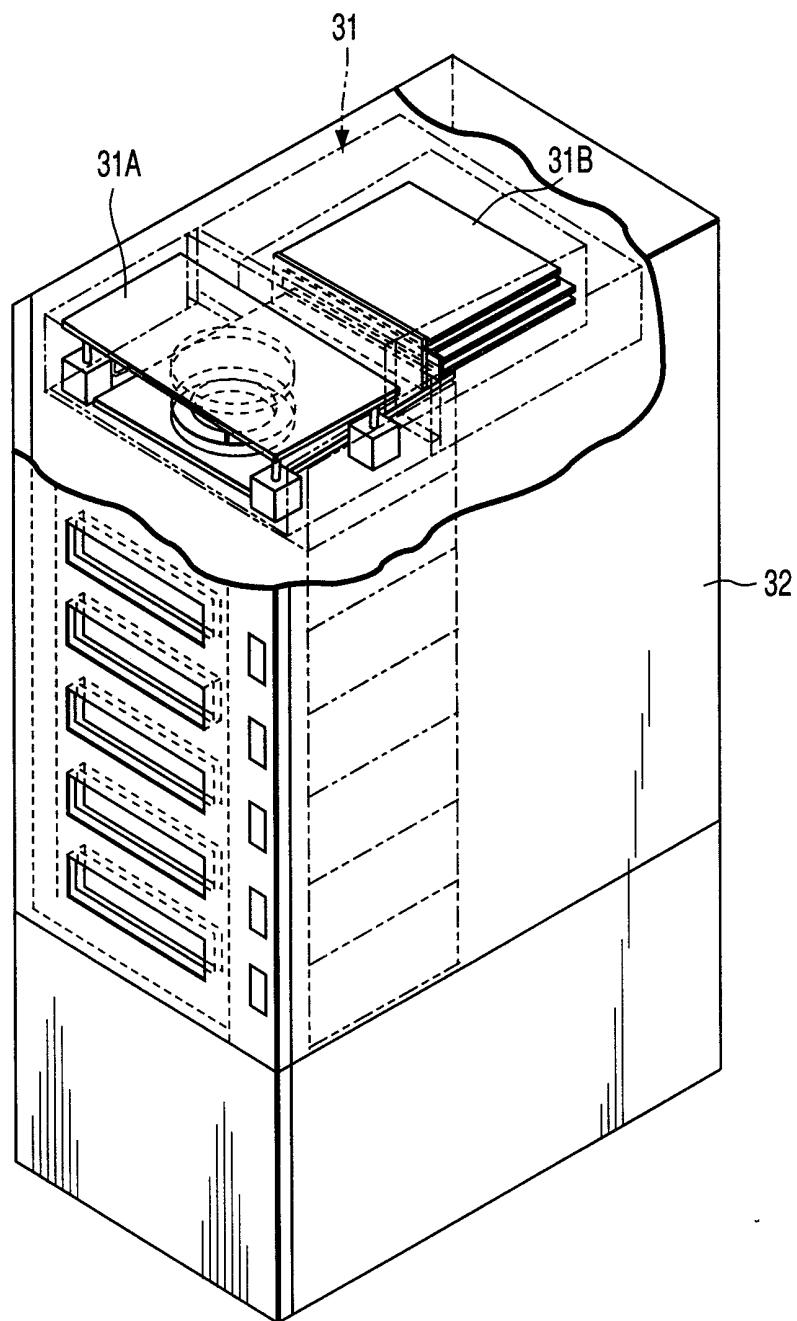
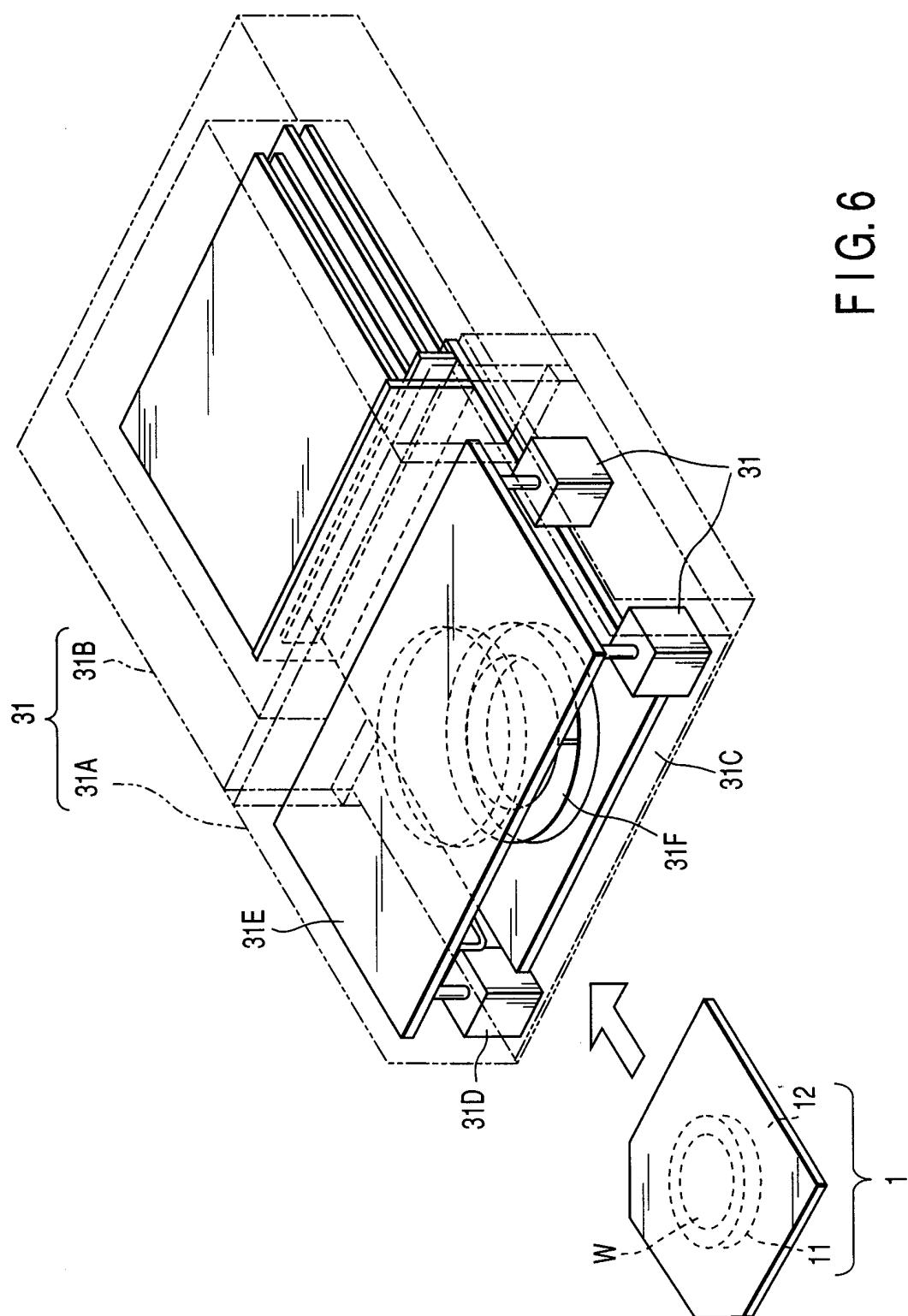


FIG. 5

5/8

FIG. 6



6/8

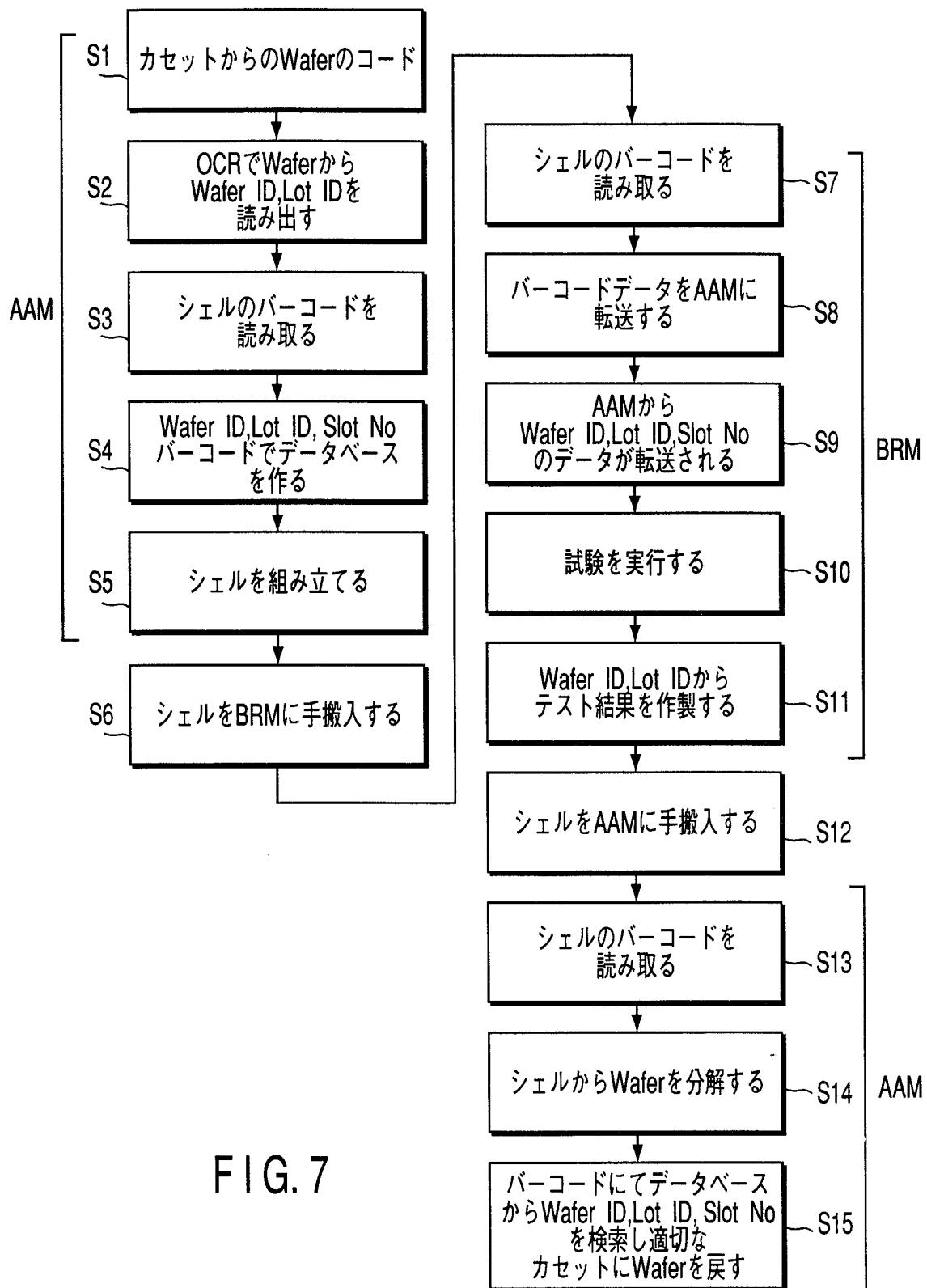


FIG. 7

7/8

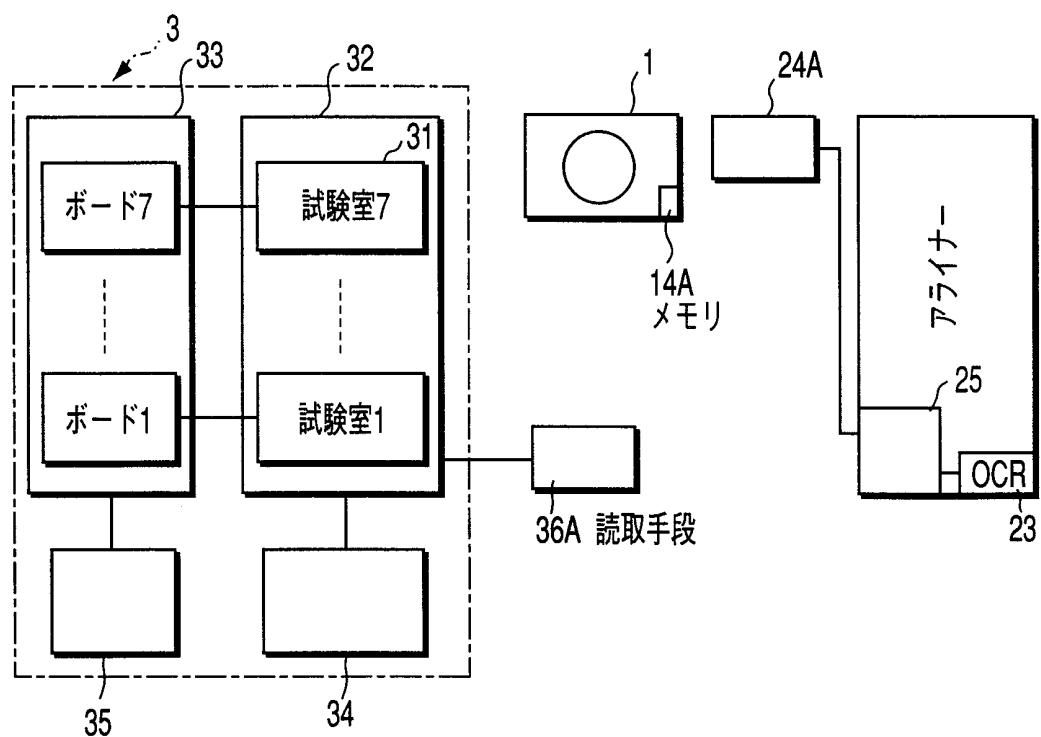


FIG. 8

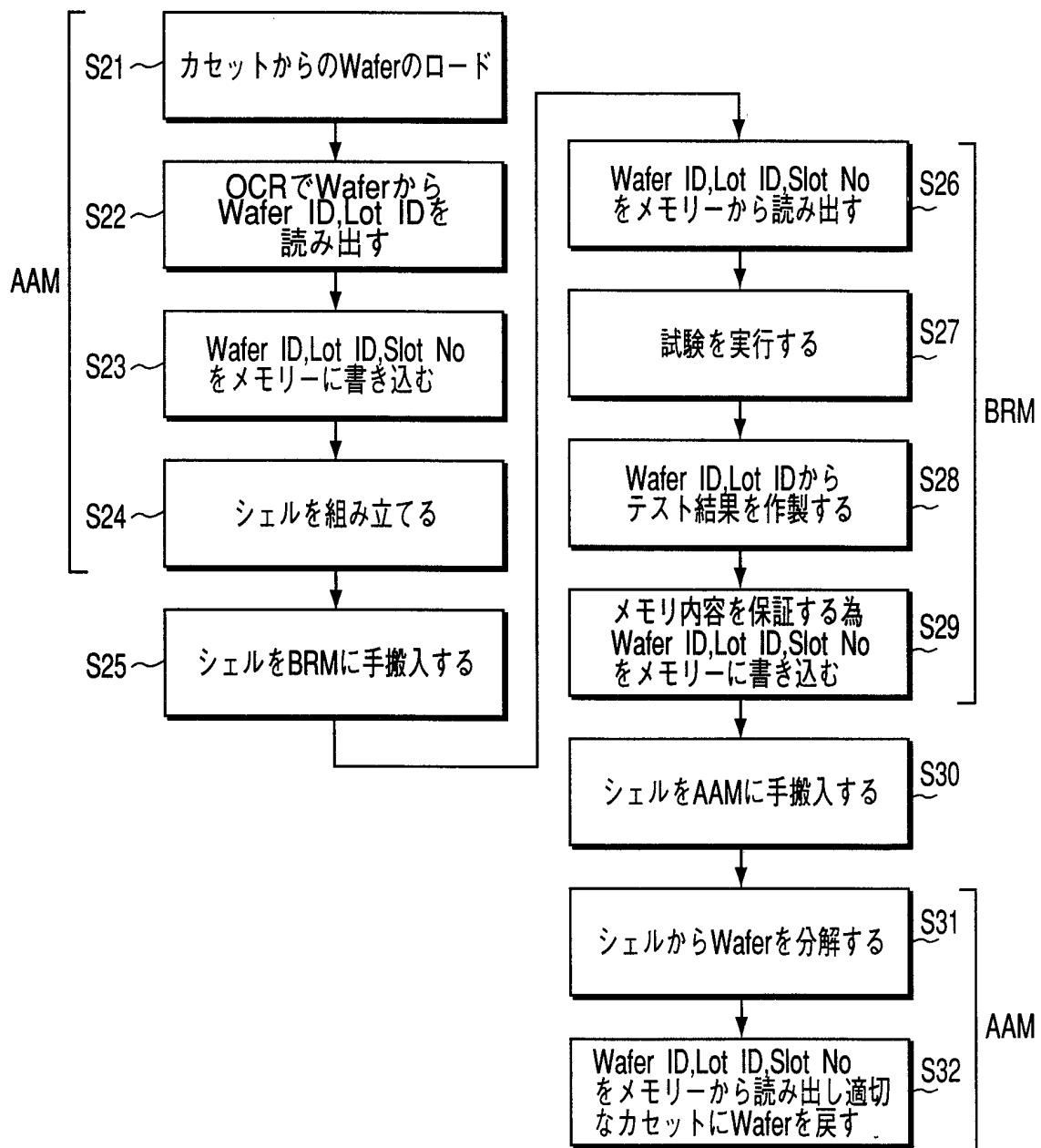


FIG. 9

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/02616

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>6</sup> H01L21/66

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>6</sup> H01L21/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999  
 Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages       | Relevant to claim No. |
|-----------|--|-----------------------|
| A         | JP, 9-138256, A (K.K. Nippon Maikuronikusu),<br>27 May, 1997 (27. 05. 97) (Family: none) | 1-21                  |

Further documents are listed in the continuation of Box C.  See patent family annex.

|   |  |
|---|--|
| * Special categories of cited documents:<br>"A" document defining the general state of the art which is not considered to be of particular relevance<br>"E" earlier document but published on or after the international filing date<br>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)<br>"O" document referring to an oral disclosure, use, exhibition or other means<br>"P" document published prior to the international filing date but later than the priority date claimed | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention<br>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone<br>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art<br>"&" document member of the same patent family |
|---|--|

Date of the actual completion of the international search  
15 July, 1999 (15. 07. 99)

Date of mailing of the international search report  
27 July, 1999 (27. 07. 99)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

## 国際調査報告

国際出願番号 PCT/JP99/02616

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int. C16 H01L 21/66

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. C16 H01L 21/66

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-1999年

日本国登録実用新案公報 1994-1999年

日本国実用新案登録公報 1996-1999年

## 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示  | 関連する<br>請求の範囲の番号 |
|-----------------|--|------------------|
| A               | J P. 9-138256、A(株式会社日本マイクロニクス)、<br>27. 5月. 1997 (27. 05. 97)、<br>(ファミリーなし) | 1-21             |

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

## 国際調査を完了した日

15. 07. 99

## 国際調査報告の発送日

27.07.99

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

川端 修

印 4 E 8718

電話番号 03-3581-1101 内線 3425