

公告本

295662

申請日期	85 年 2 月 1 日
案 號	85101269
類 別	G11C 11/407

A4

C4

295662

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體記憶裝置
	英 文	
二、發明 人	姓 名	(1) 竹中博幸
	國 籍	(1) 日本 (1) 日本國神奈川縣鎌倉市玉繩三一一五
	住、居所	
三、申請人	姓 名 (名稱)	(1) 東芝股份有限公司 株式会社東芝
	國 籍	(1) 日本 (1) 日本國神奈川縣川崎市幸區堀川町七二番地
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 佐藤文夫

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 1994 年 12 月 16 日 P06-312990 ☒無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

〔產業上之利用領域〕

本發明係為關於半導體記憶裝置，特別是關於由於在行列狀的配置動態型記憶格之記憶格陣列的兩側配設感知增幅器列，因而削減了圖案面積的構造之動態型半導體記憶裝置。

〔先行技術〕

針對從過去動態型半導體記憶裝置（以下簡稱為 D R A M ），重疊而使圖案面積削減。針對 D R A M ，由於是共用感知增幅器構造，而大幅度削減圖案面積已被知悉。在第 8 圖表示共用感知增幅器構造的 D R A M 之記憶格部的概略。在具有平行的被配設之位元線對的記憶格陣列 Cell Array 之左右兩端 2 個記憶增幅器列 S/A Array 被配置成挾隔該記憶格陣列 Cell Array。位元線對係為每隔一對被連接在左右的感知增幅器列 S/A Array 之感知增幅器電路 S / A。因此，在右側的感知增幅器列被配設有位元線對的條數之半數的感知增幅器電路，在左側的感知增幅器列也被配設有同樣個數的感知增幅器電路。在感知增幅器電路分別位於右側及左側延伸存在有位元線對，與隔鄰的記憶格陣列的位元線對連接著。由於後述的選擇電路，因而動作中在感知增幅器電路被連接有右側或是左側的其中的位元線對。例如特定的記憶格陣列 Cell Array 被活性化時，即是讀出，寫入，更新動作時，在該記憶格陣列的左右兩端動其中 2 個感知增幅器列 S/A Array，進行記

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(2)

億格資料的增幅。

在第9圖詳細的表示在於第8圖已略述過的感知增幅器電路S/A。此感知增幅器電路S/A，能區分成左面補償部，左面選擇部，列閘極部，感知增幅器部，右面選擇部，右面補償部。左面補償部係以N通道MOS電晶體Q1，Q2及Q3所構成，在信號 $\phi_{EQ L}$ 的控制的下方，將左面位元線對BL1，/BL1補償至以VB L所供給的 $1/2 V_{cc}$ （ V_{cc} 為內部電源電位）。左面選擇部係以N通道MOS電晶體Q4及Q5所構成，在信號 ϕ_L 的控制的下方，連接列閘極部及感知增幅器部與左面位元線對BL1，/BL1。列閘極部係以N通道MOS電晶體Q6及Q7所構成，在列選擇線CS L的控制的下面選擇性的連接位元線對與資料線對DQ，/DQ。感知增幅器部係以N通道MOS電晶體Q8~Q11及P通道MOS電晶體Q12，Q13所構成，N通道感知增幅器控制線/SAN在於從 $1/2 V_{cc}$ 下降至0V的時刻位元線對當中較低的電位被降至“L”。繼而，P通道感知增幅器控制線SAP從 $1/2 V_{cc}$ 上昇至 V_{cc} 而動作P通道型感知增幅器。此處位元線對的“H”側形成為更“H”後感知位元線對的微小電位差。特別是關於以列選擇線CS L所被選擇的列之位元線對，係以MOS電晶體Q10而急速的作增幅動作。右側選擇部係以N通道MOS電晶體Q14及Q15所構成，在信號 ϕ_R 的控制的下方連接列閘極部及感知增幅器部與右面位元線對

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

$B L 1'$ ， $\nearrow B L 1'$ 。右面補償部係以 N 通道 MOS 電晶體 $Q 1 6$ ， $Q 1 7$ 及 $Q 1 8$ 所構成，信號 $\phi E Q R$ 的控制的下方，補償至以 $V B L$ 供給右面位元線對 $B L 1'$ ， $\nearrow B L 1'$ 之 $1/2 V_{cc}$ 。

以上，用第 8 圖，第 9 圖說明了共通感知增幅器構造之 D R A M 的磁心部。由於是此樣的構成，所以形成能在位元線對間隔 (pitch) 的二倍間隔配置感知增幅器電路，為使成為易於圖案配置，所以也期予晶片面積的削減。同時，由於是共用鄰接同一感知增幅器列的記憶格陣列，因而與在各記憶格陣列設置專用的感知增幅器列作較，可以減半感知增幅器區域。此情況也能使其削減晶片面積。

不過，以上所說明過的過去共用感知增幅器構造之 D R A M，存在有以下所示的問題點。即是，在於聚合矽配線或擴散層配線形成用於補償電路的 $\phi E Q L$ ， $\phi E Q R$ 或 $V B L$ 等的情况，形成為阻抗過大，隨著動作限度的降下，造成誤動作的原因。但是如上述過在單側的每個 2 位元線對設有配置了感知增幅器的最大充填構造時，配設以低阻抗的金屬配線層所形成的 $\phi E Q L$ ， $\phi E Q R$ ， $V B L$ 等的分歧配線是非常的困難。其原因係為在設有上述的最大充填構造時，難於確保設有金屬配線層與高阻抗配線層（聚合矽配線或是擴散層配線）的接觸之區域。

[發明所欲解決之課題]

五、發明說明(4)

如上述所說明過，針對過去的共用感知增幅器構造之 D R A M，位元線配置由於是最大充填構造，所以補償信號線等難於設有與上層的金屬配線層接觸，因此達成低阻抗化係有困難。即是為了實現低阻抗化，必須將位元線間隔使其增加若干間隔而犧牲晶片面積。

本發明的目的，係為提供除去上述缺點，且不影響最大充填構造的位元線配置，達成補償信號線等的低阻抗化之動態型半導體記憶裝置。

[用以解決課題之手段]

為了達成上述目的，在本發明提供其特徵為具備：依順平行而被配設，含有分別被連接有動態型記憶體的第1，第2，第3及第4位元線對之格陣列，及鄰接於格陣列的一端側，分別含有位元線補償電路，分別被連接至第1位元線對及第2位元線對之第1及第2感知增幅器電路，及鄰接於記憶格陣列的他端側而被配置，分別含有位元線補償電路，分別被連接至第3位元線對及第4位元線對之第3及第4感知電路，並且在被形成在第1及第2位元線對的他端側及其第3及第4位元線對的一端側之區域，連接第1信號線與第2信號線之動態型半導體記憶裝置。

另外，提供特徵為，加上上述的構成，第1信號及第2信號線都是補償電路控制信號，第1信號線係為低阻抗的金屬線，第2信號線係屬在於補償電路內被用作為 M O S 電晶體的閘極端子之聚合矽配線之動態型半導體記

五、發明說明(5)

憶裝置。

進而，提供特徵為，第1信號線及第2信號線都為中間電位給線，第1信號線為低阻抗的金屬配線，第2信號線係為在於補償電路內被作為MOS電晶體的汲極端子之擴散層配線之動態型半導體記憶裝置。

〔作用〕

用本發明所提供的手段，因為可以在第1及第2位元線對與與此對向的感知增幅器電路之間可以空隔一定的間隔，所以可以確保相同信號線的連接區域。另外，同樣的可以在第3及第4位元線對與與此對向的感知增幅器之間也空隔一定的間隔。因此，與過去的共用感知增幅器構造相同，位元線配置不致降低最大充填構造。此結果，形成為可以不必增大晶片面積而達成補償信號線的低阻抗化。

〔實施例〕

以下，參照圖面，說明本發明的實施例。

在第1圖表示本發明的DRAM之概略構成。總記憶容量假定為64M位元DRAM。在半導體晶片9被配置有以4個16M位元的記憶格及以隨著此記憶格的感知增幅器，解碼器等的磁心部周邊電路所構成之磁心組塊CB0，CB1，CB2，CB3。在CB0與CB1之間及CB2與CB3之間分別被配置有使其產生字元線的昇壓電位 V_{pp} 之 V_{pp} 產生電路 V_{pp} Pump。在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(6)

各磁心組塊 C B 的資料輸出部分別被配置有資料多路轉換器電路 M U X 及資料緩衝器電路 D I B。另外，在各磁心組塊的近旁分別被配置有保持列冗長電路的更換資料之保險絲陣列，在 C B 0 與 C B 1 之間被配置有使其產生 $1/2 V_{cc}$ 等的中間電位之參照電位之參照電位產生電路 V_{REF} ，但在 C B 2 與 C B 3 之間被配置有使其產生進行電源投入時的晶片內部初期化之際的初期化信號之啟動復位電路 P W R O N，在 C B 0 與 C B 2 之間，依順配置基板電位產生電路，資料輸入輸出緩衝器及因應於 p a d，資料輸出寬度而選擇之 I / O 資料多路轉換器電路 X 1 M U X，在 C B 1 與 C B 3 之間依順被配置有自己再生控制電路 Self refresh，位址緩衝器 Address buffer，行系控制電路 R A S S e r i e r，資料控制電路 D C。另外，在晶片 9 的中心部分別被配置有列部分解碼器電路 C P D，位址遷移檢出電路 A T D，行部分解碼器電路 R P D，行位址開關電路 A S D。

繼而，在第 2 圖表示 1 6 M 磁心組塊 C B 的構成。複數個交互的配置 3 2 個記憶格陣列 Cell Array 及 3 3 個感知增幅器列（磁心部周邊電路）S/A Array，構成記憶格組塊，且在其一端被配置有列解碼器電路 C / D。列選擇線 C S L 係朝列方向被配置複數條，以列解碼器電路 C / D 而被選擇驅動。列選擇線 C S L 係在屬於同一列的各行之感知增幅器列 S/A Array S / A 供給選擇信號。更詳細狀況，列選擇線係被用於感知增幅器電路的部分活性及

五、發明說明(7)

列閘極電路的驅動。記憶格組塊係形成爲上下組構成 1 6 M 磁心組塊 C B，在兩者之間分別被配置有保持對應於各記憶格陣列的行解碼器電路（以內部行位址信號而使其選擇性的驅動字元線 W L）R / D，行解碼器電路的驅動信號供給電路 W D R V 及行冗長回路更換資料之 R F U S E，另外，分別被配置有資料線增幅電路 D Q B，組塊控制電路 B C 等。另外，在磁心組塊 C B 的周邊部分別被配置有對應於各磁心部周邊電路的 P 通道型感知增幅器驅動電路 P S A D。

在第 3 圖表示被挾隔在 2 個感知增幅器列 S/A Array 之記憶格陣列 Cell Array 的構成。在各感知增幅器電路 S / A 取用分別被連接有 2 對位元線對 B L， / B L 及 B L'， / B L' 之共用感知增幅器構造，如第 3 圖所示在每 2 感知增幅器爲整束之上，以鉅齒狀的配列構成記憶格陣列。詳細說明此構成，從位元線對直線的感知增幅器之位置，以過去例所說明過之例則被形成爲右，左、右，左、右，左……，但以本實施例則被形成爲右右、左，左、右，右、左左。此結果，在 2 條的位元線對，例如在 B L 0， / B L 0 及 B L 1， / B L 1 與感知增幅器列 S/A Array 之間分別被形成有一定的間隙 8。在各位元線被連接有以電晶體及電容器所形成的動態型記憶格（無圖示），記憶格 M C 當中屬於同一列的係被連接在同一的位元線對，屬於同一行的係被連接在同一的字元線。字元線係以如上述的行解碼電路 R / D 而被選擇驅動。行解碼電路

五、發明說明(8)

至少含有以 P 通道型電晶體在 "H" 準位充電字元線之字元線驅動電路，用驅動信號供給電路 W D R V 作為其驅動源，用使其產生昇壓電壓 V_{pp} 之 V_{pp} 產生 V_{pp} p u m p 作為其電源。

繼而，在第 4 圖詳細的表示在第 3 圖的感知增幅器電路。此感知增幅器電路在多處的部分與在於過去例所說明過的感知增幅器電路一致。感知增幅器電路 S / A 可以區分為左面補償部，左面選擇部，列閘極部，感知增幅器部，右面選擇部，右面補償部。左面補償部係以 N 通道 M O S 電晶體 Q 1，Q 2 及 Q 3 所構成，在信號 $S \phi E Q L$ 的控制的下方，補償至以 S U B L 供給左面位元線對 B L 1，/ B L 1 的 $1/2 V_{cc}$ 。信號 $S \phi E Q L$ 以聚合矽配線所形成，如後述與 M O S 電晶體 Q 1，Q 2 及 Q 3 的閘極電極共用，微細化係為有可能但須為較高阻抗。另外，S U B L 係以擴散層配線所形成，如後述，與 M O S 電晶體 Q 1 及 Q 2 的汲極電極共用，微細化係為可能但仍須為較高阻抗。為了補償這些高阻抗配線，所以與 $S \phi E Q L$ ，S U B L 配線平行而配置以金屬配線層所形成的 $\phi E Q L$ ，V B L，作為分歧線，在間隙 8 的區域設置兩者的接觸（即是作分路）。左面選擇部係以 N 通道 M O S 電晶體 Q 4 及 Q 5 所構成，在信號 ϕL 的控制的下面連接列閘極部及感知增幅器部與左面位元線對 B L 1，/ B L 1。列閘極部係以 N 通道 M O S 電晶體 Q 6 及 Q 7 所構成，在列選擇線 C S L 的控制的下面選擇

五、發明說明(9)

的連接位元線對與資料線對 $DQ, /DQ$ 。感知增幅器部係以 N 通道 MOS 電晶體 $Q8 \sim Q11$ 及 P 通道 MOS 電晶體 $Q12, Q13$ 所構成，N 通道感知增幅器控制線 $/SAN$ 在於從 $1/2 V_{cc}$ 下降至 $0V$ 之時刻朝 $0V$ 方向的感知位元線當中的“L”側之線，繼而，P 通道感知增幅器控制線 SAP 在於從 $1/2 V_{cc}$ 上昇至 V_{cc} 之時刻朝 V_{cc} 方向的感知位元線對的“H”側。特別是關於以列選擇線 CSL 所選擇的列之位元線對，係以 MOS 電晶體 $Q10$ 作急速的增幅動作。右側選擇部係以 N 通道 MOS 電晶體 $Q14$ 及 $Q15$ 所構成，在信號 ϕR 的控制的下面連接列閘極部及感知增幅器部與右面位元線對 $BL1', /BL1'$ 。右面補償部係以 N 通道 MOS 電晶體 $Q16, Q17$ 及 $Q18$ 所構成，在信號 $S\phi EQR$ 的控制的下面，補償至以 $SVBL$ 供給右面位元線對 $BL1', /BL1'$ 的 $1/2 V_{cc}$ 。信號 $S\phi EQR$ 係以聚合矽配線所形成，如後述與 MOS 電晶體 $Q16, Q17$ 及 $Q18$ 的閘極電極共用，微細化係為可能但必須是較高阻抗。另外， $SVBL$ 係如上述過以擴散層配線所形成，與 MOS 電晶體 $Q17, Q18$ 的汲極電極作用，微細化係為可能但仍必須較高阻抗。為了補償這些高阻抗配線，所以與 $S\phi EQR, SVBL$ 配線平行而配置以金屬配線層所形成的 $\phi EQR, VBL$ ，作為分歧線，在間隙 8 的區域設置兩者的接觸（即是作分路）。

在第 5 圖表示間隙 8 與其周邊的圖案。鄰接於位元線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(10)

對對 B L 2 , / B L 2 及位元線對 B L 3 , / B L 3 的端部 , 2 對位元線對 B L 1 , / B L 1 與 B L 4 , B L 4 , 進而在圍繞於感知增幅器列內的補償電路 (M O S 電晶體 Q 1 , Q 2 , Q 3 等) 的區域之間隙 8 內 , 被形成有必須較大的區域之金屬配線與聚合矽配線的接觸部 7 。在此接觸部 7 , 被連接有以 $0.7 \mu m$ 寬度的低阻抗金屬 (鋁或是鎢) 配線層所形成的 $\phi E Q L$ 與以 $0.35 \mu m$ 寬度的較高阻抗聚合矽配線層所形成的 $\phi E Q L$ 。以聚合矽配線層所形成的 S $\phi E Q L$ 係為與 M O S 電晶體 Q 1 , Q 2 及 Q 3 的閘極電極共用 , 且縱過記憶格陣列。然而 , 斜線為擴散層。接觸區域 7 不須要設置每個間隙 8 , 每隔 1 個設置間隙 8 亦可。此情況 , 關於空留間隙 8 , 用於後述的 V B L 的分路。

在第 6 圖表示間隙 8 與別的部位與其周邊的圖案圖。鄰接於位元線對 B L 6 , / B L 6 及位元線對 B L 7 , / B L 7 的端部 , 2 對的位元線對 B L 5 , / B L 5 與 B L 8 , / B L 8 , 進而在被圍繞於感知增幅器列內的補償電路 (M O S 電晶體 Q 7 , Q 2 , Q 3 等) 的區域之間隙 8 內 , 仍然被形成有必須較大區域的金屬配線與擴散層區域的接觸部 6 (當然 , 從擴散層區域至一次聚合矽層引出電極 , 連接此聚合矽層與金屬配線層亦有可能。此情況 , 與用第 4 圖說明過的情況相同) 。在此接觸部 6 , 被連接有以 $0.7 \mu m$ 寬度的低阻抗金屬配線層所形成的 V B L 與以 $0.35 \mu m$ 寬度的較高阻抗擴散層配線所形

五、發明說明 (11)

成之 S V B L。以擴散層所形成的 S V B L 係為與 M O S 電晶體 Q 7 及 Q 2 的汲極電極共用，且縱過記憶格陣列。然而，斜線部為擴散層。

以上用第 5，6 圖表示在間隙 8 的分流之樣子。當然用作為其他配線的分流部亦為可能，若為共用感知增幅器構造時，因為補償電路連至感知增幅器電路 S / A 的兩端，所以以上述的構成為非常的適切。

如此樣，用本發明的位元線・感知增幅器配置，因為可以在位元線對・感知增幅器間空留一定的間隙，所以可以確保相同信號線的連接區域。但是，與過去的共用感知增幅器構造相同，位元線配置係不會降低最大充填構造（即是在每 2 位元線對配置 1 感知增幅器為可能）。此結果，形成為能不增大晶片面積而達成補償信號線等的低阻抗化。

繼而，參照第 7 圖說明上述實施例的變形例。第 7（a）圖係為概略的表示上述實施例的位元線・感知增幅器配置。第 7（b）圖係為此變形例。以此變形例，與實施例相同，取其在各感知增幅器電路 S / A 左右的分別被連接有 2 對位元線對之共用感知增幅器構造，但與實施例相異，每 4 感知增幅器為整束的上面以鉅齒狀的配列構成記憶格陣列。詳細的說明此構成，從位元線對直線的感知增幅器之位置，以過去例所說明過之例則形成為右・右・左・左・右・右……但以變形例，則形成為右・右・右・右・左・左・左・左・右・右・右・右……此結果，

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(12)

在 4 條的位元線對與感知增幅器列之間分別被形成有一定的間隙。在於變形例所被形成的間隙，與上述的實施例作比較係為較大的面積。此結果，取其相同信號線的接觸（分路）之際，在於演進為聚合矽間隔的微細化之 256 M 位元 D R A M 等的時代形成為有利。使其更演進第（b）圖，以每 8 位元線對為整束之例也被考慮。

然而在不脫離本發明的主旨之範圍內當然種種的變更皆有可能。

〔發明之效果〕

如以所說明過，以本發明，形成為能提供，不會減低最大充填構造的位元線配置，且達成補償信號線等的低阻抗之動態型半導體記憶裝置。

〔圖面之簡單說明〕

第 1 圖係為表示本發明的實施例之平面圖。

第 2 圖係為詳細的表示本發明的實施例之平面圖。

第 3 圖係為更詳細的表示本發明的實施例之平面圖。

第 4 圖係為表示本發明感知增幅器的詳情之電路構成圖。

第 5 圖係為表示本發明的間隙部周圍之圖案之平面圖。

第 6 圖係為表示本發明的間隙部周圍之圖案之別的平面圖。

五、發明說明(13)

✓第7圖係為與實施例比較而表示本發明的變形例之平面圖。

✓第8圖係為表示過去例的動態型半導體記憶裝置的磁心部之平面圖。

✓第9圖係為表示過去例的感知增幅器電路的詳情之電路構成圖。

[圖號說明]

8：間隙 S / A：感知增幅器電路

B L， / B L：位元線對

S/A Array：感知增幅器陣列

Cell Array：記憶格陣列

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱：半導體記憶裝置)

本發明的動態型半導體記憶裝置，係具備：

含有半行而被配設之第1，第2，第3及第4的位元線對之格陣列，及鄰接於格陣列的一端側而被配置，分別被連接至第1位元線對及第2位元線對之第1及第2感知電路，及鄰接於格陣列的他端側而被配置，分別被連接至第3位元線對及第4位元線對之第3及第4感知電路，並且在於第1及第2位元線對的他端側及其第3及第4位元線對的一端側所被形成的區域連接第1信號線與第2信號線。

本發明的動態型半導體記憶裝置，係不減低最大充填構造的位元線配置，可以達成補償信號線等的低阻抗化。

英文發明摘要(發明之名稱：)

六、申請專利範圍

第 85101269 號 專 利 申 請 案

中 文 申 請 專 利 範 圍 修 正 本

民 國 85 年 8 月 修 正

1. 一種半導體記憶裝置其特徵為具備：

格陣列含有被配置在列的 $2N$ ($N \geq 2$) 位元線對，
每條位元線對被連接至複數動態型記憶體，及

第 1 感知增幅器陣列係以 N 第 1 感知增幅器電路被配置在一側的第 1 行之格陣列所構成，每個感知增幅器電路被連接至位元線對的一個 N ，及

第 2 感知增幅器陣列係以 N 第 2 感知增幅器電路被配置在另側的第 2 行之格陣列所構成，每個感知增幅器電路被連接至位元線對的另一個 N ；

另外，位元線對係為以每 M ($M \geq 2$) 位元線區分為第 1 及第 2 感知增幅器電路。

2. 如申請專利範圍第 1 項之半導體記憶裝置，其中進而，具備在位元線對 M 的末端與第 1 或第 2 感知增幅器陣列之間的範圍，在於該範圍被分歧為第 1 信號線及第 2 信號線。

3. 如申請專利範圍第 2 項之半導體記憶裝置，其中每一感知增幅器電路含有補償電路係以第 1，第 2 及第 3 MOS 電晶體所構成，補償電路係為補償至相於位元線對之中間電位，第 1 信號線係為連接所控制的第 1，第 2 及第 3 MOS 電晶體與一部分的閘極，另外第 2 信號線係為分歧線連接所供給的控制信號至第 1 信號線。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

4. 如申請專利範圍第3項之半導體記憶裝置，其中第1信號線係以聚合矽配線所形成，第2信號線係以金屬配線所形成。

5. 如申請專利範圍第2項之半導體記憶裝置，其中每一感知增幅器電路含有以中間電位補償相當於位元線對的補償電路，第1信號線係為以配線層將中間電位供給至補償電路，及第2信號線係為以分歧配線層將中間中位供應至第1信號線。

6. 如申請專利範圍第5項之半導體記憶裝置，其中第1信號線係以複數擴散層配線所形成，第2信號線係以金屬線所形成。

7. 如申請專利範圍第1項之半導體記憶裝置，其中M為2。

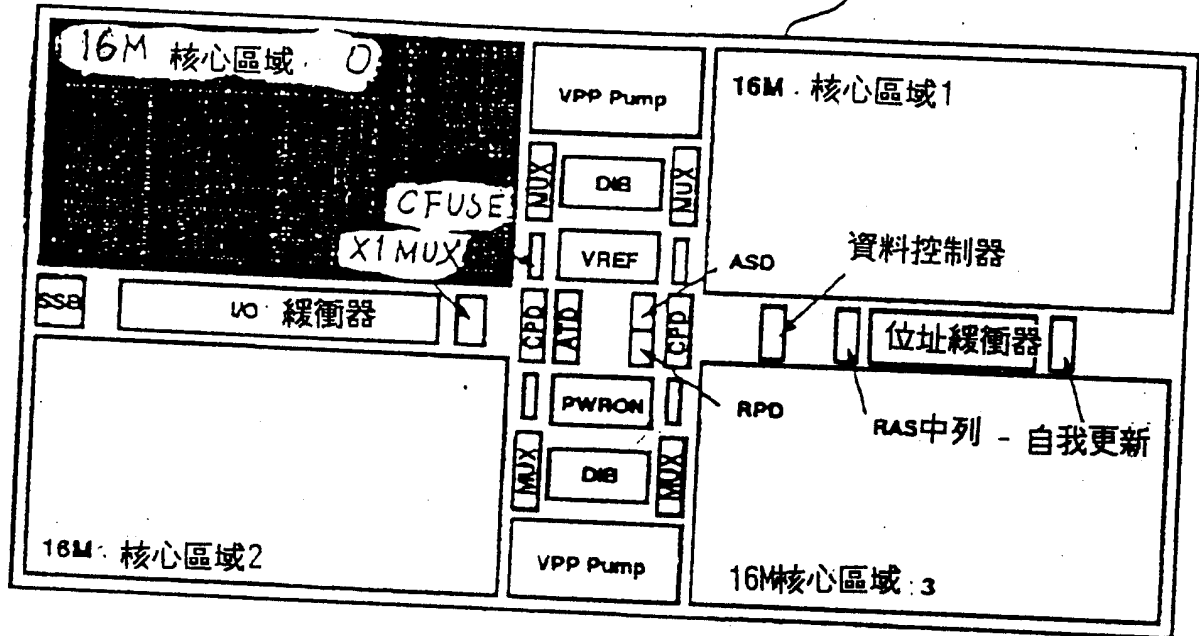
8. 如申請專利範圍第1項之半導體記憶裝置，其中M為4。

9. 如申請專利範圍第1項之半導體記憶裝置，其中位元線對橫過鄰近的感知增幅器電路之尾端而形成間隙的區域，在該區域第1信號線及第2信號線被分歧，以等間隙的配置感知增幅器電路。

724752

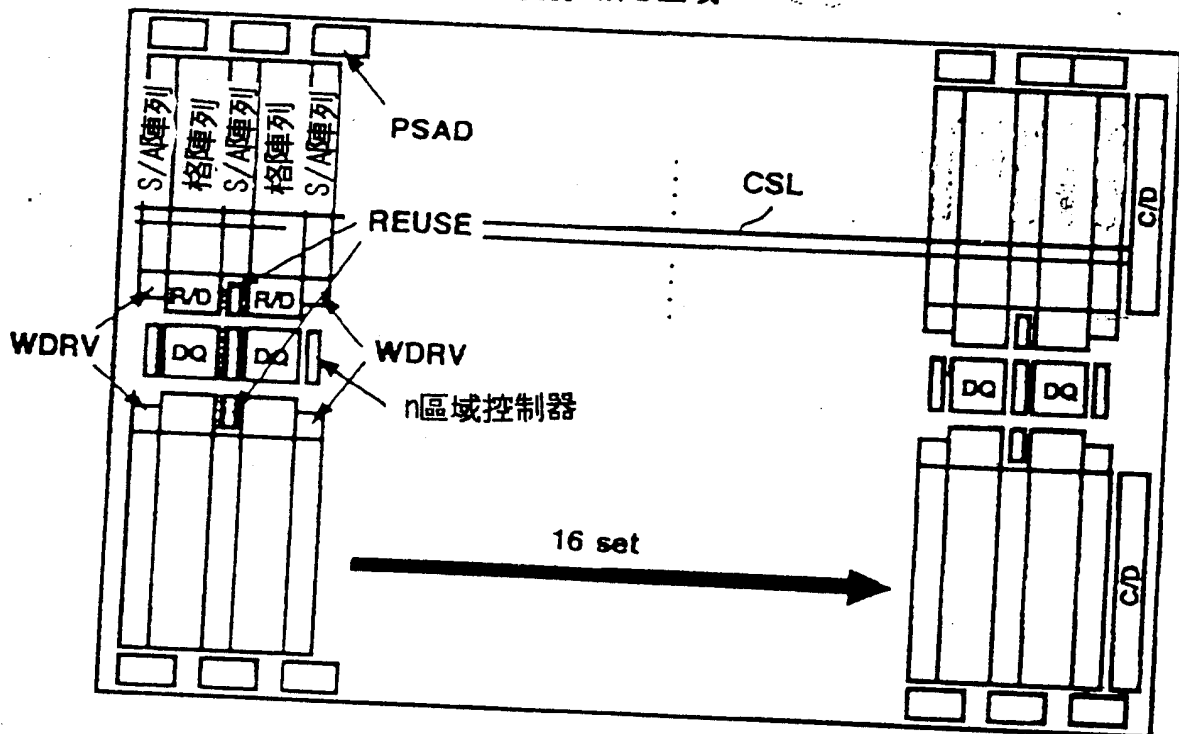
Floor Plan

9

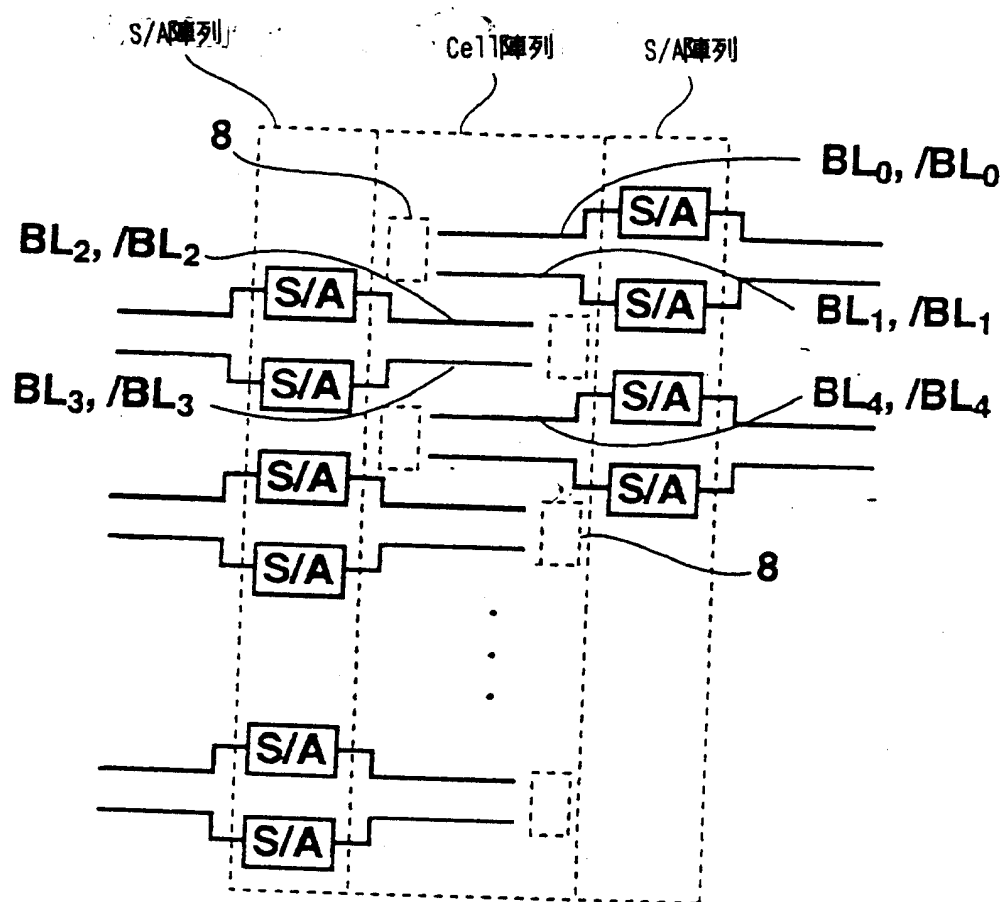


第 1 圖

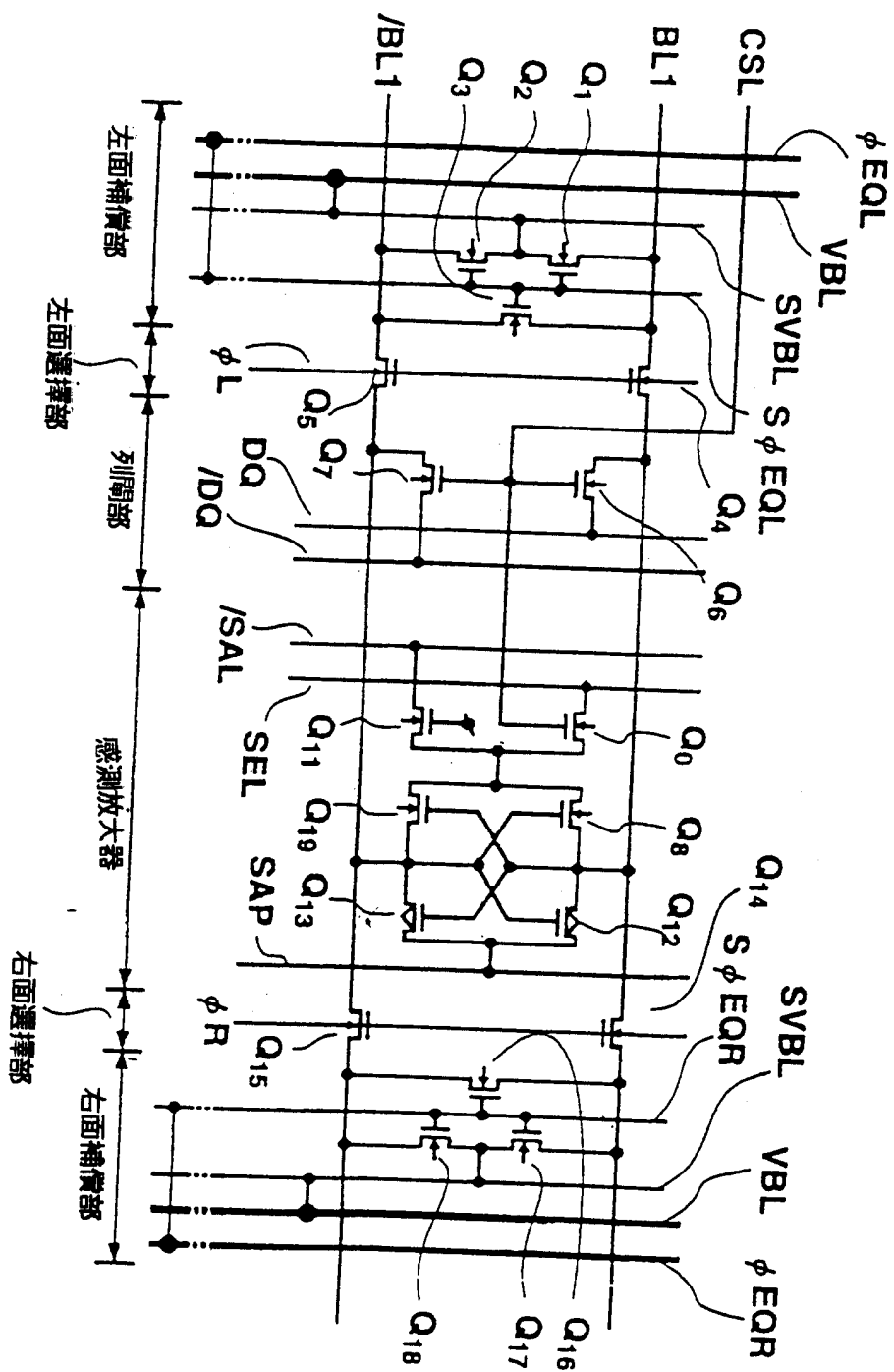
16M 核心區域



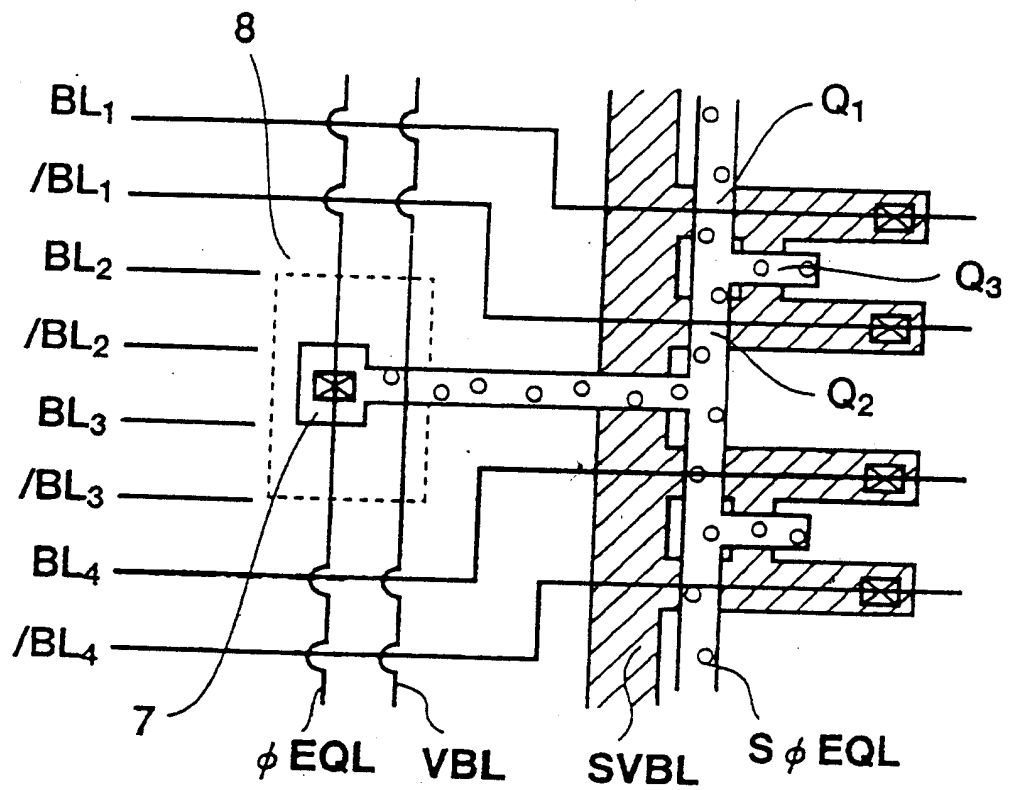
第 2 圖



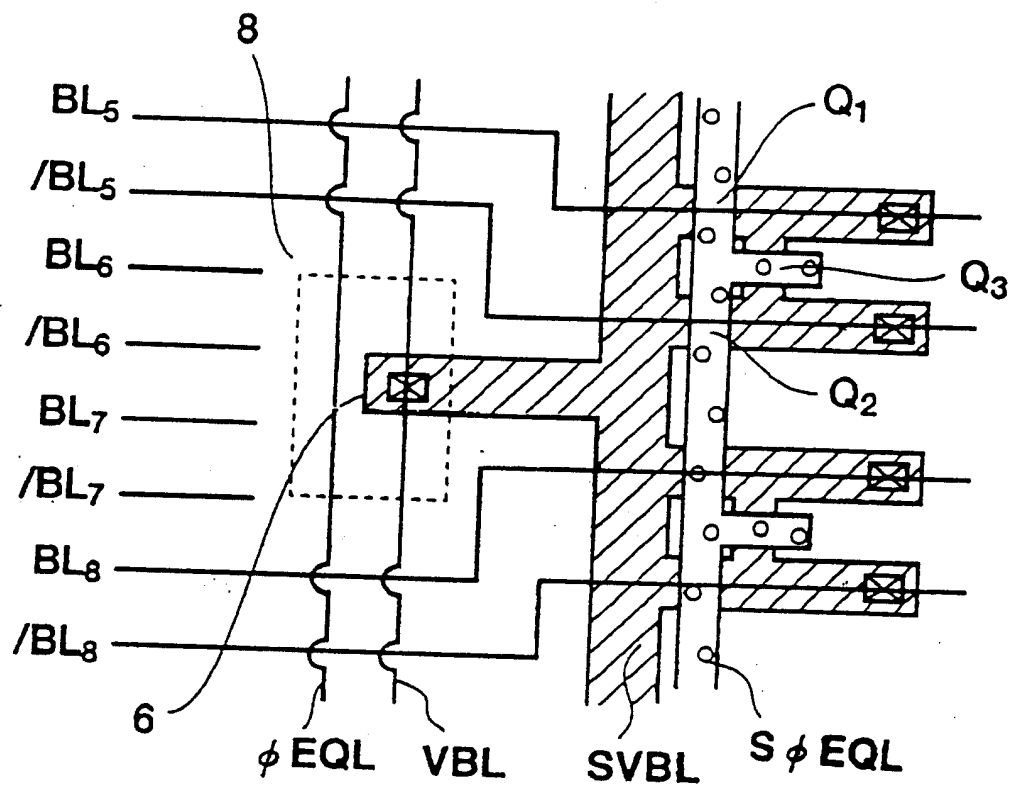
第 3 圖



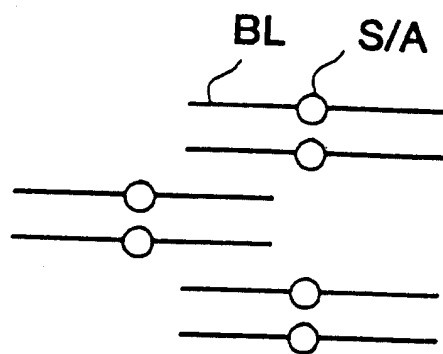
第 4 圖



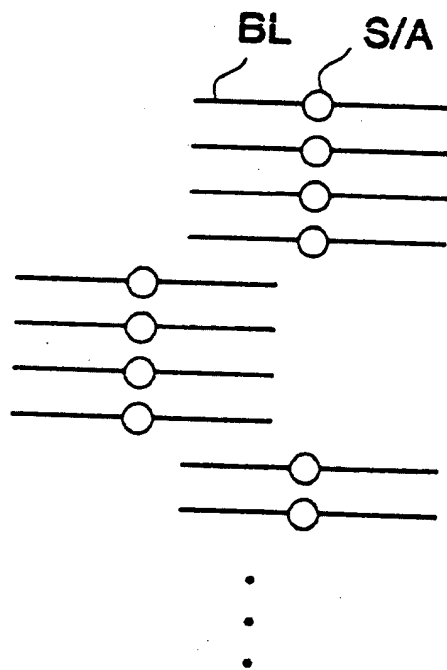
第 5 圖



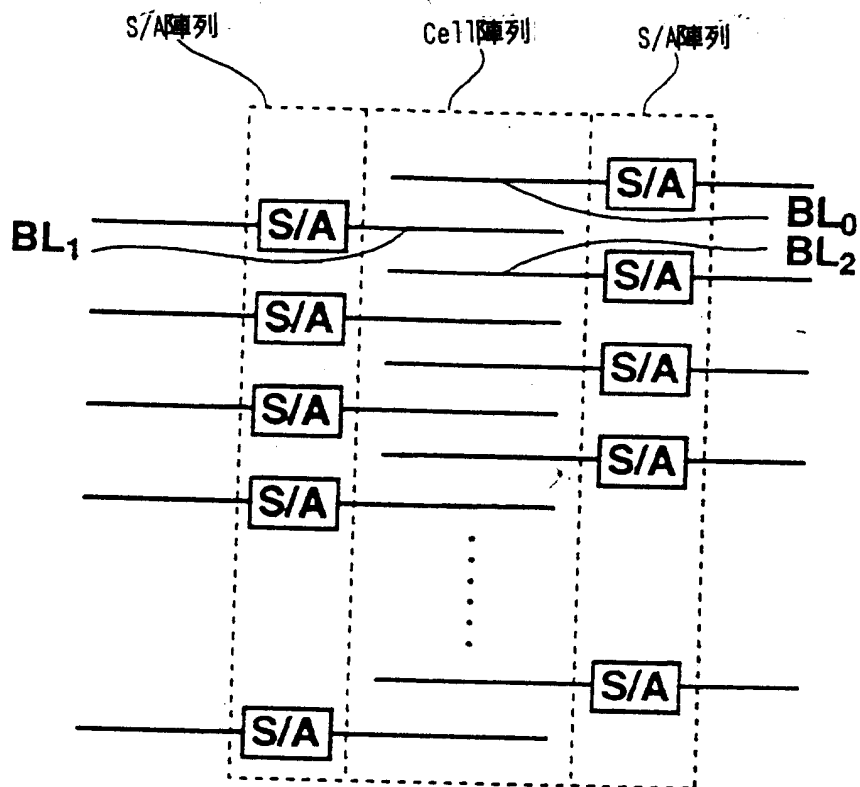
第 6 圖



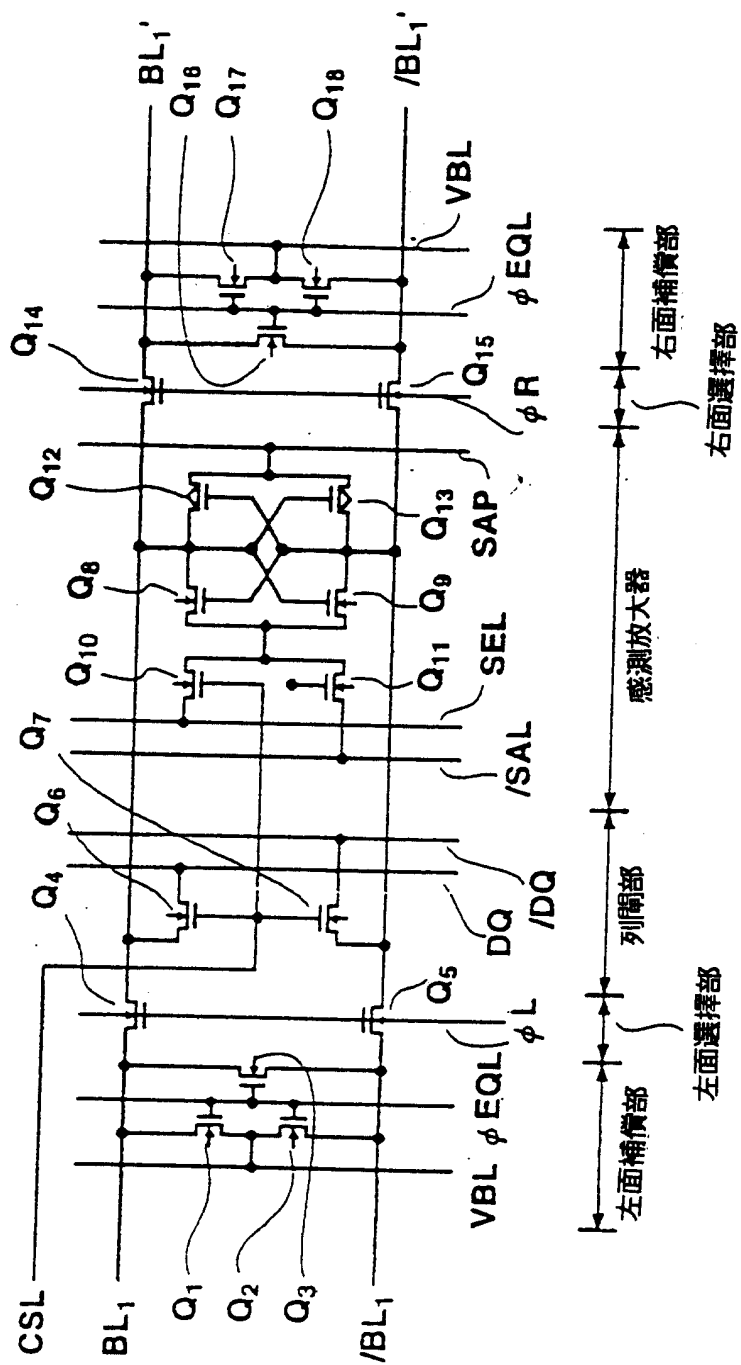
第 7 圖 A



第 7 圖 B



第 8 圖



第9圖