

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

89103

Patent dodatkowy
do patentu _____

Zgłoszono: 12.01.73 (P. 160242)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 01.08.74

Opis patentowy opublikowano: 30.04.1977

MKP H03k 23/26

Int. Cl.².
H03K 23/26

CZYTELNIKA

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Twórcy wynalazku: Urszula Majewska, Antoni Kleniewski

Uprawniony z patentu: Instytut Łączności, Warszawa (Polska)

Układ dekady zliczającej w kodzie binarnym

Przedmiotem wynalazku jest układ dekady zliczającej w kodzie binarnym oparty na elementach logicznych, ze zmodyfikowanym obwodem kasowania impulsów nadmiarowych.

Znane dotychczas dekady zliczające w kodzie binarnym zawierają układ kasowania impulsów nadmiarowych, w którym układ koincydencyjny stanowi element logiczny typu NOR przy czym wyjście elementu NOR jest połączone bezpośrednio z wejściami zerującymi poszczególnych przerzutników dekady zliczającej. Układ ten z powodu istniejących opóźnień wprowadzonych przez poszczególne dekady, związanych z nieidentycznością parametrów przełączania stwarza możliwość powstania zjawiska wyścigu między sygnałami na wyjściach przerzutników dekady a sygnałem wyjściowym obwodu koincydencyjnego układu kasowania co jest przyczyną zanikania impulsu zerującego jeszcze przed wyzerowaniem wszystkich przerzutników, powodując zliczenie impulsów od ustalonego przypadkowo stanu. Możliwość pojawienia się opisanych wyżej przekłamań w procesie zliczania jest przyczyną niskiej niezawodności dekady zliczającej w kodzie binarnym, co stanowi jej istotną wadę.

Istota wynalazku polega na wyposażeniu układu kasowania impulsów nadmiarowych w przerzutnik statyczny, którego wejście lewe jest połączone z wejściem impulsów zliczanych pierwszego przerzutnika dekady a prawe wejście przerzutnika statycznego RS jest połączone z pierwszym wyjściem elementu NOR stanowiącego układ koincydencji, przy czym wyjście zanegowane przerzutnika statycznego RS* jest połączone z wejściami zerującymi wszystkich przerzutników dekady. Ponadto pierwsze wejście elementu NOR stanowiącego układ koincydencji jest połączone z wyjściem zanegowanym drugiego przerzutnika dekady a drugie wejście elementu NOR jest połączone z wyjściem zanegowanym czwartego przerzutnika.

Zastosowanie w układzie kasowania impulsów nadmiarowych przerzutnika statycznego połączonego według wynalazku z elementem NOR i przerzutnikami dekady, eliminuje poprzez podtrzymywanie impulsu zerującego możliwość zniknięcia impulsu zerującego przed wyzerowaniem przerzutników dekady a tym samym możliwość powstania przekłamań w zliczaniu.

Przedmiot wynalazku został przedstawiony w przykładzie wykonania na rysunku, gdzie fig. 1 przedstawia schemat logiczny przerzutnika T, fig. 2 — symbol graficzny przerzutnika T, fig. 3 — schemat układu dekady zliczającej, składającej się z przerzutników typu T i zmodyfikowanego układu kasowania.

Konstrukcja dekady zliczającej, zbudowanej według wynalazku opiera się na elementach logicznych NOR. Przerzutniki P1, P2, P3, P4, dekady są połączone między sobą szeregowo w ten sposób, że wyjście proste Q1 pierwszego przerzutnika P1 stanowi wejście T drugiego przerzutnika P2, wyjście proste Q2 drugiego przerzutnika P2 stanowi wejście T trzeciego przerzutnika P3 zaś wyjście proste Q3 trzeciego przerzutnika P3 stanowi wejście T czwartego przerzutnika P4. Do zespołu przerzutników układ kasowania włączony jest w ten sposób, że pierwsze wejście 1 elementu NOR połączone jest z wejściem zanegowanym Q2 drugiego przerzutnika P2 natomiast drugie 2 wejście elementu NOR połączone jest z wyjściem zanegowanym Q4 czwartego przerzutnika P4. Wyjście elementu NOR połączone jest z wejściem prawym R przerzutnika statycznego RS zaś wejście lewe S przerzutnika statycznego RS połączone jest z wejściem impulsów zliczanych T, przerzutnika P1, które jednocześnie stanowi wejście WE pozostałych przerzutników dekady P1, P2, P3, P4.

Dekada zliczająca sterowana jest dodatnimi impulsami jedynek logicznej ale przed rozpoczęciem liczenia musi być wyzerowana przez chwilowe podanie jedynki logicznej na wejście R1 przerzutnika RS. Impulsy zliczane są podawane na wejście T przerzutnika P1. Pierwszy impuls zmienia stan pierwszego przerzutnika P1 na przeciwny to znaczy ze stanu 01 na 10. Drugi impuls powoduje zmianę stanów przerzutników P1 i P2 na przeciwny. Kolejne dziewięć impulsów powoduje zmianę stanów przerzutników według znanego schematu zliczania w kodzie binarnym. Dziesiąty impuls wejściowy zmieni stan pierwszego i drugiego przerzutnika P1 i P2 na przeciwny. Zmiana stanu przerzutnika P2 a tym samym pojawienie się na wejściu zanegowanym Q2 przerzutnika P2 sygnału zera logicznego powoduje spełnienie negacji sumy logicznej. Sytuacja, w której $Q2 = 0$ oraz $Q4 = 0$ pojawia się tylko raz w całym cyklu liczenia, właśnie po dziesiątym impulsie zliczanym. W wyniku spełnienia negacji sumy logicznej na wejście R przerzutnika RS podany jest sygnał jedynki logicznej, która ustawia ten przerzutnik w pozycji 10 czyli $P = 1$, $P = 0$. Jedynka znajdująca się na wyjściu P wprowadzana jest na wejścia zerujące R przerzutników P1, P2, P3, P4. Przerzutniki są zerowane to znaczy sprowadzone do pozycji wyjściowej. Czas zerowania trwa do momentu pojawienia się na wejściu T przerzutnika P1 kolejnego impulsu zliczanego, który wprowadzony jest także na wejście S przerzutnika RS powodując zmianę jego stanu na przeciwny to jest na 01. Sygnał zerujący zostaje więc zdjęty z wejść R, dekada zostaje odblokowana i rozpoczyna nowy cykl liczenia.

Zastrzeżenie patentowe

Układ dekady zliczającej w kodzie binarnym składający się z czterech przerzutników typu T połączonych ze sobą szeregowo i z układu kasowania, w którym układ koincydencji jest w postaci elementu logicznego NOR, z n a m i e n n y t y m, że układ kasowania zawiera przerzutnik statyczny (RS) którego wejście lewe (S) jest połączone z wejściem impulsów zliczanych (T) pierwszego przerzutnika dekady (P1) a wejście prawe (R) przerzutnika statycznego (RS) jest połączone z pierwszym wyjściem elementu (NOR) przy czym wyjście zanegowane (P) przerzutnika statycznego (RS) jest połączone z wejściami zerującymi (R) przerzutników (P1) i (P2), (P3), (P4) ponadto pierwsze wejście elementu (NOR) jest połączone z wyjściem zanegowanym (Q2) drugiego przerzutnika dekady (P2) a drugie wejście elementu (NOR) jest połączone z wyjściem zanegowanym (Q4) czwartego przerzutnika dekady (P4).

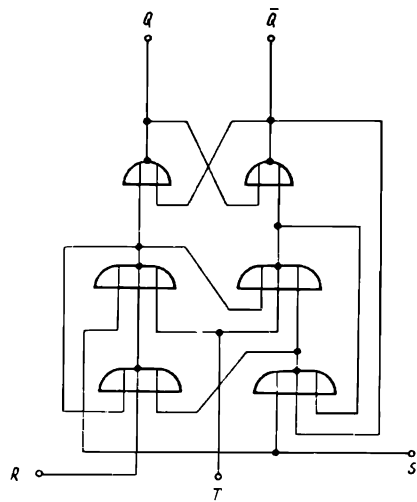


Fig. 1

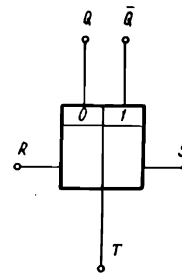


Fig. 2.

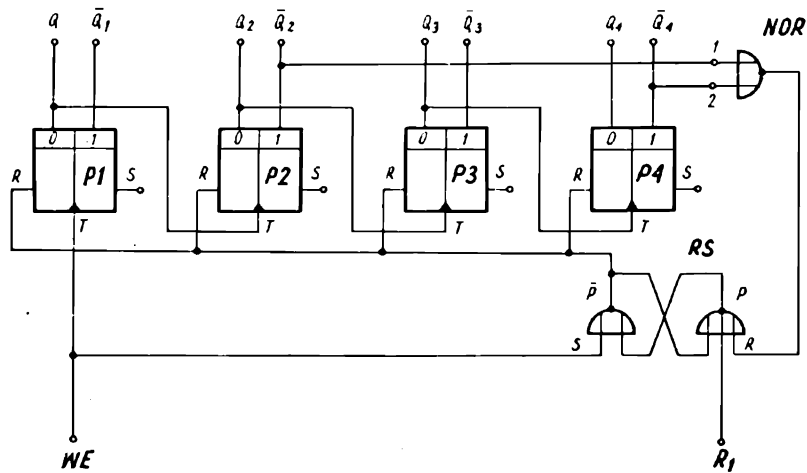


Fig. 3.

