



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I584189 B

(45)公告日：中華民國 106 (2017) 年 05 月 21 日

(21)申請案號：101109526

(22)申請日：中華民國 101 (2012) 年 03 月 20 日

(51)Int. Cl. : G06F5/10 (2006.01)

G06F12/06 (2006.01)

(71)申請人：群聯電子股份有限公司 (中華民國) PHISON ELECTRONICS CORP. (TW)

苗栗縣竹南鎮群義路 1 號

(72)發明人：陳慶聰 TAN, KHENG-CHONG (MY)；蔡來福 CHUA, LAI-HOCK (MY)

(74)代理人：詹銘文；葉璟宗

(56)參考文獻：

TW 201118569A

US 2004/0111583A1

審查人員：李京叡

申請專利範圍項數：18 項 圖式數：20 共 77 頁

(54)名稱

記憶體控制器、記憶體儲存裝置與資料寫入方法

MEMORY CONTROLLER, MEMORY STORAGE DEVICE, AND METHOD FOR WRITING DATA

(57)摘要

一種資料寫入方法，用於具有多個實體單元集合的記憶體儲存裝置，其中每個實體單元集合具有多個下實體單元與上實體單元。此方法包括：將實體單元集合分割為具資料區與閒置區的儲存區；配置多個邏輯單元以映射資料區的實體單元集合；且從主機系統中接收更新資料。本方法還包括：提取從閒置區中提取多個實體單元集合作為緩衝實體單元集合；僅使用各緩衝實體單元集合的一部份來寫入此更新資料；以及使用複製程序將更新資料從緩衝實體單元集合搬移至儲存區。藉此，本方法可有效地縮短執行寫入指令的時間並延長記憶體儲存裝置的壽命。

A data writing method for a memory storage device having physical unit unions is provided, wherein each of the physical unit unions includes upper physical units and lower physical units. The method includes: partitioning the physical unit unions into a storage area including a data area and a spare area; configuring logical units for mapping to the physical unit unions of the data area; and receiving update data from a host system. The method also includes: selecting serveral physical unit unions from the spare area as buffer physical unit unions; writing the update data only to a part of each of the buffer physical unit unions; and moving the update data from buffer physical unit unions to the storage area by using a copy procedure. Therefore, the time of performing a write command can be shorten and the lifespan of the memory storage device can be prolonged effectively.

指定代表圖：

符號簡單說明：

S1102、S1104、
S1106、S1108、
S1110、S1112、
S1114、S1116 . . .
資料寫入方法的步驟

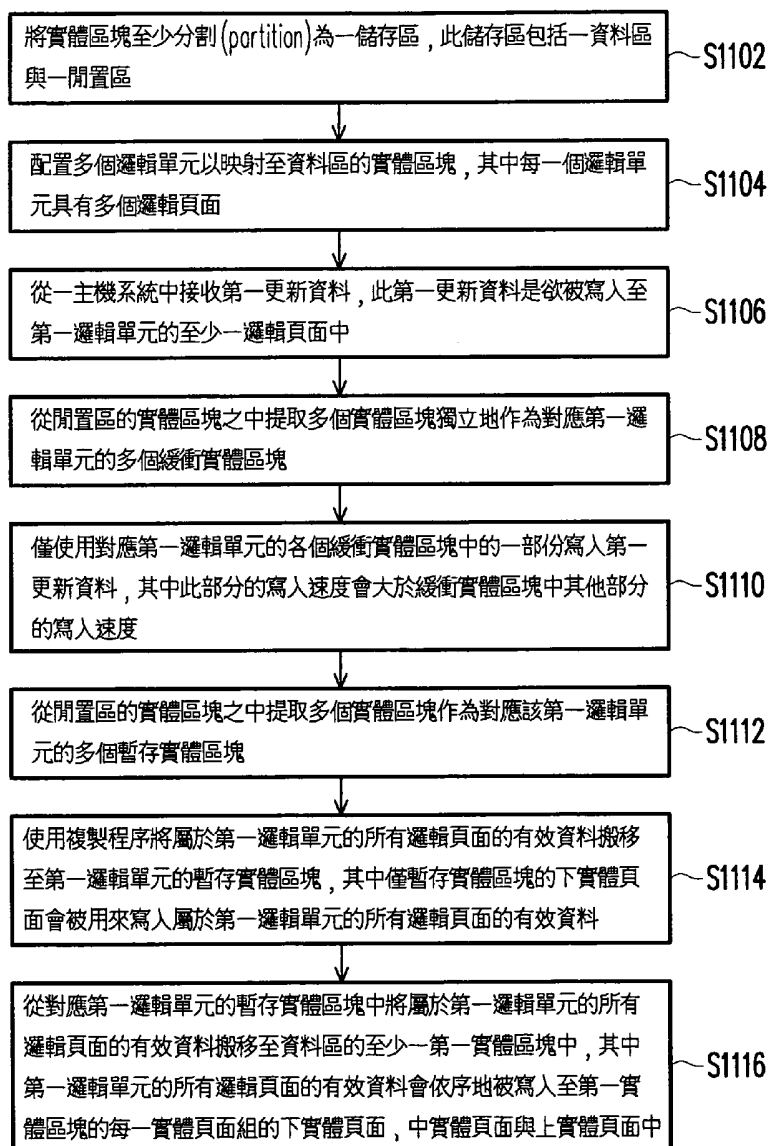


圖 11

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種用於可複寫式非揮性記憶體的資料寫入方法以及使用此方法的記憶體控制器和記憶體儲存裝置。

【先前技術】

數位相機、手機與 MP3 在這幾年來的成長十分迅速，使得消費者對儲存媒體的需求也急速增加。由於可複寫式非揮發性記憶體（rewritable non-volatile memory）具有資料非揮發性、省電、體積小、無機械結構、讀寫速度快等特性，最適於可攜式電子產品，例如筆記型電腦。固態硬碟就是一種以快閃記憶體作為儲存媒體的儲存裝置。因此，近年快閃記憶體產業成為電子產業中相當熱門的一環。

依據每個記憶胞可儲存的位元數，反及（NAND）型快閃記憶體可區分為單階儲存單元（Single Level Cell, SLC）NAND 型快閃記憶體、多階儲存單元（Multi Level Cell, MLC）NAND 型快閃記憶體與三階儲存單元（Trinary Level Cell, TLC）NAND 型快閃記憶體，其中 SLC NAND 型快閃記憶體的每個記憶胞可儲存 1 個位元的資料（即，“1”與“0”），MLC NAND 型快閃記憶體的每個記憶胞可儲存 2 個位元的資料並且 TLC NAND 型快閃記憶體的每個記憶胞可儲存 3 個位元的資料。

在 NAND 型快閃記憶體中，實體頁面是由排列在同一

條字元線上的數個記憶胞所組成。由於 SLC NAND 型快閃記憶體的每個記憶胞可儲存 1 個位元的資料，因此，在 SLC NAND 型快閃記憶體中，排列在同一條字元線上的數個記憶胞是對應一個實體頁面。

相對於 SLC NAND 型快閃記憶體來說，MLC NAND 型快閃記憶體的每個記憶胞的浮動閘儲存層可儲存 2 個位元的資料，其中每一個儲存狀態（即，“11”、“10”、“01”與“00”）包括最低有效位元（Least Significant Bit, LSB）以及最高有效位元（Most Significant Bit, MSB）。例如，儲存狀態中從左側算起之第 1 個位元的值為 LSB，而從左側算起之第 2 個位元的值為 MSB。因此，排列在同一條字元線上的數個記憶胞可組成 2 個實體頁面，其中由此些記憶胞之 LSB 所組成的實體頁面稱為下實體頁面（low physical page），並且由此些記憶胞之 MSB 所組成的實體頁面稱為上實體頁面（upper physical page）。特別是，下實體頁面的寫入速度會快於上實體頁面的寫入速度，並且當程式化上實體頁面發生錯誤時，下實體頁面所儲存之資料亦可能因此遺失。

類似地，在 TLC NAND 型快閃記憶體中，的每個記憶胞可儲存 3 個位元的資料，其中每一個儲存狀態（即，“111”、“110”、“101”、“100”、“011”、“010”、“001”與“000”）包括每一個儲存狀態包括左側算起之第 1 個位元的 LSB、從左側算起之第 2 個位元的中間有效位元（Center Significant Bit, CSB）以及從左側算起之第 3 個位元的

MSB。因此，排列在同一條字元線上的數個記憶胞可組成 3 個實體頁面，其中由此些記憶胞之 LSB 所組成的實體頁面稱為下實體頁面，由此些記憶胞之 CSB 所組成的實體頁面稱為中實體頁面，並且由此些記憶胞之 MSB 所組成的實體頁面稱為上實體頁面。特別是，對排列在同一條字元線上的數個記憶胞進行程式化時，僅能在程式化下實體頁面以後或者是在程式化下實體頁面、中實體頁面與上實體頁面之後才進行讀取，否則所儲存之資料可能會遺失。除此之外，快閃記憶體的抹除次數會有一上限，若抹除次數到達此上限則無法繼續使用。並且，若選擇程式化下實體頁面、中實體頁面與上實體頁面，則快閃記憶體的抹除次數的上限會較少，也就是說快閃記憶體的使用壽命會較短。

另一方面，在快閃記憶體儲存系統中，數個實體頁面會組成一個實體區塊，其中在實體區塊中寫入資料時必須依據實體頁面的排列順序依序地寫入資料。此外，已被寫入資料之實體頁面必需先被抹除後才能再次用於寫入資料，並且實體區塊為抹除之最小單位。因此，一般來說，實體區塊為管理快閃記憶體的最小單位。例如，倘若一個實體區塊中僅部分頁面的資料被更新時，此實體區塊中的有效資料必須被搬移至另一個空的實體區塊，此實體區塊才能被執行抹除操作。在此，搬移有效資料的操作稱為資料合併運作。

特別是，為了能夠以平行寫入模式(parallel write mode)同時對多個實體區塊來進行寫入以提升寫入速度，多個實

體區塊會被分組為一個實體單元群來管理。在以實體單元群為管理單位的快閃記憶體儲存系統中，進行上述資料合併操作亦是以實體單元群為單位。具體來說，倘若一個實體單元群中僅部分頁面的資料被更新時，此實體單元群中的有效資料必須被搬移至另一個空的實體單元群，此實體單元群才能被執行抹除操作。由於一個實體單元群是由多個實體區塊所組成，因此，以實體單元群為單位進行資料合併操作需要花費更長的時間，並且大幅增加執行資料寫入所需的時間。

此外，在以實體單元群為管理單位之快閃記憶體儲存系統中，若主機系統頻繁地寫入小資料(即，資料量小於一個實體單元群之容量的資料)時，實體區塊的抹除次數會無謂地增加。具體來說，倘若主機系統僅更新一個實體單元群中部分實體區塊內的資料時，為了執行上述資料合併操作，未被更新之實體區塊內的資料仍被需被搬移至另一個實體單元群的實體區塊而被進行抹除操作，因此，未被更新之實體區塊亦會耗損。

基於上述，如何增加快閃記憶體模組的壽命，並且同時兼顧快閃記憶體儲存系統的寫入速度，為此領域技術人員所關心的議題。

【發明內容】

本發明一範例實施例提出一種資料寫入方法，記憶體控制器以及記憶體儲存裝置，能夠有效地增加資料寫入的速度並且延長記憶體儲存裝置的壽命。

本發明一範例實施例提出一種用於記憶體儲存裝置的資料寫入方法，其中此記憶體儲存裝置包括可複寫式非揮發性記憶體模組，此可複寫式非揮發性記憶體模組具有多個實體單元集合，每一個實體單元集合具有多個實體單元組，每一個實體單元組至少具有一下實體單元與一上實體單元並且寫入資料至下實體單元的速度會快於寫入資料至上實體單元的速度。此資料寫入方法包括：將上述的實體單元集合至少分割(partition)為一儲存區，其中該儲存區包括一資料區與一閒置區；並且配置多個邏輯單元以映射至資料區的實體單元集合，其中每一個邏輯單元具有多個邏輯頁面。此資料寫入方法還包括：從主機系統中接收第一更新資料，其中此第一更新資料是欲被寫入至邏輯單元之中的第一邏輯單元的至少一邏輯頁面中。本資料寫入方法更包括：從閒置區的實體單元集合之中提取多個實體單元集合獨立地作為對應第一邏輯單元的多個緩衝實體單元集合；僅使用對應該第一邏輯單元的各緩衝實體單元集合的一部份來寫入第一更新資料，其中所寫入部分的一寫入速度大於緩衝實體單元集合中其他部分的寫入速度；以及使用一複製程序將第一更新資料從對應第一邏輯單元的緩衝實體單元集合搬移至儲存區。

在一範例實施例中，上述使用複製程序將第一更新資料從對應第一邏輯單元的緩衝實體單元集合搬移至儲存區的步驟包括：從閒置區的實體單元集合之中提取至少一個實體單元集合作為對應第一邏輯單元的替換實體單元集

合；以及使用複製程序將屬於第一邏輯單元的所有邏輯頁面的有效資料搬移至第一邏輯單元的替換實體單元集合，其中第一邏輯單元的所有邏輯頁面的有效資料會依序地被寫入至此替換實體單元集合的每一實體單元組的下實體單元與上實體單元中。

在一範例實施例中，上述每一個實體單元組更具有一中實體單元，並且寫入資料至下實體單元的速度快於寫入資料至中實體單元的速度。上述使用複製程序將第一更新資料從對應第一邏輯單元的緩衝實體單元集合搬移至儲存區的步驟包括：從閒置區的實體單元集合之中提取多個實體單元集合作為對應第一邏輯單元的多個暫存實體單元集合；使用複製程序將屬於第一邏輯單元的所有邏輯頁面的有效資料搬移至第一邏輯單元的暫存實體單元集合，其中只有第一邏輯單元的暫存實體單元集合的下實體單元會被用來寫入屬於第一邏輯單元的所有邏輯頁面的有效資料；以及從對應第一邏輯單元的暫存實體單元集合中將屬於第一邏輯單元的所有邏輯頁面的有效資料搬移至資料區的實體單元集合之中的至少一第一實體單元集合中，其中第一邏輯單元的所有邏輯頁面的有效資料會依序地被寫入至第一實體單元集合的每一實體單元組的下實體單元、中實體單元與上實體單元中。

在一範例實施例中，上述資料寫入方法更包括：在使用複製程序將第一更新資料從對應第一邏輯單元的緩衝實體單元集合搬移至儲存區的同時，從主機系統中接收第二更新資料。

在一範例實施例中，上述資料寫入方法更包括：從主機系統中接收第三更新資料，其中第三更新資料是欲被寫入至上述邏輯單元之中的一第二邏輯單元的至少一邏輯頁面中；從閒置區的實體單元集合之中提取多個實體單元集合，這些提取的實體單元集合是獨立地作為對應第二邏輯單元的多個緩衝實體單元集合。在此範例實施例中，資料寫入方法還包括：僅使用對應該第二邏輯單元的緩衝實體單元集合中寫入速度較大的一部份來寫入第三更新資料；以及，使用複製程序將第三更新資料從對應第二邏輯單元的緩衝實體單元集合搬移至儲存區。

在一範例實施例中，上述使用複製程序將第一更新資料從對應第一邏輯單元的緩衝實體單元集合搬移至儲存區的步驟和使用複製程序將第三更新資料從對應第二邏輯單元的緩衝實體單元集合搬移至儲存區的步驟是以一平行方式同時被執行。

以另外一個角度來說，本發明一範例實施例提出一種記憶體儲存裝置，其包括可複寫式非揮發性記憶體模組、連接器以及記憶體控制器。此可複寫式非揮發性記憶體模組具有多個實體單元集合，每一個實體單元集合則具有多個實體單元組，並且每一個實體單元組至少具有一下實體單元與一上實體單元，其中寫入資料至下實體單元的速度快於寫入資料至上實體單元的速度。連接器是用以耦接至主機系統。記憶體控制器是用以耦接至連接器與可複寫式非揮發性記憶體模組。記憶體控制器會將實體單元集合至

少分割(partition)為一儲存區，其中該儲存區包括一資料區與一閒置區。記憶體控制器也會配置多個邏輯單元以映射資料區的實體單元集合，其中每一個邏輯單元具有多個邏輯頁面。記憶體控制器還會從主機系統中接收第一更新資料，其中此第一更新資料是欲被寫入至上述邏輯單元之中的一第一邏輯單元的至少一邏輯頁面中。並且，記憶體控制器會從閒置區的實體單元集合之中提取多個實體單元集合獨立地作為對應第一邏輯單元的多個緩衝實體單元集合。記憶體控制器僅使用對應第一邏輯單元的緩衝實體單元集合的一部份來寫入第一更新資料，其中所寫入部分的一寫入速度大於緩衝實體單元集合中其他部分的寫入速度。此外，記憶體控制器會使用一複製程序將第一更新資料從對應第一邏輯單元的緩衝實體單元集合搬移至儲存區。

在一範例實施例中，上述記憶體控制器從閒置區的實體單元集合之中提取至少一個實體單元集合作為對應第一邏輯單元的至少一替換實體單元集合，並且使用複製程序將屬於第一邏輯單元的所有邏輯頁面的有效資料搬移至第一邏輯單元的替換實體單元集合，其中第一邏輯單元的所有邏輯頁面的有效資料會依序地被寫入至替換實體單元集合的每一實體單元組的下實體單元與上實體單元中。

在一範例實施例中，上述每一個實體單元組更具有一中實體單元，並且寫入資料至下實體單元的速度快於寫入資料至中實體單元的速度。並且，記憶體控制器還用以從

閒置區的實體單元集合之中提取多個實體單元集合作為對應第一邏輯單元的多個暫存實體單元集合，並使用複製程序將屬於第一邏輯單元的所有邏輯頁面的有效資料搬移至第一邏輯單元的暫存實體單元集合，其中記憶體控制器僅使用暫存實體單元集合的下實體單元來寫入屬於第一邏輯單元的所有邏輯頁面的有效資料。記憶體控制器還會從對應第一邏輯單元的暫存實體單元集合中將屬於第一邏輯單元的所有邏輯頁面的有效資料搬移至資料區的實體單元集合之中的至少一第一實體單元集合中，其中第一邏輯單元的所有邏輯頁面的有效資料會依序地被寫入至第一實體單元集合的每一實體單元組的下實體單元、中實體單元與上實體單元中。

在一範例實施例中，上述記憶體控制器在使用複製程序將第一更新資料從對應第一邏輯單元的緩衝實體單元集合搬移至儲存區的同時，會從主機系統中接收第二更新資料。

在一範例實施例中，上述記憶體控制器還用以從主機系統中接收一第三更新資料，此第三更新資料是欲被寫入至邏輯單元之中的第二邏輯單元的至少一邏輯頁面中。記憶體控制器也用以從閒置區的實體單元集合之中提取多個實體單元集合獨立地作為對應第二邏輯單元的多個緩衝實體單元集合，並且僅使用對應第二邏輯單元的緩衝實體單元集合中寫入速度較大的一部份來寫入第三更新資料。記憶體控制器還用以使用複製程序將第三更新資料從對應第二邏輯單元的緩衝實體單元集合搬移至儲存區。

在一範例實施例中，上述記憶體控制器是以一平行方式同時執行使用複製程序將第一更新資料從對應第一邏輯單元的緩衝實體單元集合搬移至儲存區的步驟和使用複製程序將第三更新資料從對應第二邏輯單元的緩衝實體單元集合搬移至儲存區的步驟。

以另外一個角度來說，本發明一範例實施例還提出一種記憶體控制器，用以控制一可複寫式非揮發性記憶體模組。此可複寫式非揮發性記憶體模組具有多個實體單元集合。每一個實體單元集合具有多個實體單元組，並且每一個實體單元組至少具有一下實體單元與一上實體單元，其中寫入資料至下實體單元的速度會快於寫入資料至上實體單元的速度。此記憶體控制器包括主機介面、記憶體介面以及記憶體管理電路。主機介面是用以耦接至主機系統。記憶體介面是用以耦接至可複寫式非揮發性記憶體模組。記憶體管理電路是耦接至主機介面與記憶體介面，並將實體單元集合至少分割(partition)為儲存區，其中此儲存區包括資料區與閒置區。記憶體管理電路會配置多個邏輯單元以映射資料區的實體單元集合，其中每一個邏輯單元具有多個邏輯頁面。記憶體管理電路也會從主機系統中接收第一更新資料，其中第一更新資料是欲被寫入至邏輯單元之中的第一邏輯單元的至少一邏輯頁面中。記憶體管理電路也會從閒置區的實體單元集合之中提取多個實體單元集合獨立地作為對應第一邏輯單元的多個緩衝實體單元集合，且僅使用對應第一邏輯單元的緩衝實體單元集合的一部份

來寫入第一更新資料，其中所寫入部分的一寫入速度大於緩衝實體單元集合中其他部分的寫入速度。記憶體管理電路還會使用一複製程序將第一更新資料從對應第一邏輯單元的緩衝實體單元集合搬移至儲存區。

在一範例實施例中，上述記憶體管理電路更用以從閒置區的實體單元集合之中提取至少一個實體單元集合作為對應第一邏輯單元的至少一替換實體單元集合，並使用複製程序將屬於第一邏輯單元的所有邏輯頁面的有效資料搬移至第一邏輯單元的該至少一替換實體單元集合，其中第一邏輯單元的所有邏輯頁面的有效資料會依序地被寫入至第一實體單元集合的每一實體單元組的下實體單元、中實體單元與上實體單元中。

在一範例實施例中，上述記憶體管理電路在使用複製程序將第一更新資料從對應第一邏輯單元的緩衝實體單元集合搬移至儲存區的同時，會從主機系統中接收第二更新資料。

在一範例實施例中，上述記憶體管理電路還用以從主機系統中接收第三更新資料，其中第三更新資料是欲被寫入至邏輯單元之中的第二邏輯單元的至少一邏輯頁面中。記憶體管理電路還會從閒置區的實體單元集合之中提取多個實體單元集合獨立地作為對應第二邏輯單元的多個緩衝實體單元集合，且僅使用對應第二邏輯單元的緩衝實體單元集合中寫入速度較大的一部份來寫入第三更新資料。記憶體管理電路還用以使用複製程序將第三更新資料從對應第二邏輯單元的緩衝實體單元集合搬移至儲存區。

在一範例實施例中，上述記憶體管理電路是以一平行方式同時執行使用複製程序將第一更新資料從對應第一邏輯單元的緩衝實體單元集合搬移至儲存區的步驟和使用複製程序將第三更新資料從對應第二邏輯單元的緩衝實體單元集合搬移至儲存區的步驟。

基於上述，本發明一範例實施例所提出的資料寫入方法、記憶體控制器以及記憶體儲存裝置，由於將資料寫入至緩衝實體單元集合時僅使用較快速的一部份，使得可複寫式非揮發性記憶體的使用壽命可以增加。另一方面，在將資料寫入至緩衝實體單元集合時，會同時的使用複製程序來將資料寫入至資料取，藉此可以增加資料寫入的速度。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

在本說明書中，所指的實體單元亦被稱為實體頁面，實體單元集合亦被稱為實體區塊，實體單元組亦被稱為實體頁面組。其中，實體單元集合是被抹除的最小單位。並且，被一個邏輯單元映射的多個實體區塊可以被稱為一個實體單元群。此外，上實體單元亦被稱為上實體頁面，中實體單元亦被稱為中實體頁面，而下實體單元亦被稱為下實體頁面。然而，在其他範例實施例中，實體單元可以為其他具有可複寫與非揮發特性的一或多個電子元件，例如實體扇，本發明並不在此限。

[第一範例實施例]

一般而言，記憶體儲存裝置(亦稱，記憶體儲存系統)包括可複寫式非揮發性記憶體模組與控制器(亦稱，控制電路)。通常記憶體儲存裝置是與主機系統一起使用，以使主機系統可將資料寫入至記憶體儲存裝置或從記憶體儲存裝置中讀取資料。

圖 1A 是根據第一範例實施例所繪示的主機系統與記憶體儲存裝置。

請參照圖 1A，主機系統 1000 一般包括電腦 1100 與輸入/輸出(input/output, I/O)裝置 1106。電腦 1100 包括微處理器 1102、隨機存取記憶體(random access memory, RAM) 1104、系統匯流排 1108 與資料傳輸介面 1110。輸入/輸出裝置 1106 包括如圖 1B 的滑鼠 1202、鍵盤 1204、顯示器 1206 與印表機 1208。必須瞭解的是，圖 1B 所示的裝置非限制輸入/輸出裝置 1106，輸入/輸出裝置 1106 可更包括其他裝置。

在本發明實施例中，記憶體儲存裝置 100 是透過資料傳輸介面 1110 與主機系統 1000 的其他元件耦接。藉由微處理器 1102、隨機存取記憶體 1104 與輸入/輸出裝置 1106 的運作可將資料寫入至記憶體儲存裝置 100 或從記憶體儲存裝置 100 中讀取資料。例如，記憶體儲存裝置 100 可以是如圖 1B 所示的隨身碟 1212、記憶卡 1214 或固態硬碟(Solid State Drive, SSD)1216 等的可複寫式非揮發性記憶體儲存裝置。

一般而言，主機系統 1000 為可實質地與記憶體儲存裝

置 100 配合以儲存資料的任意系統。雖然在本範例實施例中，主機系統 1000 是以電腦系統來作說明，然而，在本發明另一範例實施例中主機系統 1000 可以是數位相機、攝影機、通信裝置、音訊播放器或視訊播放器等系統。例如，在主機系統為數位相機(攝影機)1310 時，可複寫式非揮發性記憶體儲存裝置則為其所使用的 SD 卡 1312、MMC 卡 1314、記憶棒(memory stick)1316、CF 卡 1318 或嵌入式儲存裝置 1320(如圖 1C 所示)。嵌入式儲存裝置 1320 包括嵌入式多媒體卡(Embedded MMC, eMMC)。值得一提的是，嵌入式多媒體卡是直接耦接於主機系統的基板上。

圖 2 是繪示圖 1A 所示的記憶體儲存裝置的概要方塊圖。

請參照圖 2，記憶體儲存裝置 100 包括連接器 102、記憶體控制器 104 與可複寫式非揮發性記憶體模組 106。

在本範例實施例中，連接器 102 是相容於序列先進附件 (Serial Advanced Technology Attachment, SATA) 標準。然而，必須瞭解的是，本發明不限於此，連接器 102 亦可以是符合電氣和電子工程師協會 (Institute of Electrical and Electronic Engineers, IEEE) 1394 標準、平行先進附件 (Parallel Advanced Technology Attachment, PATA) 標準、高速周邊零件連接介面 (Peripheral Component Interconnect Express, PCI Express) 標準、通用序列匯流排 (Universal Serial Bus, USB) 標準、安全數位 (Secure Digital, SD) 介面標準、記憶棒 (Memory Stick, MS) 介面標準、多媒體

儲存卡 (Multi Media Card, MMC) 介面標準、小型快閃 (Compact Flash, CF) 介面標準、整合式驅動電子介面 (Integrated Device Electronics, IDE) 標準或其他適合的標準。

記憶體控制器 104 用以執行以硬體型式或軟體型式實作的多個邏輯閘或控制指令，並且根據主機系統 1000 的指令在可複寫式非揮發性記憶體模組 106 中進行資料的寫入、讀取、抹除與合併等運作。

可複寫式非揮發性記憶體模組 106 是耦接至記憶體控制器 104，並且具有多個實體區塊以儲存主機系統 1000 所寫入之資料。

在本範例實施例中，每一實體區塊分別具有複數個實體頁面組並且每一實體頁面組包括由位於同一條字元線之記憶胞所構成的至少一個實體頁面，其中屬於同一個實體區塊之實體頁面必須被同時地抹除。更詳細來說，實體區塊為抹除之最小單位。亦即，每一實體區塊含有最小數目之一併被抹除之記憶胞。

每一實體頁面通常包括資料位元區與冗餘位元區。資料位元區用以儲存使用者的資料，而冗餘位元區用以儲存系統的資料（例如，錯誤檢查與校正碼）。在本範例實施例中，每一實體區塊是由 258 個實體頁面所組成，並且每一實體頁面的容量為 8 千位元組 (Kilobyte, KB)。然而，必須瞭解的是，本發明不限於此。

在本範例實施例中，可複寫式非揮發性記憶體模組

106 為一三階儲存單元 (Trinary Level Cell, TLC) NAND 型快閃記憶體模組。然而，必須瞭解的是，可複寫式非揮發性記憶體模組 106 並非限於 TLC NAND 型快閃記憶體模組。在本發明另一範例實施例中，可複寫式非揮發性記憶體模組 106 亦可是四階，多階或其他具有相同特性的記憶體模組。

圖 3A 與圖 3B 是根據第一範例實施例所繪示之記憶胞儲存架構與實體區塊的範例示意圖。

請參照圖 3A，可複寫式非揮發性記憶體模組 106 的每個記憶胞的儲存狀態可被識別為 "111"、"110"、"101"、"100"、"011"、"010"、"001" 或 "000" (如圖 3A 所示)，其中左側算起之第 1 個位元為 LSB、從左側算起之第 2 個位元為 CSB 以及從左側算起之第 3 個位元為 MSB。此外，排列在同一條字元線上的數個記憶胞可組成 3 個實體頁面，其中由此些記憶胞之 LSB 所組成的實體頁面稱為下實體頁面，由此些記憶胞之 CSB 所組成的實體頁面稱為中實體頁面，並且由此些記憶胞之 MSB 所組成的實體頁面稱為上實體頁面。

請參照圖 3B，一個實體區塊是由多個實體頁面組所組成，其中每個實體頁面組包括由排列在同一條字元線上的數個記憶胞所組成的下實體頁面、中實體頁面與上實體頁面。例如，在實體區塊中，屬於下實體頁面的第 0 個實體頁面、屬於中實體頁面頁面的第 1 個實體頁面和屬於上實體頁面的第 2 個實體頁面會被視為一個實體頁面組。類似

地，第 3、4、5 個實體頁面會被視為一個實體頁面組，並且以此類推其他實體頁面亦是依據此方式被區分為多個實體頁面組。

圖 4 是根據第一範例實施例所繪示之記憶體控制器的概要方塊圖。必須瞭解的是，圖 4 所繪示之記憶體控制器僅為一個範例，本發明不限於此。

請參照圖 4，記憶體控制器 104 包括記憶體管理電路 302、主機介面 304、記憶體介面 306、緩衝記憶體 308、電源管理電路 310 以及錯誤檢查與校正電路 312。

記憶體管理電路 302 用以控制記憶體控制器 104 的整體運作。具體來說，記憶體管理電路 302 具有多個控制指令，並且在記憶體儲存裝置 100 運作時，此些控制指令會被執行以進行資料的寫入、讀取與抹除等運作。

在本範例實施例中，記憶體管理電路 302 的控制指令是以韌體型式來實作。例如，記憶體管理電路 302 具有微處理器單元（未繪示）與唯讀記憶體（未繪示），並且此些控制指令是被燒錄至此唯讀記憶體中。當記憶體儲存裝置 100 運作時，此些控制指令會由微處理器單元來執行以進行資料的寫入、讀取與抹除等運作。

在本發明另一範例實施例中，記憶體管理電路 302 的控制指令亦可以程式碼型式儲存於可複寫式非揮發性記憶體模組 106 的特定區域（例如，記憶體模組中專用於存放系統資料的系統區）中。此外，記憶體管理電路 302 具有微處理器單元、唯讀記憶體及隨機存取記憶體（未繪示）。

特別是，此唯讀記憶體具有驅動碼，並且當記憶體控制器 104 被致能時，微處理器單元會先執行此驅動碼段來將儲存於可複寫式非揮發性記憶體模組 106 中之控制指令載入至記憶體管理電路 302 的隨機存取記憶體中。之後，微處理器單元會運轉此些控制指令以進行資料的寫入、讀取與抹除等運作。

此外，在本發明另一範例實施例中，記憶體管理電路 302 的控制指令亦可以一硬體型式來實作。例如，記憶體管理電路 302 包括微控制器、記憶體管理單元、記憶體寫入單元、記憶體讀取單元、記憶體抹除單元與資料處理單元。記憶體管理單元、記憶體寫入單元、記憶體讀取單元、記憶體抹除單元與資料處理單元是耦接至微控制器。其中，記憶體管理單元用以管理可複寫式非揮發性記憶體模組 106 的實體區塊；記憶體寫入單元用以對可複寫式非揮發性記憶體模組 106 下達寫入指令以將資料寫入至可複寫式非揮發性記憶體模組 106 中；記憶體讀取單元用以對可複寫式非揮發性記憶體模組 106 下達讀取指令以從可複寫式非揮發性記憶體模組 106 中讀取資料；記憶體抹除單元用以對可複寫式非揮發性記憶體模組 106 下達抹除指令以將資料從可複寫式非揮發性記憶體模組 106 中抹除；而資料處理單元用以處理欲寫入至可複寫式非揮發性記憶體模組 106 的資料以及從可複寫式非揮發性記憶體模組 106 中讀取的資料。

主機介面 304 是耦接至記憶體管理電路 302 並且用以

接收與識別主機系統 1000 所傳送的指令與資料。在本範例實施例中，主機介面 304 是相容於 SATA 標準。然而，必須瞭解的是本發明不限於此，主機介面 304 亦可以是相容於 PATA 標準、IEEE 1394 標準、PCI Express 標準、USB 標準、SD 標準、MS 標準、MMC 標準、CF 標準、IDE 標準或其他適合的資料傳輸標準。

記憶體介面 306 是耦接至記憶體管理電路 302 並且用以存取可複寫式非揮發性記憶體模組 106。也就是說，欲寫入至可複寫式非揮發性記憶體模組 106 的資料會經由記憶體介面 306 轉換為可複寫式非揮發性記憶體模組 106 所能接受的格式。

緩衝記憶體 308 是耦接至記憶體管理電路 302 並且用以暫存來自於主機系統 1000 的資料與指令或來自於可複寫式非揮發性記憶體模組 106 的資料。例如，緩衝記憶體 302 可以是靜態隨機存取記憶體、動態隨機存取記憶體等。

電源管理電路 310 是耦接至記憶體管理電路 302 並且用以控制記憶體儲存裝置 100 的電源。

錯誤檢查與校正電路 312 是耦接至記憶體管理電路 302 並且用以執行一錯誤校正程序以確保資料的正確性。具體來說，當主機介面 304 從主機系統 1000 中接收到主機寫入指令時，錯誤檢查與校正電路會為對應此主機寫入指令的寫入資料（亦稱為更新資料）產生對應的錯誤檢查與校正碼（Error Checking and Correcting Code, ECC Code），並且記憶體管理電路 302 會將此更新資料與對應的錯誤校

正碼寫入至可複寫式非揮發性記憶體模組 106 中。之後，當記憶體管理電路 302 從可複寫式非揮發性記憶體模組 106 中讀取資料時會同時讀取此資料對應的錯誤校正碼，並且錯誤檢查與校正電路 312 會依據此錯誤校正碼對所讀取的資料執行錯誤校正程序。

圖 5 是根據第一範例實施例所繪示之管理可複寫式非揮發性記憶體模組之實體區塊的範例示意圖。

請參照圖 5，可複寫式非揮發性記憶體模組 106 具有實體區塊 410(0)~410(N)，並且記憶體控制器 104 的記憶體管理電路 302 可將實體區塊 410(0)~410(N)分割(partition)為數個區，例如取代區(replacement area) 502 與包括閒置區(spare area) 504 與資料區(data area) 506 的與儲存區 508。在另一範例實施例中，取代區 502 亦可與閒置區 504 共用包含無效資料之實體區塊。

取代區 502 的實體區塊是用於壞實體區塊取代程序，以取代損壞的實體區塊。具體來說，倘若取代區 502 中仍存有正常之實體區塊並且資料區 506 或閒置區 504 的實體區塊損壞時，記憶體管理電路 302 會從取代區 502 中提取正常的實體區塊來取代損壞的實體區塊。

閒置區 504 的實體區塊是用於暫存主機系統 1000 所寫入的資料。詳細的寫入方法，將配合圖示說明如後。值得一提的是，在本範例實施例中，記憶體管理電路 302 是使用單頁模式來操作閒置區 504 的實體區塊。具體來說，在單頁模式中，僅下實體頁面會被用來儲存資料。也就是

說，在單頁模式中，記憶體管理電路 302 僅會對實體區塊的下實體頁面進行資料的寫入、讀取、抹除等運作。在另一範例實施例中，單頁模式是指對一實體頁面中之每個細胞僅儲存一個位元的資料。多頁模式是指對一實體頁面中之每個細胞儲存多個位元的資料。

資料區 506 的實體區塊是用於儲存主機系統 1000 所寫入的資料。具體來說，記憶體管理電路 302 會將主機系統 1000 所存取的邏輯存取位址轉換為對應的邏輯單元與對應的邏輯頁面並且將此邏輯單元的邏輯頁面映射至資料區的實體區塊的實體頁面。也就是說，資料區 506 的實體區塊是被視為已被使用之實體區塊（例如，已儲存主機系統所寫入的資料）。例如，記憶體管理電路 302 會使用邏輯單元-實體區塊映射表（logical unit-physical block mapping table）來記載邏輯單元與資料區 506 的實體區塊之間的映射關係，其中邏輯單元中的邏輯頁面可依序的對應所映射之實體區塊的實體頁面。例如，在本範例實施例中，邏輯單元 610(0)~610(H)會被配置以映射資料區 506 的實體區塊，其中一個邏輯單元的容量等於兩個實體區塊的容量。然而，在另一範例實施例中，一個邏輯單元的容量也可以等於一個或是三個以上實體區塊的容量，本發明並不在此限。資料區 506 的實體區塊的數量會攸關記憶體儲存裝置 100 的容量，其中所有實體區塊 410(T+1)~410(N)的容量的總和必須大於邏輯單元 610(0)~610(H)的容量的總和。然而，在另一範例實施例中，記憶體管理電路 302

會使用邏輯單元-實體頁面映射表（logical unit-physical page mapping table）來記載邏輯單元與資料區 506 的實體區塊中的實體頁面之間的映射關係。本發明並不限定邏輯單元與實體頁面或實體區塊之間的映射關係。

在本範例實施例中，記憶體管理電路 302 是使用多頁模式來操作資料區 506 的實體區塊。具體來說，在多頁模式中，實體區塊的下實體頁面、中實體頁面與上實體頁面皆會被用來儲存資料。值得一提的是，在本範例實施例中，使用多頁模式來操作資料區 506 的實體區塊時，同一個實體頁面組的實體頁面會全被程式化以後才能被讀取。具體來說，當一個實體區塊的下實體頁面與中實體頁面儲存資料並且此實體區塊的上實體頁面未儲存資料時，記憶體管理電路 302 不能對此實體區塊的下實體頁面與中實體頁面進行讀取運作。並且當一個實體區塊的下實體頁面、中實體頁面與上實體頁面皆已儲存資料時，記憶體管理電路 302 才能對此實體區塊的下實體頁面、中實體頁面與上實體頁面進行讀取運作。

再者，相較於以單頁模式來操作的實體區塊，以多頁模式來操作的實體區塊的壽命較短。具體來說，每個實體區塊能夠被寫入或抹除的次數是有限的，當一個實體區塊被寫入的次數超過一臨界值時，此實體區塊能就會損壞而無法再被寫入資料，其中對應以多頁模式來操作之實體區塊的臨界值會低於對應以單頁模式來操作之實體區塊的臨界值。

如上所述，閒置區 504 的實體區塊與資料區 506 的實體區塊是藉由使用不同的模式來操作，因此，當一個實體區塊被劃分至閒置區 504 或資料區 506 後，此實體區塊將僅能用於特定分割區。也就是說，記憶體管理電路 302 會獨立地操作資料區 506 的實體區塊和閒置區 504 的實體區塊，而不會混用此些實體區塊。例如，當一個實體區塊被劃分至閒置區 504 後，記憶體管理電路 302 會以單頁模式於閒置區 504 中操作此實體區塊，直到此實體區塊損壞為止；或者當一個實體區塊被劃分至資料區 506 後，記憶體管理電路 302 會以多頁模式於資料區 506 中操作此實體區塊，直到此實體區塊不再屬於資料區 506。

在本範例實施例中，當主機系統 1000 欲儲存資料至一個邏輯單元時，記憶體管理電路 302 會從閒置區 504 的實體區塊中提取多個實體區塊，將所提取之實體區塊獨立地作為此邏輯單元的緩衝實體區塊並且將主機系統 1000 欲儲存之資料暫時地寫入至此些緩衝實體區塊中寫入速度較大的一部份，以縮短執行寫入指令的時間。

圖 6 是根據第一範例實施例所繪示之寫入更新資料的範例示意圖。

請參照圖 6，記憶體管理電路 302 接收主機系統 1000 欲儲存之資料(以下稱為第一更新資料 602)。例如，第一更新資料 602 是欲被寫入至邏輯單元 610(0)的至少一邏輯頁面(例如，邏輯頁面 604(0)~604(A))中。然而，本發明並不限制第一更新資料 602 欲寫入的邏輯單元以及邏輯頁面，且不限制第一更新資料 602 的大小與內容。

在此範例中，記憶體管理電路 302 會從閒置區 504 中提取多個實體區塊作為邏輯單元 610(0)的緩衝實體區塊 606a~606f，並且使用緩衝實體區塊 606a~606f 的一部份來寫入第一更新資料 602。其中，緩衝實體區塊 606a~606f 中用來寫入資料的部份的寫入速度會大於緩衝實體區塊中其他部分的寫入速度。例如，在本範例實施例中，記憶體管理電路 302 是使用緩衝實體區塊的下實體頁面來寫入資料，而下實體頁面的寫入速度會大於中實體頁面與上實體頁面的寫入速度。在其他範例實施例中，記憶體管理電路 302 也可使用緩衝實體區塊的下實體頁面與中實體頁面來寫入資料，本發明並不限定緩衝實體區塊用來寫入資料的部份。例如，邏輯單元 610(0)的每一個邏輯頁面都會對應至緩衝實體區塊 606a~606f 的一個下實體頁面。也就是說，緩衝實體區塊 606a~606f 的下實體頁面的空間總和會等於邏輯單元 610(0)的容量。

在本範例實施例中，一個邏輯單元是對應至資料區 506 中的兩個實體區塊，且每個資料區 506 中的實體區塊是使用上實體頁面、中實體頁面以及下實體頁面來儲存資料。因此，一個邏輯單元的容量會等於 6 個緩衝實體區塊的下實體頁面的空間總和。然而，在另一範例實施例中，一個邏輯單元的空間總和也可以等於其他個數的緩衝實體區塊的下實體頁面的空間總和，本發明並不在此限。

值得一提的是，在本範例實施例中，緩衝實體區塊 606a~606f 是獨立地作為第一邏輯單元 610(0)的緩衝實體

區塊。也就是說，配置給邏輯單元的緩衝實體區塊不會被共用。例如，當主機系統 1000 欲儲存資料至邏輯單元 610(1) 時，記憶體管理電路 302 會從閒置區 504 中提取其他實體區塊作邏輯單元 610(1)的緩衝實體區塊。

在將第一更新資料 602 寫入至緩衝實體區塊 606a~606f 以後，記憶體管理電路 302 會回覆確認訊息給主機系統 1000 以告知資料寫入運作已完成。由於，資料寫入至實體區塊的下實體頁面的速度較快，因此，執行資料寫入指令的時間可有效地被縮短。之後，記憶體管理電路 302 會利用適當的時機將暫存在緩衝實體區塊中的更新資料正確地寫入至儲存區 508 的實體區塊中。例如，記憶體管理電路 302 會使用一複製程序將第一更新資料 602 從緩衝實體區塊 606a~606f 中搬移至儲存區 508 中。其中，此複製程序是指將資料從可複寫式非揮發性記憶體模組 106 中之一頁面至少讀出至可複寫式非揮發性記憶體模組 106 中的一緩衝記憶體(未繪示)，接著再將資料寫入至可複寫式非揮發性記憶體模組 106 中另一頁面。例如，複製程序中包括使用一複製回指令(copyback command)，而複製回指令為在同一區塊面(plane)的實體區塊之間搬移資料的指令。

值得一提的是，由於在將第一更新資料 602 寫入至緩衝實體區塊 606a~606f 以後，記憶體管理電路 302 就會回覆確認訊息給主機系統 1000，因此，記憶體管理電路 302 可在接收主機系統 1000 欲儲存之下一筆資料(以下稱為第二

更新資料 640)的同時，使用複製程序將第一更新資料 602 從緩衝實體區塊 606a~606f 搬移至資料區 506。例如，第二更新資料是欲寫入至邏輯頁面 604(A+1)~604(B)，並且記憶體管理電路 302 會在將第二更新資料 640 寫入至緩衝實體區塊 606a~606f 的同時，使用複製程序將第一更新資料 602 從緩衝實體區塊 606a~606c 搬移至資料區 506。如此，記憶體儲存裝置 100 的效能可被大幅地提升。

必須瞭解的是，儘管上述第一更新資料 602 與第二更新資料 640 是欲寫入至同一個邏輯單元(即，第一邏輯單元 610(0))。然而，在另一範例實施例中，記憶體管理電路 302 也可以接收欲寫入至兩個以上不同邏輯單元的更新資料，來進行資料的寫入(如圖 7 所示)。

圖 7 是根據另一範例所繪示之寫入更新資料的範例示意圖。

請參考圖 7，記憶體管理電路 302 會從主機系統 1000 接收到第一更新資料 602 與第三更新資料 622，其中第一更新資料 602 欲被寫入至第一邏輯單元 610(0)的邏輯頁面 604(0)~604(A)中並且第三更新資料 622 是欲被寫入至第二邏輯單元 610(1)的邏輯頁面 624(0)~624(B)中。然而，本發明並不限制第三更新資料 622 欲寫入的邏輯單元以及邏輯頁面，且不限制第三更新資料 622 的大小與內容。

在此範例中，記憶體管理電路 302 會從閒置區 504 中提取多個實體區塊作為邏輯單元 610(0)的緩衝實體區塊 606a~606f，並且使用緩衝實體區塊 606a~606f 的下實體頁

面來寫入第一更新資料 602。此外，記憶體管理電路 302 還會從閒置區 504 中提取多個實體區塊作為邏輯單元 610(1)的緩衝實體區塊 626a~626f 並且使用緩衝實體區塊 626a~626f 的下實體頁面來寫入第三更新資料 622。

特別是，後續，記憶體管理電路 302 會使用複製程序以一平行方式將第一更新資料 602 從緩衝實體區塊 606a~606f 搬移至該資料區 506 並且將第三更新資料 622 從緩衝實體區塊 626a~626f 中搬移至資料區 506 中。具體來說，第一更新資料 602 與第三更新資料 622 是欲被寫入至資料區 506 中不同的實體區塊，因此使用複製程序時，第一更新資料 602 與第三更新資料 622 可以同時的被寫入至不同的實體區塊當中，藉此提昇寫入的速度。

除了可以增加寫入的速度以外，上述使用緩衝實體區塊的架構可以增加記憶體儲存裝置 100 的壽命。具體來說，當主機系統 1000 所要寫入的資料較小(例如，資料量小於一個邏輯單元之大小的資料)，且要對同一個邏輯位址重複地寫入資料時，記憶體管理電路 302 僅需要抹除部份的緩衝實體區塊。舉例來說，當主機系統 1000 重複地更新邏輯頁面 604(0)~604(A)中的資料，且邏輯頁面 604(0)~604(A)是對應至緩衝實體區塊 606a~606c 的下實體頁面時，記憶體管理電路 302 僅需要抹除緩衝實體區塊 606a~606c，不需要抹除緩衝實體區塊 606d~606f，由此避免因無謂的抹除而縮短實體區塊的壽命。

圖 8、圖 9 與圖 10 是根據第一範例實施例所繪示之將

第一邏輯單元的資料從緩衝實體區塊搬移至儲存區的範例示意圖。

請參照圖 8。緩衝實體區塊 606a~606c 中儲存了邏輯單元 610(0)的部份有效資料。當要將緩衝實體區塊 606a~606c 寫入至儲存區 508 時，記憶體管理電路 302 會從閒置區 504 中提取實體區塊 410(R+1)~410(R+3)作為對應第一邏輯單元 610(0)的暫存實體區塊來寫入第一更新資料 602。並且，記憶體管理電路 302 會使用複製程序將緩衝實體區塊 606a~606c 的有效資料搬移至暫存實體區塊 410(R+1)~410(R+3)，其中只有暫存實體區塊 410(R+1)~410(R+3)的下實體頁面會被用來寫入屬於第一邏輯單元 610(0)的所有邏輯頁面的有效資料。例如，記憶體管理電路 302 是將緩衝實體區塊 606a 中的有效資料寫入至暫存實體區塊 410(R+1)的第 0、3...255 個實體頁面，將緩衝實體區塊 606b 中的有效資料寫入至暫存實體區塊 410(R+2)的第 0、3...255 個實體頁面，以及將緩衝實體區塊 606c 中的有效資料寫入至暫存實體區塊 410(R+3)的第 0、3...255 個實體頁面。換句話說，由於緩衝實體區塊 606a~606c 是對應至邏輯單元 610(0)，因此，記憶體管理電路 302 是使用複製程序將屬於邏輯單元 610(0)的所有邏輯頁面的有效資料搬移至暫存實體區塊 410(R+1)~410(R+3)。

接著，記憶體管理電路 302 會將暫存實體區塊 410(R+1)~410(R+3)中的有效資料搬移至資料區 504 的實

體區塊。具體來說，記憶體管理電路 302 會從資料區 504 中選擇一個空的實體區塊或者所儲存之資料為無效資料的實體區塊。特別是，倘若所提取之實體區塊是儲存無效資料的實體區塊時，記憶體管理電路 302 會先對此實體區塊執行抹除運作。也就是說，實體區塊上的無效資料必須先被抹除。

例如，記憶體管理電路 302 會從資料區 504 中選擇實體區塊 410(T+1)並且將第一邏輯單元 610(0)的所有邏輯頁面的有效資料分別地搬移至實體區塊 410(T+1)的下實體頁面(第 0、3、6...255 個實體頁面)、中實體頁面(第 1、4、7...256 個實體頁面)以及上實體頁面(第 2、5、8...257 個實體頁面)。具體來說，記憶體管理電路 302 會從第一暫存實體區塊 410(R+1)的下實體頁面中將有效資料搬移至實體區塊 410(T+1)的對應頁面(例如，第 0~85 個實體頁面)。接著，記憶體管理電路 302 會從第二暫存實體區塊 410(R+2)的下實體頁面中將有效資料搬移至實體區塊 410(T+1)的對應頁面(例如，第 86~171 個實體頁面)。然後，記憶體管理電路 302 會從第三暫存實體區塊 410(R+3)的下實體頁面中將有效資料搬移至實體區塊 410(T+1)的對應頁面(例如，第 172~257 個實體頁面)。

在本範例實施例中，一個邏輯單元是對應至兩個實體區塊，因此，除了將第一邏輯單元 610(0)的一部份資料寫入至實體區塊 410(T+1)之外，記憶體管理電路 302 還會提取另一實體區塊來儲存第一邏輯單元 610(0)中另一部份的有效資料。

請參照圖 9，緩衝實體區塊 606d~606f 存有第一邏輯單元 610(0)的另一部份有效資料。在此範例中，記憶體管理電路 302 會使用複製程序將緩衝實體區塊 606d~606f 的有效資料寫入至暫存實體區塊 410(R+4)~410(R+6)的下實體頁面，並且將暫存實體區塊 410(R+4)~410(R+6)中的有效資料搬移至實體區塊 410(T+2)。記憶體管理電路 302 將有效資料從緩衝實體區塊 606d~606f 搬移至實體區塊 410(T+2)的方法是類似於將有效資料從緩衝實體區塊 606a~606c 搬移至實體區塊 410(T+1)的方法，在此不重複說明。

請參照圖 10，在將邏輯單元 610(0)的有效資料寫入至實體區塊 410(T+1)與 410(T+2)之後，記憶體管理電路 302 會在邏輯單元-實體區塊映射表中將第一邏輯單元 610(0)重新映射至實體區塊 410(T+1)與 410(T+2)，並且對暫存實體區塊 410(R+1)~410(R+6)執行抹除運作。也就是說，在執行下一個寫入指令時，已被抹除的實體區塊 410(R+1)~410(R+6)就可再被選擇作為欲寫入之邏輯單元的暫存實體區塊。

圖 11 是根據第一範例實施例所繪示之資料寫入方法的流程圖。

請參照圖 11，在步驟 S1102 中，記憶體管理電路 302 會將實體區塊至少分割(partition)為一儲存區，此儲存區包括一資料區與一閒置區。

在步驟 S1104 中，記憶體管理電路 302 會配置多個邏

輯單元以映射至資料區的實體區塊，其中每一個邏輯單元具有多個邏輯頁面。

之後，在步驟 S1106 中，記憶體管理電路 302 會從一主機系統中接收欲寫入之資料(以下稱為第一更新資料)，其中此第一更新資料是欲被寫入至一邏輯單元(以下稱為第一邏輯單元)的至少一邏輯頁面中。並且，在步驟 S1108 中，記憶體管理電路 302 會從閒置區的實體區塊之中提取多個實體區塊獨立地作為對應第一邏輯單元的多個緩衝實體區塊。

然後，在步驟 S1110 中，記憶體管理電路 302 僅使用對應第一邏輯單元的各個緩衝實體區塊中的一部份寫入第一更新資料，其中此部分的寫入速度會大於緩衝實體區塊中其他部分的寫入速度。

之後，在步驟 S1112 中，記憶體管理電路 302 會從閒置區的實體區塊之中提取多個實體區塊作為對應該第一邏輯單元的多個暫存實體區塊。並且在步驟 S1114 中，記憶體管理電路 302 會使用複製程序將屬於第一邏輯單元的所有邏輯頁面的有效資料搬移至第一邏輯單元的暫存實體區塊，其中僅暫存實體區塊的下實體頁面會被用來寫入屬於第一邏輯單元的所有邏輯頁面的有效資料。然後，在步驟 S1116 中，記憶體管理電路 302 會從對應第一邏輯單元的暫存實體區塊中將屬於第一邏輯單元的所有邏輯頁面的有效資料搬移至資料區的至少一個實體區塊(以下稱為第一實體區塊)中，其中第一邏輯單元的所有邏輯頁面的有效資

料會依序地被寫入至第一實體區塊的每一實體頁面組的下實體頁面、中實體頁面與上實體頁面中。

[第二範例實施例]

第二範例實施例與第一範例實施例相似，不同之處在於記憶體儲存裝置之可複寫式非揮發性記憶體模組為多階儲存單元（Multiple Level Cell, MLC）NAND 型快閃記憶體模組。也就是說，可複寫式非揮發性記憶體模組中的每一個實體區塊具有多個實體頁面組，並且每一個實體頁面組僅具有下實體頁面與上實體頁面。

圖 12 是根據第二範例實施例所繪示之記憶體儲存裝置的概要示意圖。

請參考圖 12，記憶體儲存裝置 1200 包括連接器 102、記憶體控制器 1204 與可複寫式非揮發性記憶體模組 1206，其中連接器 102 的功能已說明如上，在此不再重複描述。

記憶體控制器 1204 用以執行以硬體型式或軟體型式實作的多個邏輯閘或控制指令，並且根據主機系統 1000 的指令在可複寫式非揮發性記憶體模組 1206 中進行資料的寫入、讀取、抹除與合併等運作。記憶體控制器 1204 包括記憶體管理電路 1202、主機介面 304、記憶體介面 306、緩衝記憶體 308、電源管理電路 310 以及錯誤檢查與校正電路 312。

主機介面 304、記憶體介面 306、緩衝記憶體 308、電源管理電路 310 以及錯誤檢查與校正電路 312 的功能已說明如上，在此不再重複描述。

記憶體管理電路 1202 用以控制記憶體控制器 1204 的整體運作。具體來說，記憶體管理電路 1202 具有多個控制指令，並且在記憶體儲存裝置 1200 運作時，此些控制指令會被執行以進行資料的寫入、讀取與抹除等運作。

在本範例實施例中，記憶體管理電路 1202 的控制指令是以韌體型式來實作。例如，記憶體管理電路 1202 具有微處理器單元（未繪示）與唯讀記憶體（未繪示），並且此些控制指令是被燒錄至此唯讀記憶體中。當記憶體儲存裝置 1200 運作時，此些控制指令會由微處理器單元來執行以進行資料的寫入、讀取與抹除等運作。

在本發明另一範例實施例中，記憶體管理電路 1202 的控制指令亦可以程式碼型式儲存於可複寫式非揮發性記憶體模組 1206 的特定區域（例如，記憶體模組中專用於存放系統資料的系統區）中。此外，記憶體管理電路 1202 具有微處理器單元、唯讀記憶體及隨機存取記憶體（未繪示）。特別是，此唯讀記憶體具有驅動碼，並且當記憶體控制器 1204 被致能時，微處理器單元會先執行此驅動碼段來將儲存於可複寫式非揮發性記憶體模組 1206 中之控制指令載入至記憶體管理電路 1202 的隨機存取記憶體中。之後，微處理器單元會運轉此些控制指令以進行資料的寫入、讀取與抹除等運作。

此外，在本發明另一範例實施例中，記憶體管理電路 1202 的控制指令亦可以一硬體型式來實作。例如，記憶體管理電路 1202 包括微控制器、記憶體管理單元、記憶體寫

入單元、記憶體讀取單元、記憶體抹除單元與資料處理單元。記憶體管理單元、記憶體寫入單元、記憶體讀取單元、記憶體抹除單元與資料處理單元是耦接至微控制器。其中，記憶體管理單元用以管理可複寫式非揮發性記憶體模組 1206 的實體區塊；記憶體寫入單元用以對可複寫式非揮發性記憶體模組 1206 下達寫入指令以將資料寫入至可複寫式非揮發性記憶體模組 1206 中；記憶體讀取單元用以對可複寫式非揮發性記憶體模組 1206 下達讀取指令以從可複寫式非揮發性記憶體模組 1206 中讀取資料；記憶體抹除單元用以對可複寫式非揮發性記憶體模組 1206 下達抹除指令以將資料從可複寫式非揮發性記憶體模組 1206 中抹除；而資料處理單元用以處理欲寫入至可複寫式非揮發性記憶體模組 1206 的資料以及從可複寫式非揮發性記憶體模組 1206 中讀取的資料。

可複寫式非揮發性記憶體模組 1206 是耦接至記憶體控制器 1204，並且具有實體區塊 1210(0)~1210(N)。

在本範例實施例中，可複寫式非揮發性記憶體模組 1206 為 MLC NAND 型快閃記憶體模組。然而，必須瞭解的是，可複寫式非揮發性記憶體模組 1206 並非限於 MLC NAND 型快閃記憶體模組。在本發明另一範例實施例中，可複寫式非揮發性記憶體模組 1206 亦可是其他與 MLC NAND 型快閃記憶體模組具有相同特性的記憶體模組。

圖 13 是根據第二範例實施例所繪示之 MLC NAND 型快閃記憶體模組的實體區塊的範例示意圖。

請參照圖 13，一個實體區塊具有多個實體頁面組並且每一個實體頁面組具有一個下實體頁面與一個上實體頁面。例如，實體區塊的第 0、2...、254 個實體頁面屬於下實體頁面，而第 1、3、...、255 個實體頁面則屬於上實體頁面。寫入資料至下實體頁面的速度會快於寫入資料至上實體頁面的速度。與第一範例實施例不同的是，資料區 506 與閒置區 504 中的實體區塊都會使用下實體頁面與上實體頁面來儲存資料。除此之外，與第一範例實施例不同的是，資料區 506 中的實體區塊與閒置區 504 的實體區塊會互相輪替。

圖 14 是根據本發明第二範例實施例所繪示管理可複寫式非揮發性記憶體模組之實體區塊的範例示意圖。

請參照圖 14，記憶體控制器 1204 的記憶體管理電路 1202 可將實體區塊 1210(0)~1210-(N)邏輯地分組為數個區，例如包含資料區 1402 與閒置區 1404 的儲存區 1410 以及系統區 1406 與取代區 1408。在另一範例實施例中，取代區 1408 亦可與閒置區 1404 共用包含無效資料之實體區塊。

邏輯上屬於儲存區 1410 的實體區塊是用以儲存來自於主機系統 1000 的資料。具體來說，資料區 1402 的實體區塊是被視為已儲存資料的實體區塊，而閒置區 1404 的實體區塊是用以替換資料區 1402 的實體區塊。也就是說，當從主機系統 1000 接收到寫入指令與欲寫入之資料時，記憶體管理電路 1202 會從閒置區 1404 中提取實體區塊，並且

將資料寫入至所提取的實體區塊中，以替換資料區 1402 的實體區塊。

邏輯上屬於系統區 1406 的實體區塊是用以記錄系統資料。例如，系統資料包括關於可複寫式非揮發性記憶體模組的製造商與型號、可複寫式非揮發性記憶體模組的實體區塊數、每一實體區塊的實體頁面數等。

邏輯上屬於取代區 1408 中的實體區塊是用於壞實體區塊取代程序，以取代損壞的實體區塊。具體來說，倘若取代區 1408 中仍存有正常之實體區塊並且資料區 1402 的實體區塊損壞時，記憶體管理電路 1202 會從取代區 1408 中提取正常的實體區塊來更換損壞的實體區塊。

記憶體管理電路 1402 會配置邏輯單元 1610(0)~1610(H)以映射資料區 1402 的實體區塊，其中每一邏輯區塊具有多個邏輯頁面並且此些邏輯頁面是依序地映射 2 個實體區塊的實體頁面。例如，記憶體管理電路 202 會維護邏輯單元-實體區塊映射表以記錄邏輯單元 610(0)~610(H)與資料區 1402 的實體區塊的映射關係。必須瞭解的是，儘管在本範例實施例中，一個邏輯單元是映射 2 個實體區塊，即，一個邏輯單元的容量是由 2 個實體區塊的容量所構成。但本發明不限於此，在另一範例實施例中，一個邏輯單元亦可映射 1 個實體區塊或更多實體區塊。

此外，由於主機系統 1000 是以邏輯存取位址(例如，扇區(Sector))為單位來存取資料，當主機系統 1000 存取資

料時記憶體管理電路 1202 會將對應記憶體儲存裝置 1200 的邏輯存取位址轉換成對應的邏輯頁面。例如，當主機系統 1000 欲存取某一邏輯存取位址時，記憶體管理電路 1202 會將主機系統 1000 所存取的邏輯存取位址轉換為以對應的邏輯區塊與邏輯頁面所構成的多維位址，並且透過邏輯單元-實體區塊映射表於對應的實體頁面中存取資料。

圖 15~圖 17 是根據第二範例實施例所繪示之使用子實體區塊寫入資料的範例示意圖。

請參照圖 15~17，當記憶體管理電路 1202 從主機系統 1000 中接收到寫入指令而欲寫入資料至邏輯單元 1210(0)時，會從閒置區 1404 中提取實體區塊 1210(F)作為替換實體區塊來輪替實體區塊 1210(0)。然而，當記憶體管理電路 1202 將新資料寫入至實體區塊 1210(F)的同時，記憶體管理電路 1202 不會立刻將實體區塊 1210(0)中的所有有效資料搬移至實體區塊 1210(F)而抹除實體區塊 1210(0)。具體來說，記憶體管理電路 1202 會將實體區塊 1210(0)中欲寫入實體頁面之前的有效資料(即，實體區塊 1210(0)的第 0 實體頁面與第 1 實體頁面中的資料)複製至實體區塊 1210(F)的第 0 實體頁面與第 1 實體頁面中(如圖 15 所示)，並且將新資料寫入至實體區塊 1210(F)的第 2~4 個實體頁面中(如圖 16 所示)。此時，記憶體管理電路 1202 即完成寫入的運作。因為實體區塊 1210(0)中的有效資料有可能在下個操作(例如，寫入指令)中變成無效，因此立刻將實體區塊 1210(0)中的其他有效資料搬移至實體區塊

1210(F)可能會造成無謂的搬移。此外，資料必須依序地寫入至實體區塊內的實體頁面，因此，記憶體管理電路 1202 僅會先搬移欲寫入實體頁面之前的有效資料(即，儲存在實體區塊 1210(0)的第 0 實體頁面與第 1 實體頁面中的資料)，並且暫不搬移其餘有效資料(即，儲存在實體區塊 1210(0)的第 5~K 實體頁面中資料)。

在本範例實施例中，暫時地維持此等暫態關係的運作稱為開啟(open)母子區塊，並且原實體區塊(例如，上述實體區塊 1210(0))稱為母實體區塊而替換實體區塊(例如，上述與實體區塊 1210(F))稱為子實體區塊。在此，一個母實體區塊以及其對應的至少一子實體區塊稱為母子區塊組。

之後，當需要將實體區塊 1210(0)與實體區塊 1210(F)的資料合併(merge)時，記憶體管理電路 1202 會將實體區塊 1210(0)與實體區塊 1210(F)的資料整併至一個實體區塊，由此提升實體區塊的使用效率。在此，合併母子區塊的運作稱為資料合併運作或關閉(close)母子區塊。例如，如圖 17 所示，當進行關閉母子區塊時，記憶體管理電路 1202 會將實體區塊 1210(0)中剩餘的有效資料(即，實體區塊 1210(0)的第 5~K 實體頁面中的資料)複製至替換實體區塊 1210(F)的第 5 實體頁面~第 K 實體頁面中，然後對實體區塊 1210(0)執行抹除運作並將抹除後之實體區塊 1210(0)關聯至閒置區 1404，同時，將實體區塊 1210(F)關聯至資料區 1402。也就是說，記憶體管理電路 1202 將原本映射至實體區塊 1210(0)的邏輯單元重新映射至實體區

塊 1210(F)。因此，與第一範例實施例不同的是，原本屬於閒置區 1404 的實體區塊 1210(F)再經過上述步驟以後會屬於資料區 1402，而原本屬於資料區 1402 的實體區塊 1210(0)會被關聯至閒置區 1404。值得一提的是，閒置區 1404 中實體區塊的數目是有限的，基此，在記憶體儲存裝置 100 運作期間，已開啟之母子區塊組的數目亦會受到限制。因此，當記憶體儲存裝置 1200 接收到來自於主機系統 1000 的寫入指令時，倘若已開啟母子區塊組的數目達到上限時，記憶體管理電路 1202 需關閉至少一組目前已開啟之母子區塊組後才可執行此寫入指令。

相同於第一範例實施例，當執行寫入指令時，記憶體管理電路 1202 會從閒置區 1404 中提取實體區塊作為欲寫入資料之邏輯單元的緩衝實體區塊並且僅使用緩衝實體區塊的下實體頁面來暫存更新資料。在本範例實施例中，一個邏輯單元的容量是由 2 個實體區塊的容量所構成，因此，記憶體管理電路 1202 會從閒置區 1404 中提取 4 個實體區塊作為對應一個邏輯單元的緩衝實體區塊。

圖 18 是根據第二範例實施例所繪示之將更新資料寫入至緩衝實體區塊的示意圖。

請參照圖 18，當第一更新資料 602 欲被寫入至邏輯單元 1610(0)的邏輯頁面 1604(0)~1604(P)的至少其中之一時，記憶體管理電路 1202 會從閒置區 504 的實體區塊之中提取多個實體區塊獨立地作為對應邏輯單元 1610(0)的緩衝實體區塊 1506a~1506c。記憶體管理電路 1202 會使用緩

衝實體區塊 1506a~1506c 中寫入速度較大的一部份來寫入第一更新資料 602。例如，記憶體管理電路 1202 是使用緩衝實體區塊的下實體頁面來寫入第一更新資料 602，而下實體頁面的寫入速度會大於上實體頁面的寫入速度。並且，之後，記憶體管理電路 1202 會使用複製程序將第一更新資料 602 從緩衝實體區塊 1506a~1506c 中搬移至儲存區 1410，以將資料最後地寫入至對應的實體區塊中(例如，如圖 15~17 所示之運作)。例如，此複製程序包括使用一複製回指令(copyback command)。

圖 19 是依照第二範例實施例所繪示之將更新資料寫入至儲存區的範例示意圖。

請參照圖 19，假設緩衝實體區塊 1506a~1506c 的下實體頁面儲存了屬於邏輯單元 1610(0)的所有有效資料。首先，記憶體管理電路 1202 會先從資料區 1402 中提取兩個實體區塊 1210(0)與 1210(1)，並且使用複製程序將屬於邏輯單元 1610(0)的所有有效資料從緩衝實體區塊 1506a~1506c 的下實體頁面中依序地寫入至實體區塊 1210(0)與 1210(1)的下實體頁面和上實體頁面中。具體來說，記憶體管理電路 1202 會將緩衝實體區塊 1506a 的第 0、2、...、254 個實體頁面中的有效資料搬移至實體區塊 1210(0)的第 0~127 個實體頁面中，並且將緩衝實體區塊 1506b 的第 0、2、...、254 個實體頁面中的有效資料搬移至實體區塊 1210(0)的第 128~255 個實體頁面中。另一方面，記憶體管理電路 1202 會將緩衝實體區塊 1506c 的第

0、2、...、254 個實體頁面中的有效資料移動至實體區塊 1210(1)的第 0~127 個實體頁面中，並且將緩衝實體區塊 1506d 的第 0、2、...、254 個實體頁面中的有效資料移動至實體區塊 410(T+2)的第 128~255 個實體頁面中。

接著，記憶體管理電路 1202 會將邏輯單元 1610(0)的邏輯頁面 1604(0)~1604(P)重新映射至實體區塊 1210(0)與實體區塊 1210(1)的實體頁面。具體來說，記憶體管理電路 1202 會在邏輯單元-實體區塊映射表中將邏輯單元 1610(0)映射至實體區塊 1210(0)與實體區塊 1210(1)。

圖 20 是根據第二範例實施例所繪示之資料寫入方法的流程圖。

請參照圖 20，在步驟 S2002 中，記憶體管理電路 1202 會將實體區塊至少分割(partition)為一儲存區，此儲存區包括資料區與閒置區。在步驟 S2004 中，記憶體管理電路 1202 會配置多個邏輯單元以映射至資料區的實體區塊，其中每一個邏輯單元具有多個邏輯頁面。在步驟 S2006 中，記憶體管理電路 1202 會從主機系統 1000 中接收第一更新資料，其中第一更新資料是欲被寫入其中一個邏輯單元(以下稱為第一邏輯單元)的至少一邏輯頁面中。在步驟 S2008 中，記憶體管理電路 1202 會從閒置區的實體區塊之中提取多個實體區塊獨立地作為對應第一邏輯單元的多個緩衝實體區塊。在步驟 S2010 中，記憶體管理電路 1202 僅使用對應第一邏輯單元的緩衝實體區塊的一部份來寫入第一更新資料，其中此部分的寫入速度會大於緩衝實體區塊中其

他部分的寫入速度。之後，在步驟 S2012 中，記憶體管理電路 1202 會從閒置區的實體區塊之中提取至少一實體區塊作為對應該第一邏輯單元的替換實體區塊(亦稱為子實體區塊)。並且在步驟 S2014 中，記憶體管理電路 1202 會使用複製程序將屬於第一邏輯單元的所有邏輯頁面的有效資料搬移至第一邏輯單元的替換實體區塊中。

綜上所述，本發明實施例所提出的資料寫入方法、記憶體控制器與記憶體儲存裝置，可以在接收更新資料至緩衝實體區塊時，同時以複製程序將其他更新資料寫入至儲存區，藉此提升寫入速度。或者，兩個不同的更新資料是分別寫入至所對應的緩衝實體區塊，並且是以平行的方式同時根據複製程序寫入至儲存區，藉此提升寫入速度。另一方面，由於緩衝實體區塊只使用了下實體頁面，因此在一範例實施例中可以增加記憶體儲存裝置的使用壽命。並且，當將多個實體區塊視為一實體單元以增加寫入速度時，本發明中的實體區塊的抹除次數可以減少，因此並不會減少使用壽命。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 是根據第一範例實施例所繪示的主機系統與記憶體儲存裝置。

圖 1B 是根據第一範例實施例所繪示的電腦、輸入/輸出裝置與記憶體儲存裝置的示意圖。

圖 1C 是根據第一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

圖 2 是繪示圖 1A 所示的記憶體儲存裝置的概要方塊圖。

圖 3A 與圖 3B 是根據第一範例實施例所繪示之記憶胞儲存架構與實體區塊的範例示意圖。

圖 4 是根據第一範例實施例所繪示之記憶體控制器的概要方塊圖。

圖 5 是根據第一範例實施例所繪示管理可複寫式非揮發性記憶體模組之實體區塊的範例示意圖。

圖 6 是根據第一範例實施例所繪示寫入更新資料的範例示意圖。

圖 7 是根據另一範例所繪示之寫入更新資料的範例示意圖。

圖 8、圖 9 與圖 10 是根據第一範例實施例所繪示之將第一邏輯單元的資料從緩衝實體區塊搬移至儲存區的範例示意圖。

圖 11 是根據第一範例實施例所繪示之資料寫入方法的流程圖。

圖 12 是根據第二範例實施例所繪示之記憶體儲存裝置的概要示意圖。

圖 13 是根據第二範例實施例所繪示之 MLC NAND 型快閃記憶體模組的實體區塊的範例示意圖。

圖 14 是根據本發明第二範例實施例所繪示管理可複寫式非揮發性記憶體模組之實體區塊的範例示意圖。

圖 15~圖 17 是根據第二範例實施例所繪示之使用子實體區塊寫入資料的範例示意圖。

圖 18 是根據第二範例實施例所繪示之將更新資料寫入至緩衝實體區塊的示意圖。

圖 19 是依照第二範例實施例所繪示之將更新資料寫入至儲存區的範例示意圖。

圖 20 是根據第二範例實施例所繪示之資料寫入方法的流程圖。

【主要元件符號說明】

- 1000：主機系統
- 1100：電腦
- 1102：微處理器
- 1104：隨機存取記憶體
- 1106：輸入/輸出裝置
- 1108：系統匯流排
- 1110：資料傳輸介面
- 1202：滑鼠
- 1204：鍵盤
- 1206：顯示器
- 1208：印表機
- 1212：隨身碟

1214：記憶卡
1216：固態硬碟
1310：數位相機
1312：SD 卡
1314：MMC 卡
1316：記憶棒
1318：CF 卡
1320：嵌入式儲存裝置
100：記憶體儲存裝置
102：連接器
104、1204：記憶體控制器
106、1206：可複寫式非揮發性記憶體模組
302：記憶體管理電路
304：主機介面
306：記憶體介面
308：緩衝記憶體
310、1202：電源管理電路
312：錯誤檢查校正電路
410(0)~410(N)、1410(0)~1410(N)：實體區塊
502、1408：取代區
504、1404：閒置區
506、1402：資料區
508、1410：儲存區
1406：系統區

610(0)~610(H)、1610(0)~1610(H)：邏輯單元

602：第一更新資料

604(0)~604(B)、624(0)~624(B)、1604(0)~1604(P)：邏輯頁面

606a~606f、626a~626f、1506a~1506d：緩衝實體區塊

622：第三更新資料

640：第二更新資料

S1102、S1104、S1106、S1108、S1110、S1112、S1114、S1116：資料寫入方法的步驟

S2002、S2004、S2006、S2008、S2010、S2012、S2014：資料寫入方法的步驟

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101109526

※ 申請日：101. 3. 20

※IPC 分類：

G06F 9/00 2006.01

G06F 12/06 2006.01

一、發明名稱：

記憶體控制器、記憶體儲存裝置與資料寫入方法 /
MEMORY CONTROLLER, MEMORY STORAGE DEVICE,
AND METHOD FOR WRITING DATA

二、中文發明摘要：

一種資料寫入方法，用於具有多個實體單元集合的記憶體儲存裝置，其中每個實體單元集合具有多個下實體單元與上實體單元。此方法包括：將實體單元集合分割為具資料區與閒置區的儲存區；配置多個邏輯單元以映射資料區的實體單元集合；且從主機系統中接收更新資料。本方法還包括：提取從閒置區中提取多個實體單元集合作為緩衝實體單元集合；僅使用各緩衝實體單元集合的一部份來寫入此更新資料；以及使用複製程序將更新資料從緩衝實體單元集合搬移至儲存區。藉此，本方法可有效地縮短執行寫入指令的時間並延長記憶體儲存裝置的壽命。

三、英文發明摘要：

A data writing method for a memory storage device having physical unit unions is provided, wherein each of the

physical unit unions includes upper physical units and lower physical units. The method includes: partitioning the physical unit unions into a storage area including a data area and a spare area; configuring logical units for mapping to the physical unit unions of the data area; and receiving update data from a host system. The method also includes: selecting several physical unit unions from the spare area as buffer physical unit unions; writing the update data only to a part of each of the buffer physical unit unions; and moving the update data from buffer physical unit unions to the storage area by using a copy procedure. Therefore, the time of performing a write command can be shorten and the lifespan of the memory storage device can be prolonged effectively.

四、指定代表圖：

(一) 本案之指定代表圖：圖 11

(二) 本代表圖之元件符號簡單說明：

S1102、S1104、S1106、S1108、S1110、S1112、S1114、
S1116：資料寫入方法的步驟

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

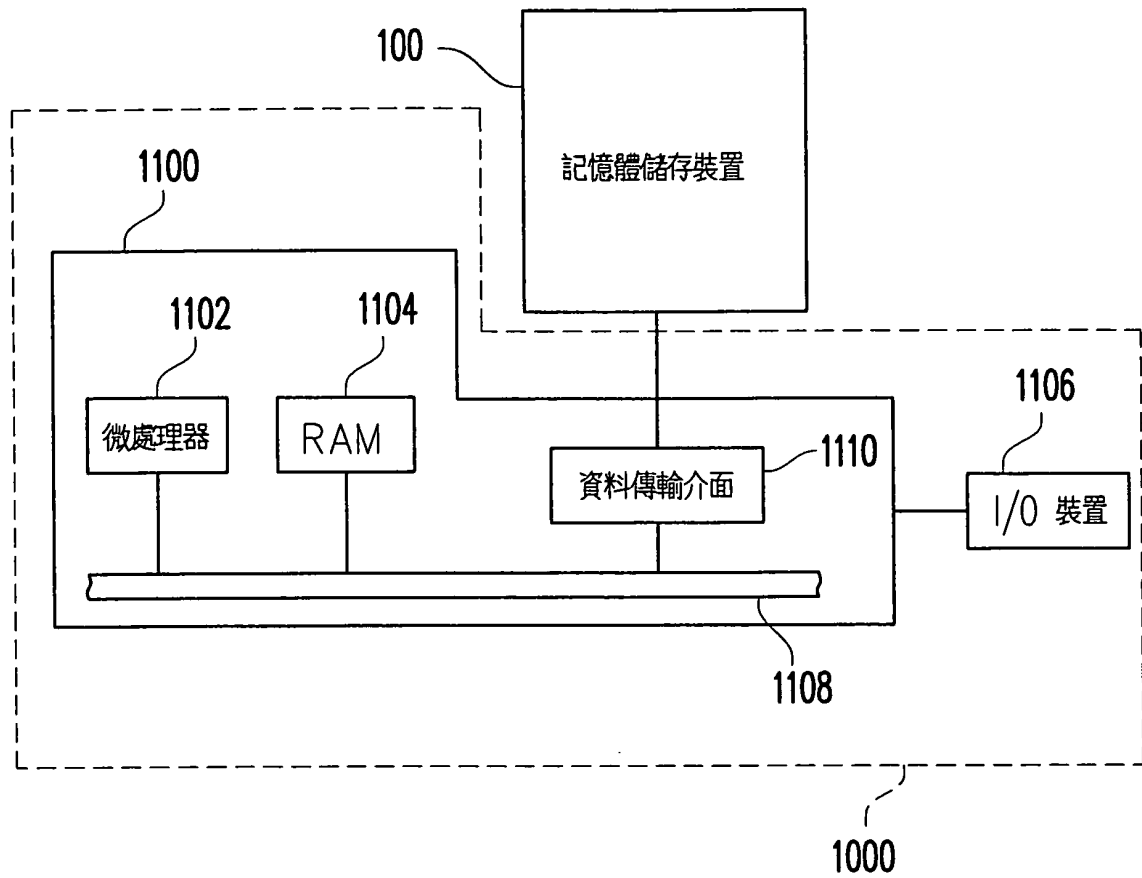


圖 1A

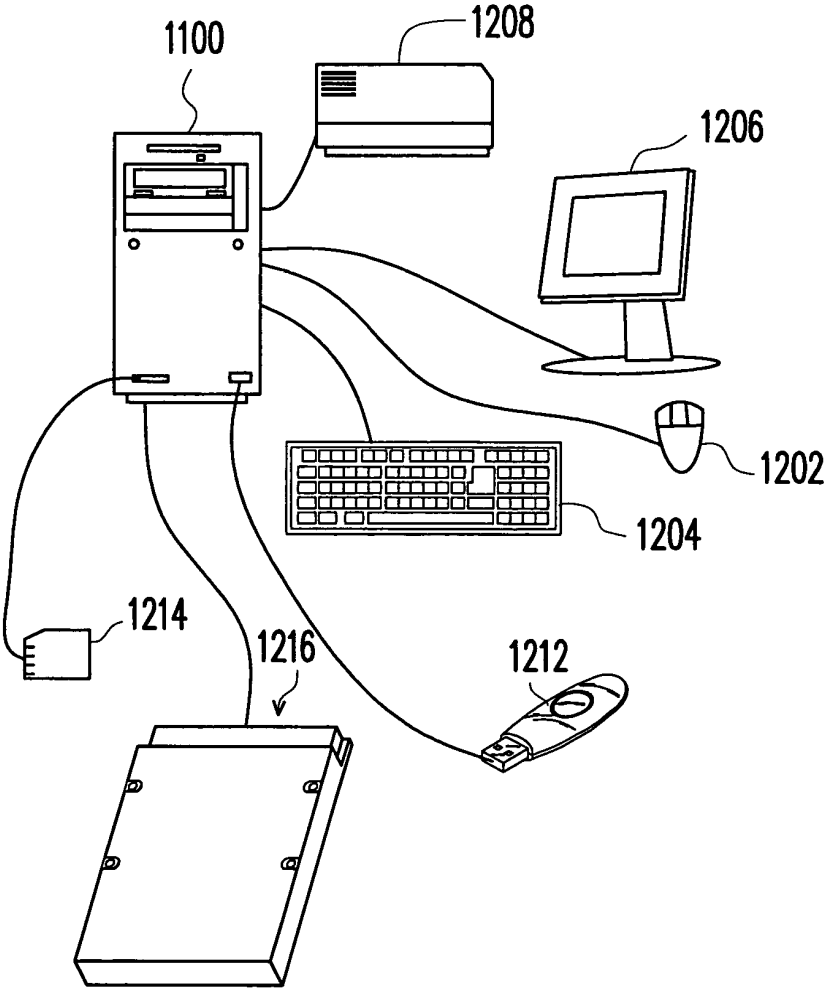


圖 1B

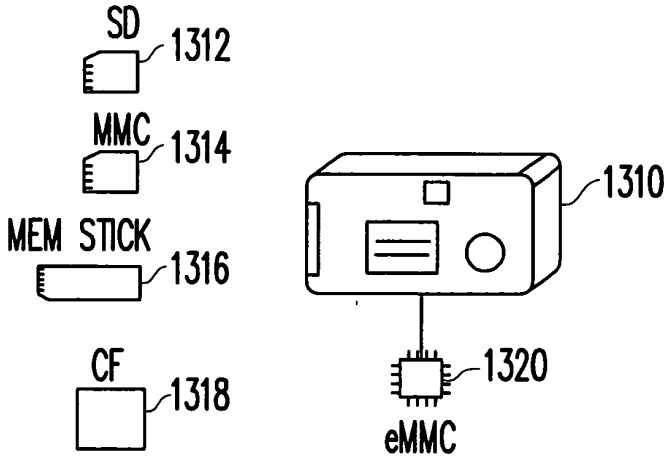


圖 1C

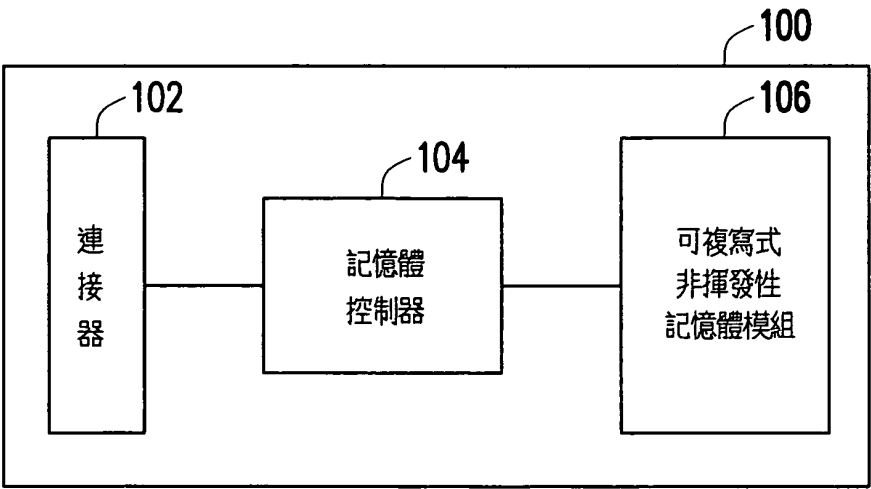


圖 2

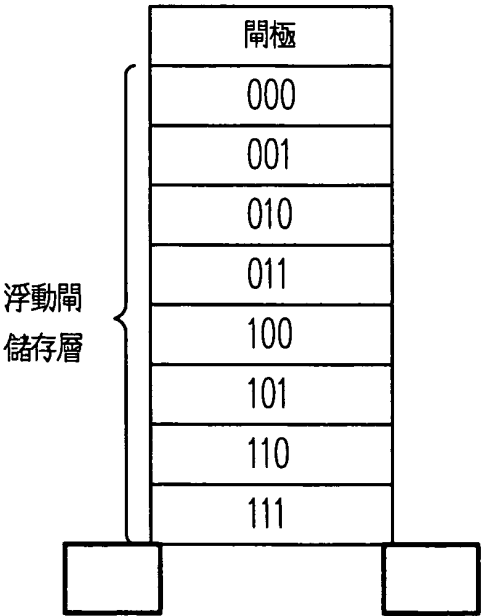


圖 3A

下實體頁面位址	中實體頁面位址	上實體頁面位址
0	1	2
3	4	5
6	7	8
9	10	11
12	13	14
•	•	•
•	•	•
•	•	•
•	•	•
•	•	•
•	•	•
•	•	•
•	•	•
255	256	257

圖 3B

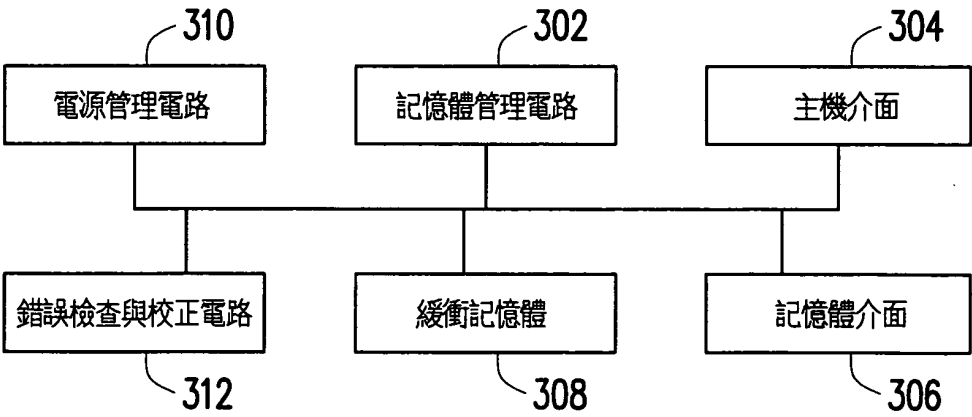


圖 4

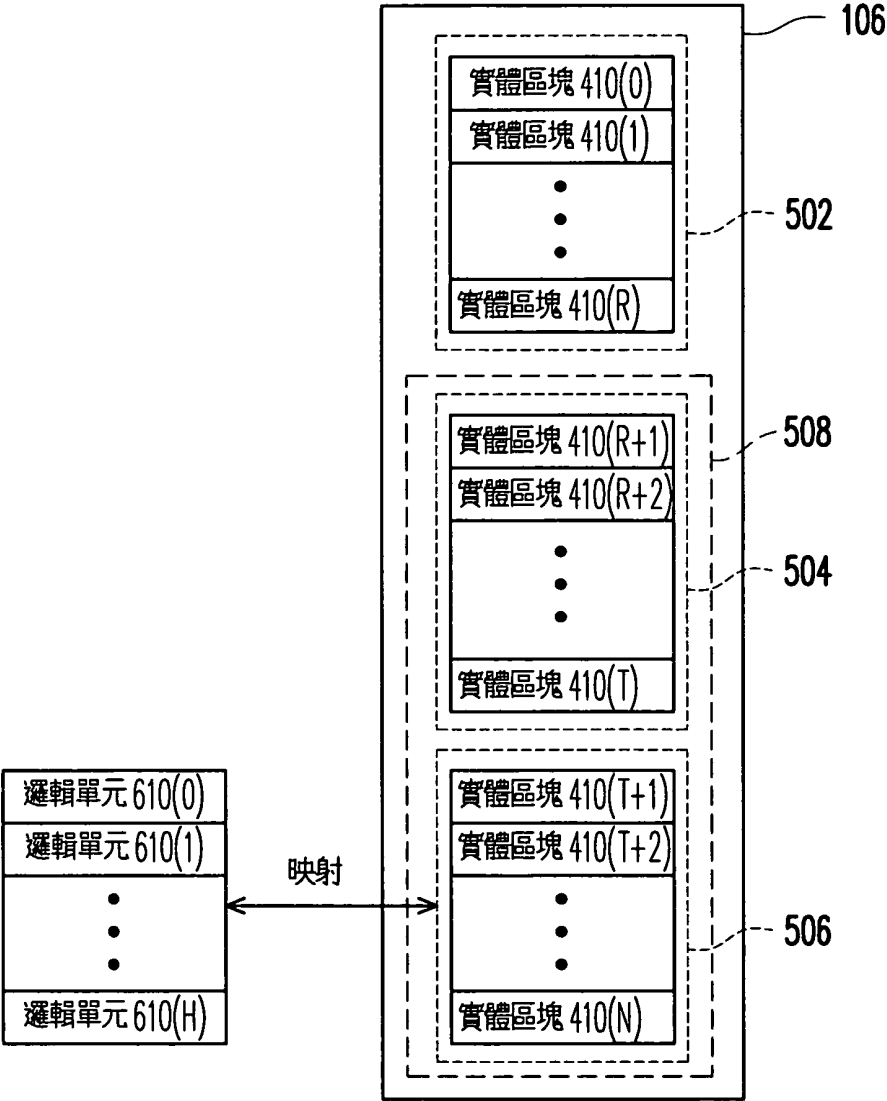


圖 5

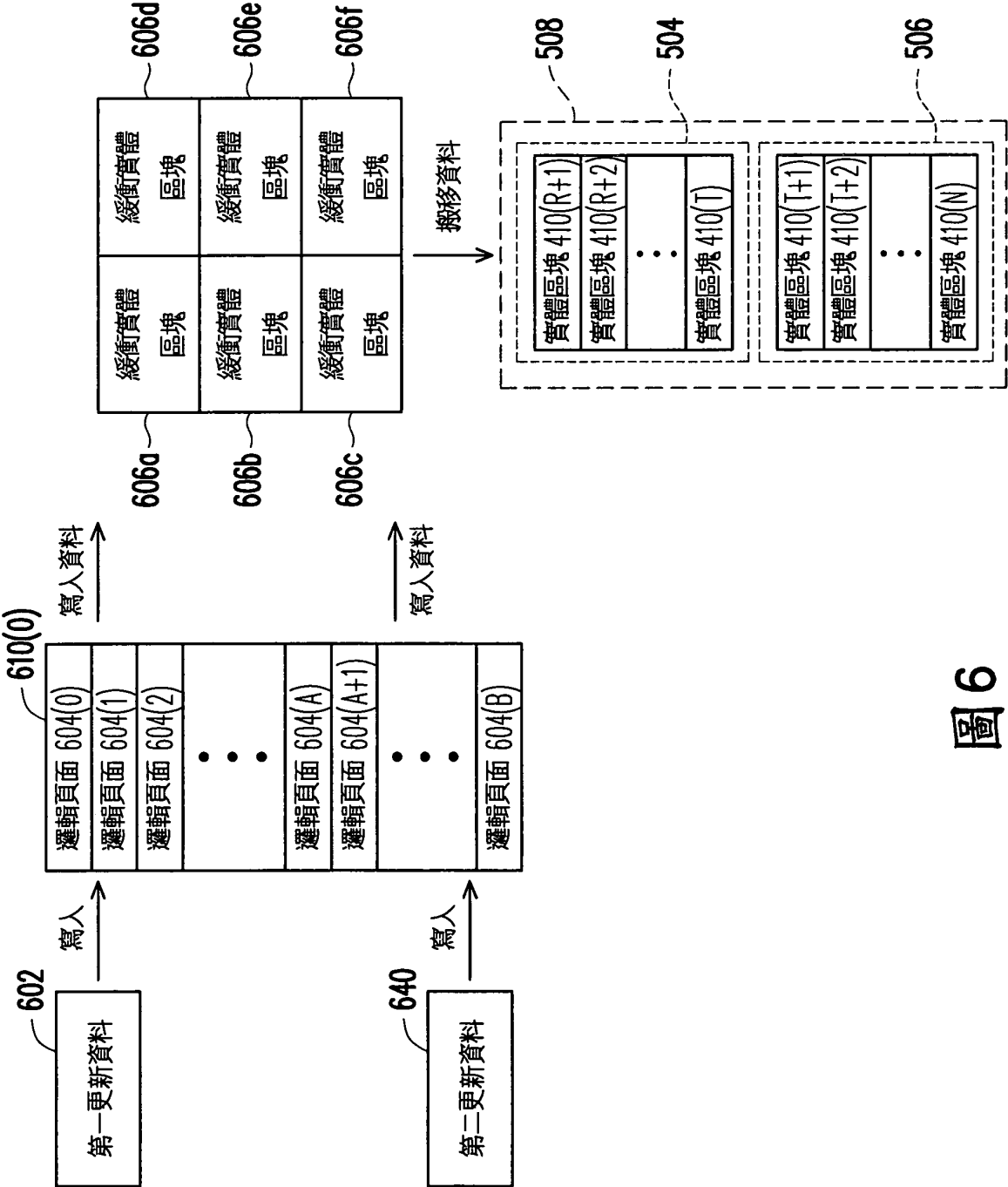


圖6

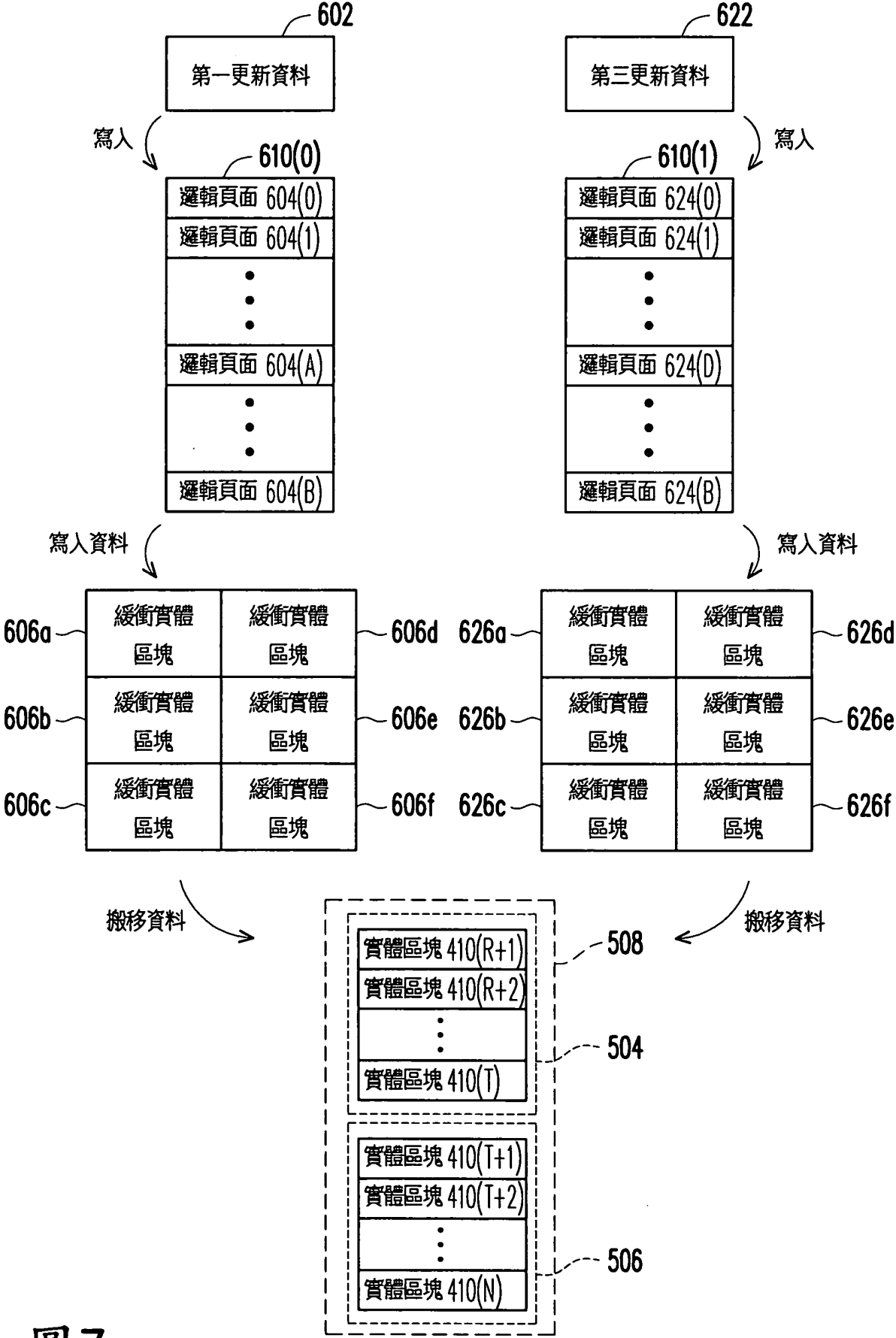


圖 7

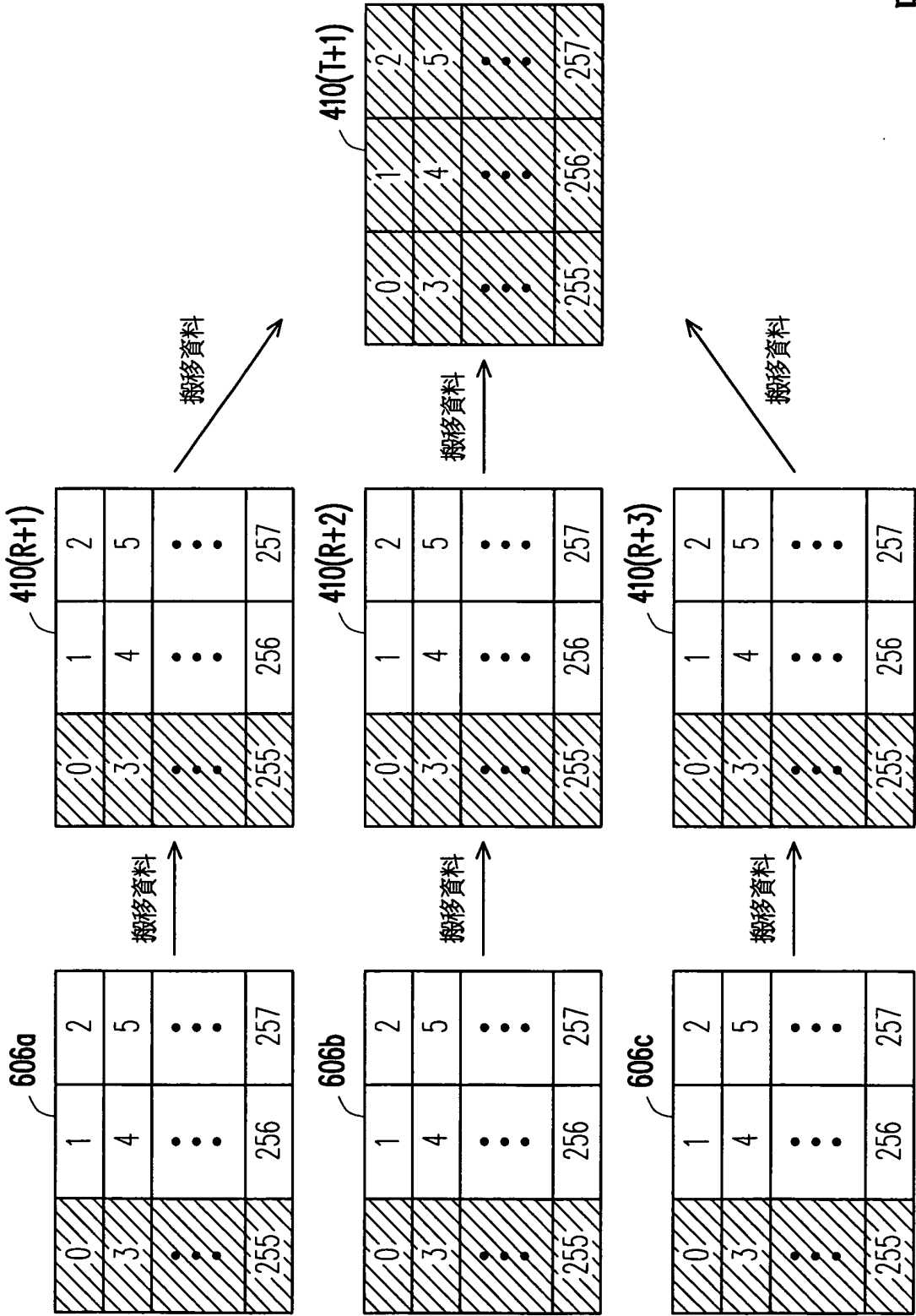


圖 8

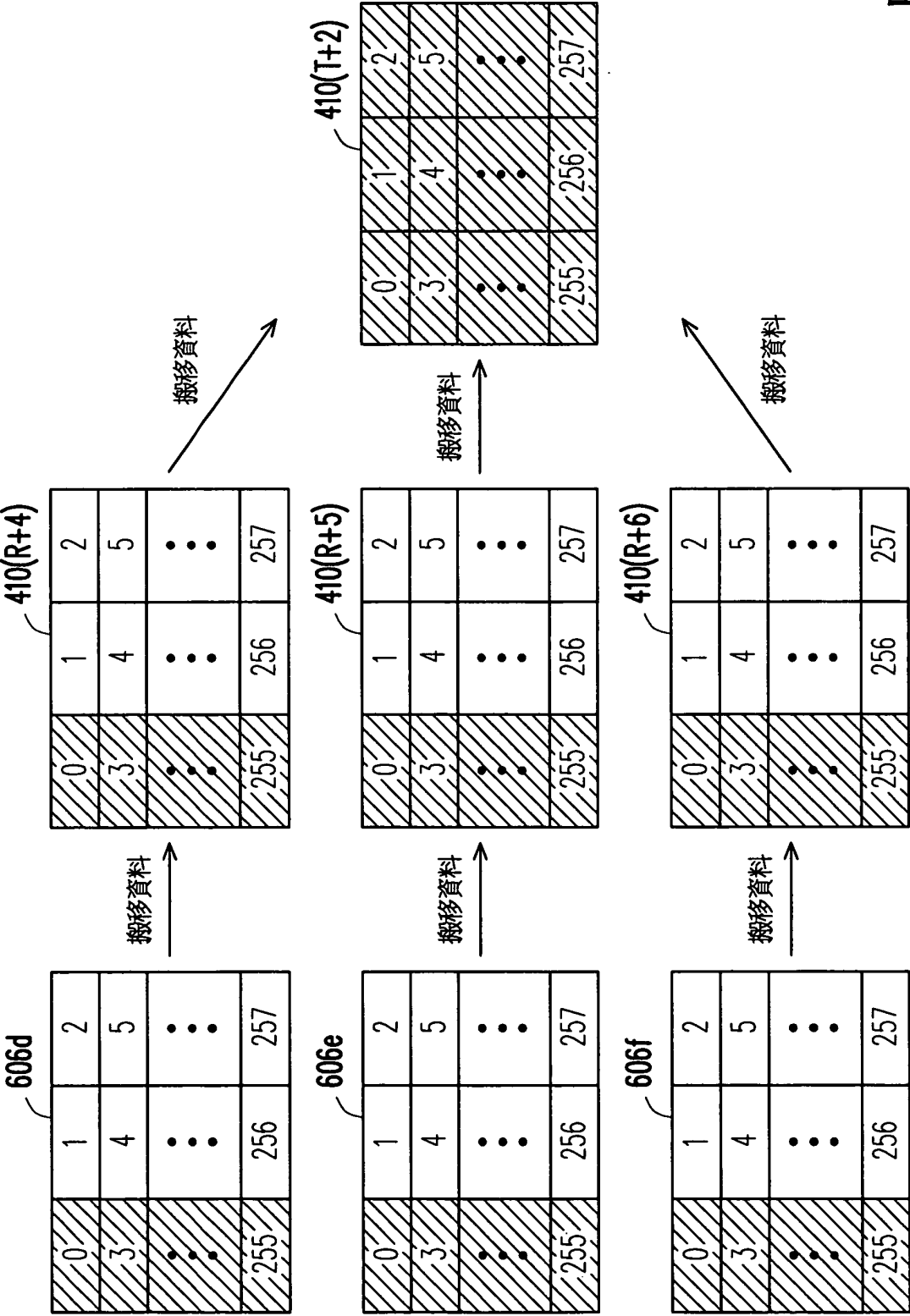


圖 9

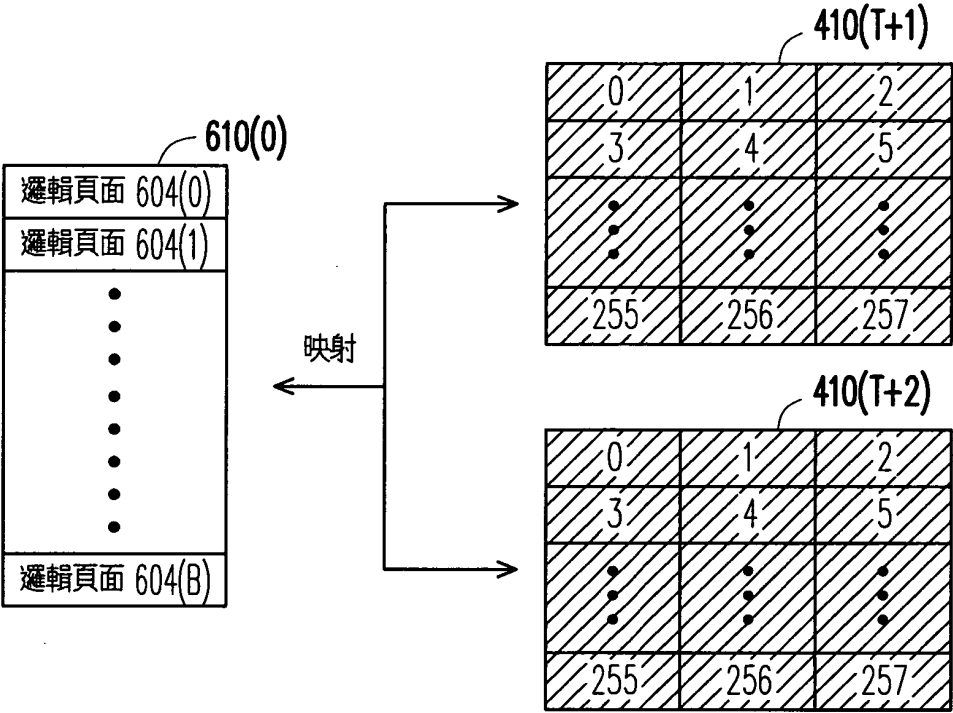


圖 10

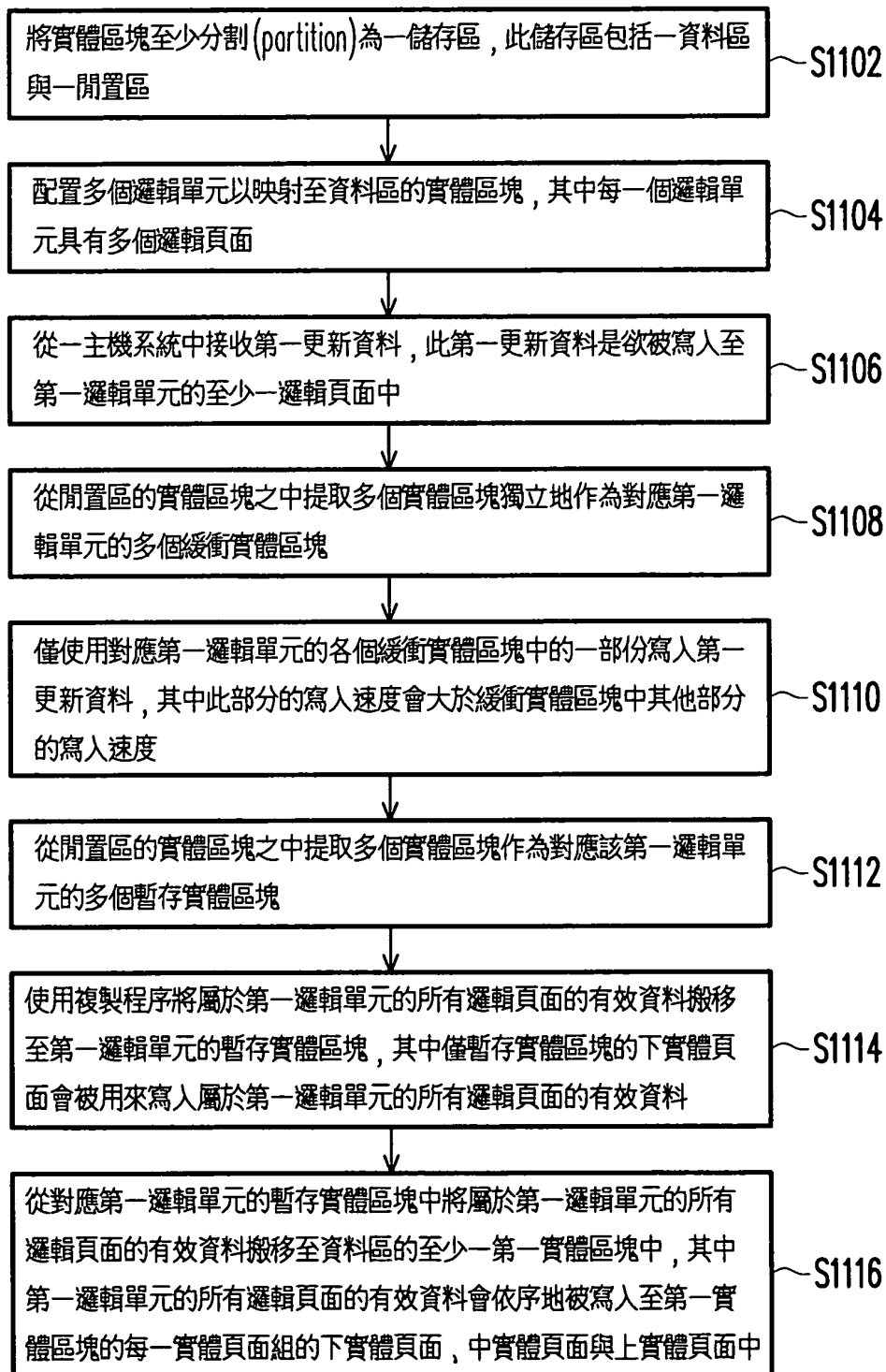


圖 11

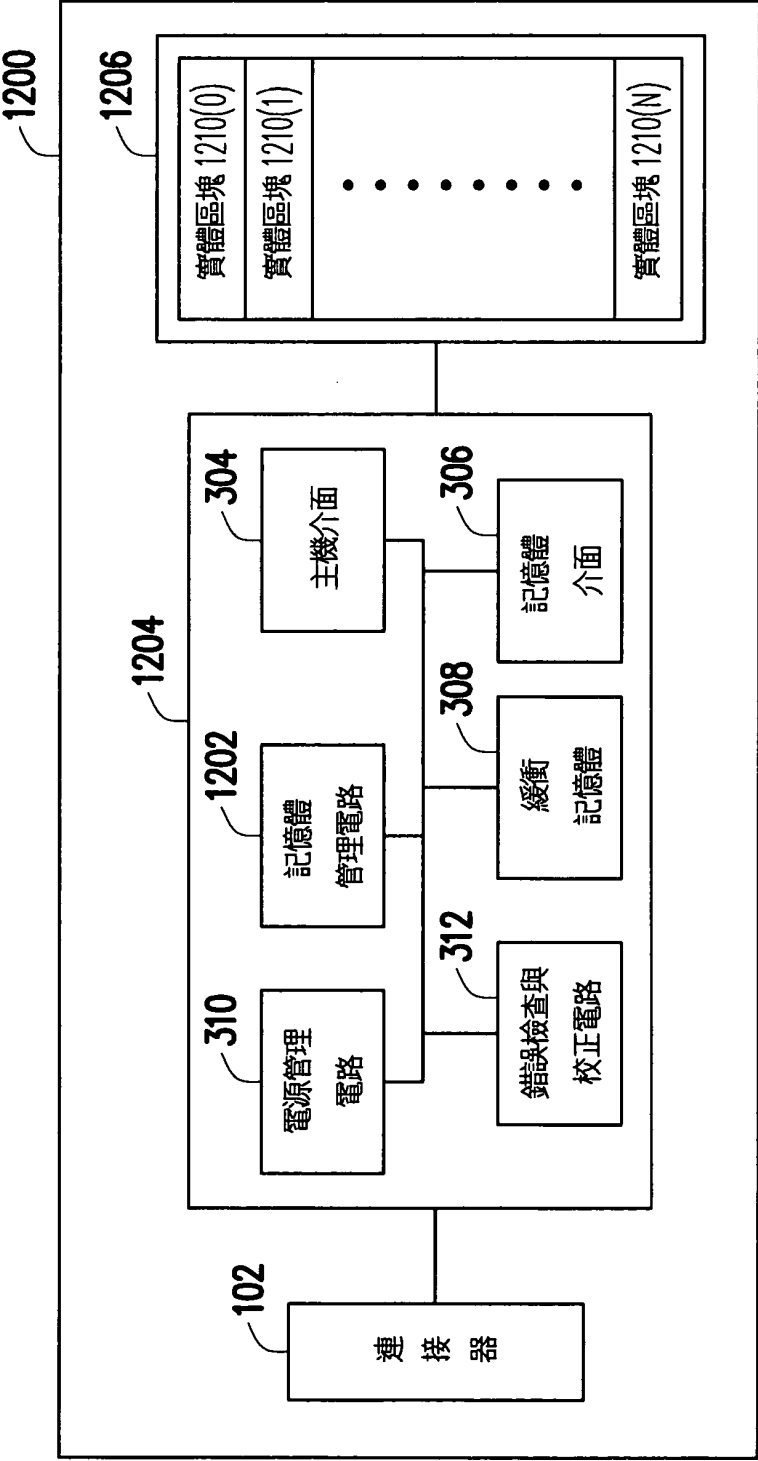


圖 12

下實體頁面位址	上實體頁面位址
0	1
2	3
•	•
•	•
•	•
•	•
•	•
•	•
•	•
•	•
•	•
•	•
•	•
254	255

圖 13

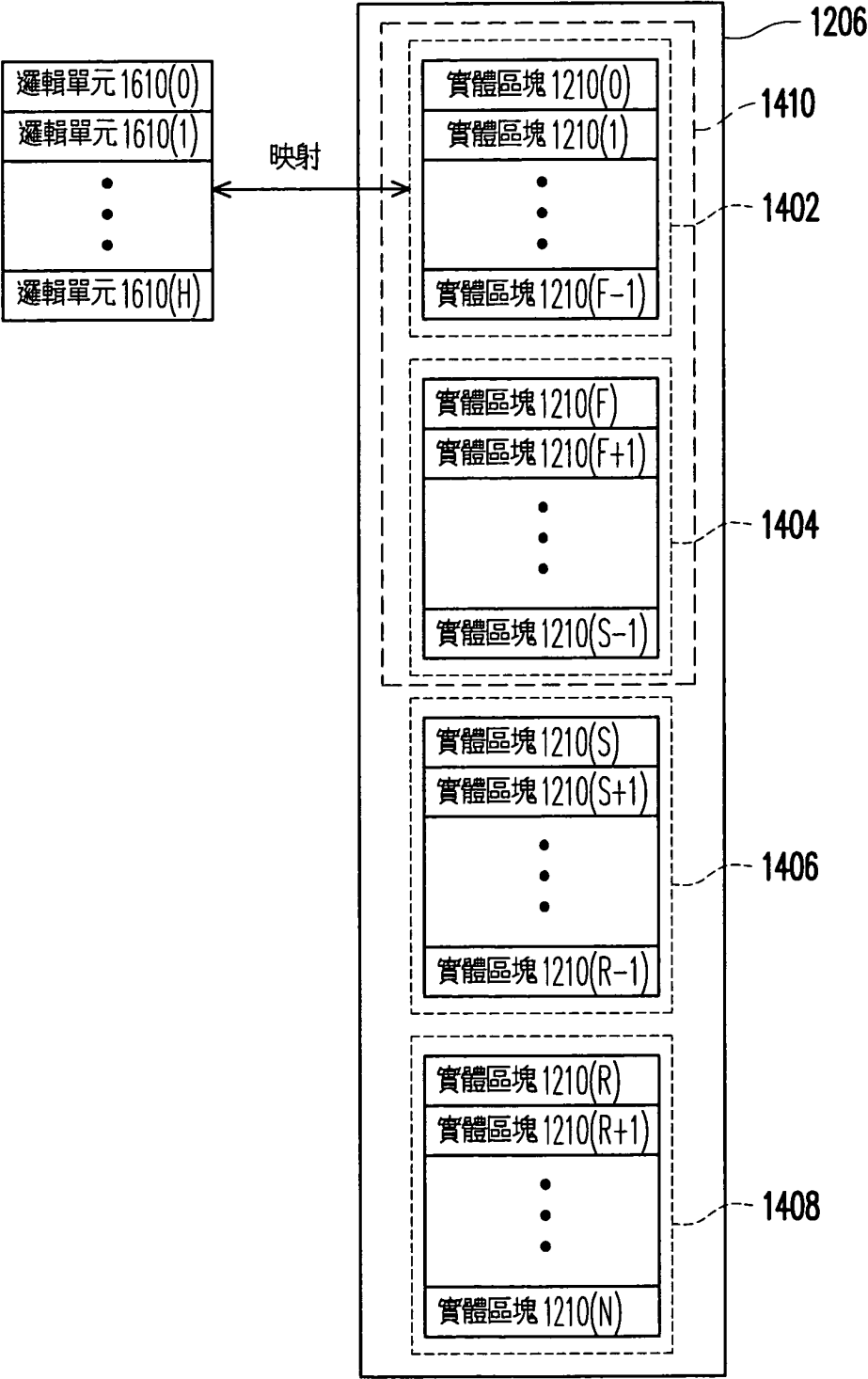


圖 14

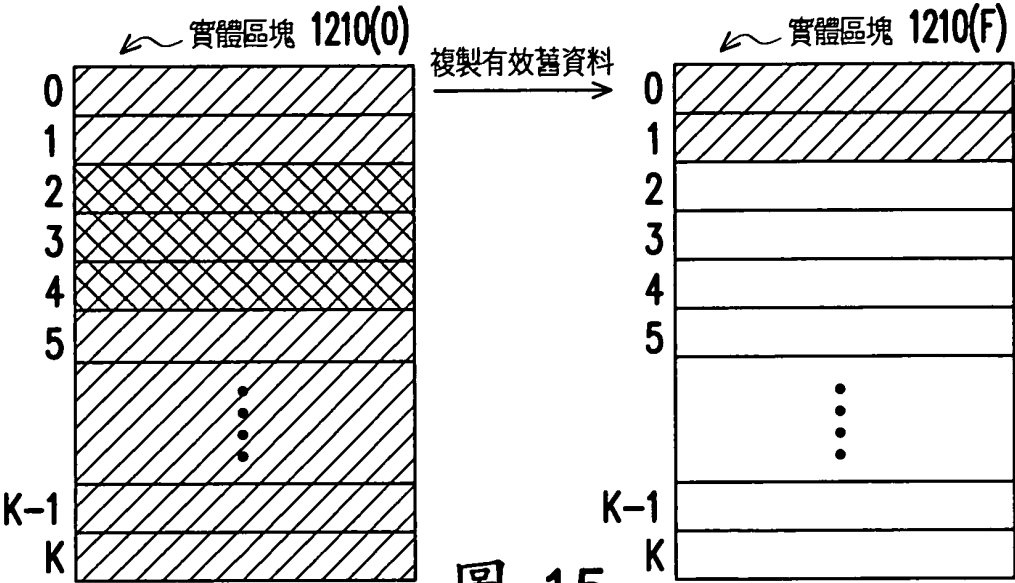


圖 15

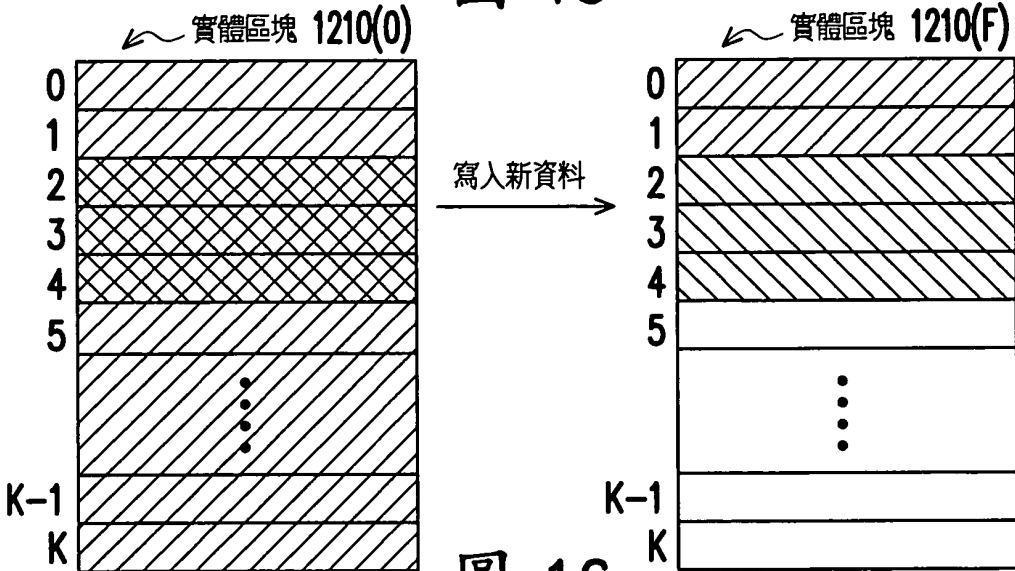


圖 16

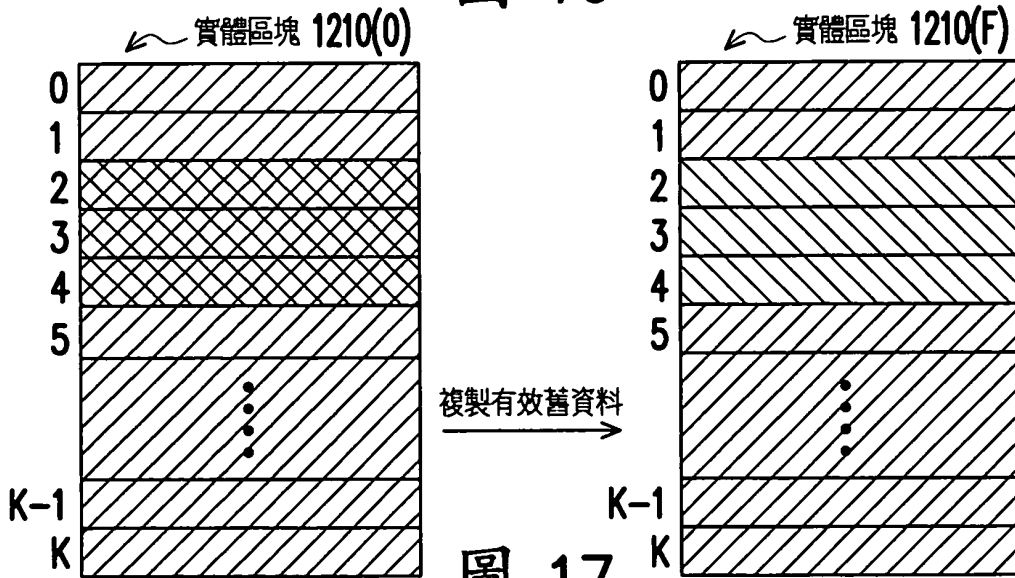


圖 17

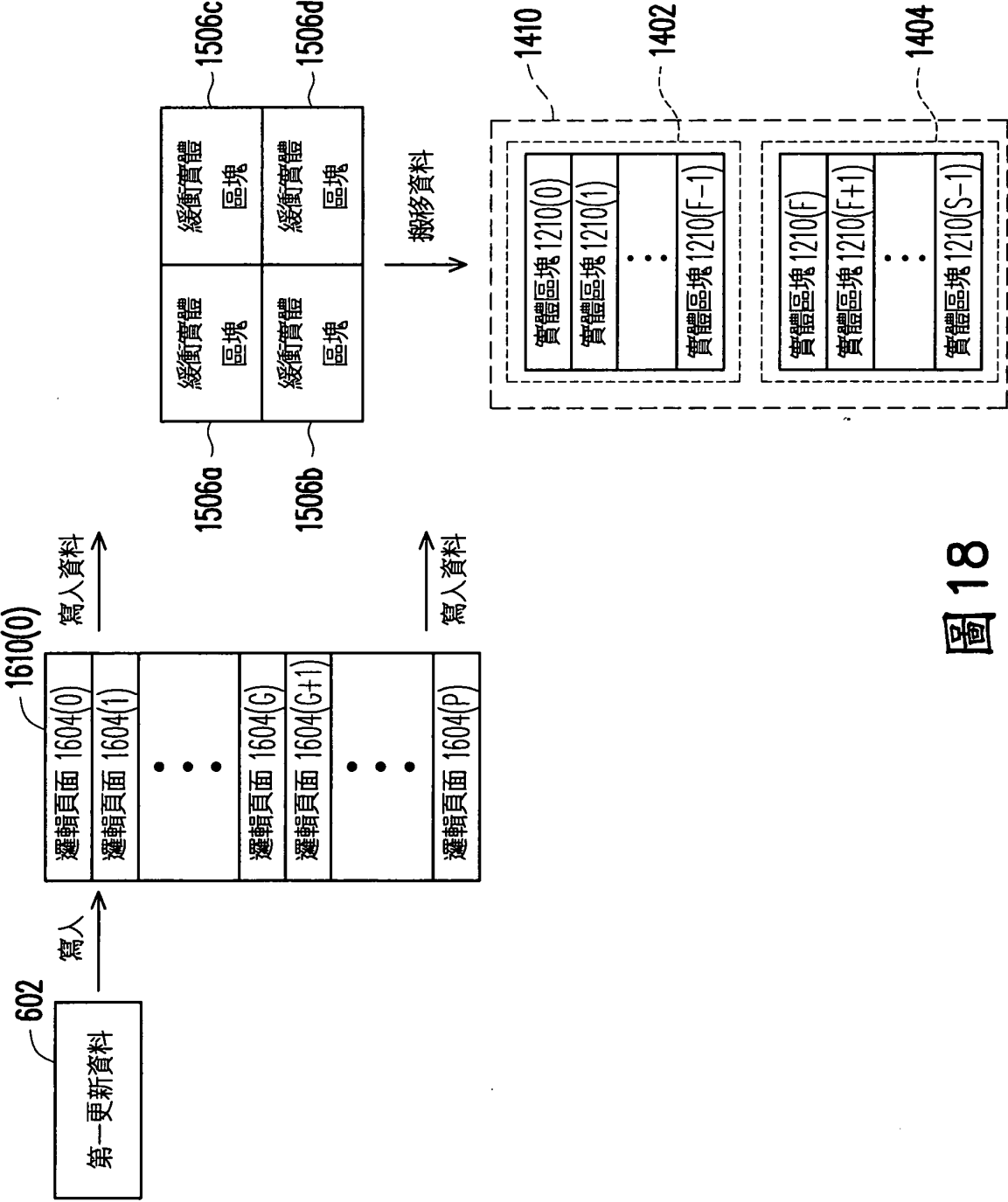


圖 18

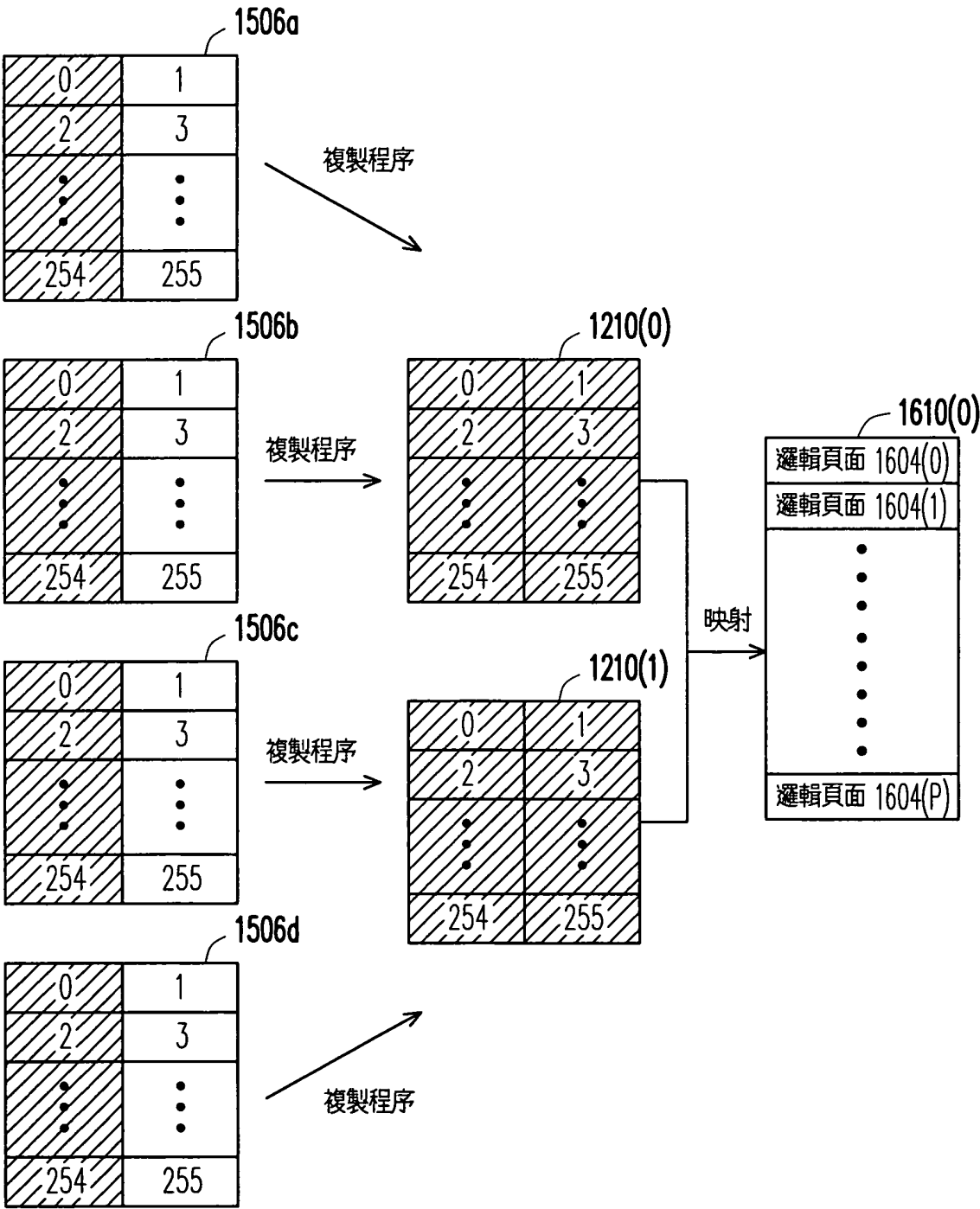


圖 19



圖 20

physical unit unions includes upper physical units and lower physical units. The method includes: partitioning the physical unit unions into a storage area including a data area and a spare area; configuring logical units for mapping to the physical unit unions of the data area; and receiving update data from a host system. The method also includes: selecting serveral physical unit unions from the spare area as buffer physical unit unions; writing the update data only to a part of each of the buffer physical unit unions; and moving the update data from buffer physical unit unions to the storage area by using a copy procedure. Therefore, the time of performing a write command can be shorten and the lifespan of the memory storage device can be prolonged effectively.

四、指定代表圖：

(一) 本案之指定代表圖：圖 11

(二) 本代表圖之元件符號簡單說明：

S1102、S1104、S1106、S1108、S1110、S1112、S1114、
S1116：資料寫入方法的步驟

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

七、申請專利範圍：

1. 一種資料寫入方法，用於一記憶體儲存裝置，其中該記憶體儲存裝置包括一可複寫式非揮發性記憶體模組，該可複寫式非揮發性記憶體模組具有多個實體單元集合，每一該些實體單元集合具有多個實體單元組，每一該些實體單元組至少具有一下實體單元與一上實體單元，寫入資料至該些下實體單元的速度快於寫入資料至該些上實體單元的速度，該資料寫入方法包括：

將該些實體單元集合至少分割(partition)為一儲存區，其中該儲存區包括一資料區與一閒置區；

配置多個邏輯單元以映射該資料區的該些實體單元集合，其中每一該些邏輯單元具有多個邏輯頁面；

從一主機系統中接收一第一更新資料，其中該第一更新資料欲被寫入至該些邏輯單元之中的一第一邏輯單元的至少一邏輯頁面中；

從該閒置區的該些實體單元集合之中提取多個實體單元集合獨立地作為對應該第一邏輯單元的多個緩衝實體單元集合，其中各該些緩衝實體單元集合僅用來寫入對應該第一邏輯單元的資料；

僅使用對應該第一邏輯單元的各該些緩衝實體單元集合的一部份來寫入該第一更新資料，其中該部分的一寫入速度大於各該些緩衝實體單元集合的一其他部分的一寫入速度；以及

使用一複製程序將該第一更新資料從對應該第一邏

輯單元的該些緩衝實體單元集合搬移至該儲存區。

2. 如申請專利範圍第 1 項所述之資料寫入方法，其中使用該複製程序將該第一更新資料從對應該第一邏輯單元的該些緩衝實體單元集合搬移至該儲存區的步驟包括：

從該閒置區的該些實體單元集合之中提取至少一個實體單元集合作為對應該第一邏輯單元的至少一替換實體單元集合；以及

使用該複製程序將屬於該第一邏輯單元的所有邏輯頁面的有效資料搬移至該第一邏輯單元的該至少一替換實體單元集合，其中該第一邏輯單元的所有邏輯頁面的有效資料會依序地被寫入至該至少一替換實體單元集合的每一實體單元組的下實體單元與上實體單元中。

3. 如申請專利範圍第 1 項所述之資料寫入方法，其中每一該些實體單元組更具有一中實體單元，並且寫入資料至該些下實體單元的速度快於寫入資料至該些中實體單元的速度，

其中使用該複製程序將該第一更新資料從對應該第一邏輯單元的該些緩衝實體單元集合搬移至該儲存區的步驟包括：

從該閒置區的該些實體單元集合之中提取多個實體單元集合作為對應該第一邏輯單元的多個暫存實體單元集合；

使用該複製程序將屬於該第一邏輯單元的所有邏輯頁面的有效資料搬移至該第一邏輯單元的該些暫存實體單

元集合，其中僅該第一邏輯單元的該些暫存實體單元集合的該些下實體單元會被用來寫入屬於該第一邏輯單元的所有邏輯頁面的有效資料；以及

從對應該第一邏輯單元的該些暫存實體單元集合中將屬於該第一邏輯單元的所有邏輯頁面的有效資料搬移至該資料區的該些實體單元集合之中的至少一第一實體單元集合中，其中該第一邏輯單元的所有邏輯頁面的有效資料會依序地被寫入至該至少一第一實體單元集合的每一實體單元組的下實體單元、中實體單元與上實體單元中。

4. 如申請專利範圍第 1 項所述之資料寫入方法，更包括：

在使用該複製程序將該第一更新資料從對應該第一邏輯單元的該些緩衝實體單元集合搬移至該儲存區的同時，從該主機系統中接收一第二更新資料。

5. 如申請專利範圍第 1 項所述之資料寫入方法，更包括：

從該主機系統中接收一第三更新資料，其中該第三更新資料欲被寫入至該些邏輯單元中的一第二邏輯單元的至少一邏輯頁面中；

從該閒置區的該些實體單元集合之中提取多個實體單元集合獨立地作為對應該第二邏輯單元的多個緩衝實體單元集合；

僅使用對應該第二邏輯單元的各該些緩衝實體單元集合的該部份來寫入該第三更新資料；以及

使用該複製程序將該第三更新資料從對應該第二邏

輯單元的該些緩衝實體單元集合搬移至該儲存區。

6. 如申請專利範圍第 5 項所述之資料寫入方法，其中使用該複製程序將該第一更新資料從對應該第一邏輯單元的該些緩衝實體單元集合搬移至該儲存區的步驟和使用該複製程序將該第三更新資料從對應該第二邏輯單元的該些緩衝實體單元集合搬移至該儲存區的步驟是以一平行方式同時被執行。

7. 一種記憶體儲存裝置，包括：

一可複寫式非揮發性記憶體模組，具有多個實體單元集合，每一該些實體單元集合具有多個實體單元組，每一該些實體單元組至少具有一下實體單元與一上實體單元，寫入資料至該些下實體單元的速度快於寫入資料至該些上實體單元的速度；

一連接器，用以耦接至一主機系統；以及

一記憶體控制器，用以耦接至該該連接器與該可複寫式非揮發性記憶體模組，

其中，該記憶體控制器將該些實體單元集合至少分割(partition)為一儲存區，其中該儲存區包括一資料區與一閒置區，

其中，該記憶體控制器配置多個邏輯單元以映射該資料區的該些實體單元集合，其中每一該些邏輯單元具有多個邏輯頁面，

其中，該記憶體控制器從該主機系統中接收一第一更新資料，其中該第一更新資料欲被寫入至該些邏輯單元之

中的一第一邏輯單元的至少一邏輯頁面中，

其中，該記憶體控制器從該閒置區的該些實體單元集合之中提取多個實體單元集合獨立地作為對應該第一邏輯單元的多個緩衝實體單元集合，其中各該些緩衝實體單元集合僅用來寫入對應該第一邏輯單元的資料，

其中，該記憶體控制器僅使用對應該第一邏輯單元的各該些緩衝實體單元集合的一部份來寫入該第一更新資料，其中該部分的一寫入速度大於各該些緩衝實體單元集合的一其他部分的一寫入速度，

其中，該記憶體控制器使用一複製程序將該第一更新資料從對應該第一邏輯單元的該些緩衝實體單元集合搬移至該儲存區。

8. 如申請專利範圍第 7 項所述之記憶體儲存裝置，其中該記憶體控制器從該閒置區的該些實體單元集合之中提取至少一個實體單元集合作為對應該第一邏輯單元的至少一替換實體單元集合，並且使用該複製程序將屬於該第一邏輯單元的所有邏輯頁面的有效資料搬移至該第一邏輯單元的該至少一替換實體單元集合，其中該第一邏輯單元的所有邏輯頁面的有效資料會依序地被寫入至該至少一替換實體單元集合的每一實體單元組的下實體單元與上實體單元中。

9. 如申請專利範圍第 7 項所述之記憶體儲存裝置，其中每一該些實體單元組更具有一中實體單元，並且寫入資料至該些下實體單元的速度快於寫入資料至該些中實體單

元的速度，

其中該記憶體控制器還用以從該閒置區的該些實體單元集合之中提取多個實體單元集合作為對應該第一邏輯單元的多個暫存實體單元集合，並使用該複製程序將屬於該第一邏輯單元的所有邏輯頁面的有效資料搬移至該第一邏輯單元的該些暫存實體單元集合，其中僅該第一邏輯單元的該些暫存實體單元集合的該些下實體單元會被用來寫入屬於該第一邏輯單元的所有邏輯頁面的有效資料，

該記憶體控制器還用以從對應該第一邏輯單元的該些暫存實體單元集合中將屬於該第一邏輯單元的所有邏輯頁面的有效資料搬移至該資料區的該些實體單元集合之中的至少一第一實體單元集合中，其中該第一邏輯單元的所有邏輯頁面的有效資料會依序地被寫入至該至少一第一實體單元集合的每一實體單元組的下實體單元、中實體單元與上實體單元中。

10. 如申請專利範圍第 7 項所述之記憶體儲存裝置，其中該記憶體控制器在使用該複製程序將該第一更新資料從對應該第一邏輯單元的該些緩衝實體單元集合搬移至該儲存區的同時，從該主機系統中接收一第二更新資料。

11. 如申請專利範圍第 7 項所述之記憶體儲存裝置，其中該記憶體控制器還用以從該主機系統中接收一第三更新資料，其中該第三更新資料欲被寫入至該些邏輯單元中的一第二邏輯單元的至少一邏輯頁面中，

其中，該記憶體控制器還用以從該閒置區的該些實體

單元集合之中提取多個實體單元集合獨立地作為對應該第二邏輯單元的多個緩衝實體單元集合，並且僅使用對應該第二邏輯單元的各該些緩衝實體單元集合的該部份來寫入該第三更新資料，

其中，該記憶體控制器還用以使用該複製程序將該第三更新資料從對應該第二邏輯單元的該些緩衝實體單元集合搬移至該儲存區。

12. 如申請專利範圍第 11 項所述之記憶體儲存裝置，其中該記憶體控制器是以一平行方式同時執行使用該複製程序將該第一更新資料從對應該第一邏輯單元的該些緩衝實體單元集合搬移至該資料區的步驟和使用該複製程序將該第三更新資料從對應該第二邏輯單元的該些緩衝實體單元集合搬移至該資料區的步驟。

13. 一種記憶體控制器，用以控制一可複寫式非揮發性記憶體模組，其中該可複寫式非揮發性記憶體模組具有多個實體單元集合，每一該些實體單元集合具有多個實體單元組，每一該些實體單元組至少具有一下實體單元與一上實體單元，寫入資料至該些下實體單元的速度快於寫入資料至該些上實體單元的速度，該記憶體控制器包括：

一主機介面，用以耦接至一主機系統；

一記憶體介面，用以耦接至該可複寫式非揮發性記憶體模組；以及

一記憶體管理電路，耦接至該主機介面與該記憶體介面，並將該些實體單元集合至少分割(partition)為一儲存

區，其中該儲存區包括一資料區與一閒置區，

其中，該記憶體管理電路配置多個邏輯單元以映射該資料區的該些實體單元集合，其中每一該些邏輯單元具有多個邏輯頁面，

其中，該記憶體管理電路從該主機系統中接收一第一更新資料，其中該第一更新資料欲被寫入至該些邏輯單元中的一第一邏輯單元的至少一邏輯頁面中，

其中，該記憶體管理電路從該閒置區的該些實體單元集合之中提取多個實體單元集合獨立地作為對應該第一邏輯單元的多個緩衝實體單元集合，其中各該些緩衝實體單元集合僅用來寫入對應該第一邏輯單元的資料，

其中，該記憶體管理電路僅使用對應該第一邏輯單元的各該些緩衝實體單元集合的一部份來寫入該第一更新資料，其中該部分的一寫入速度大於各該些緩衝實體單元集合的一其他部分的一寫入速度，

其中，該記憶體管理電路使用一複製程序將該第一更新資料從對應該第一邏輯單元的該些緩衝實體單元集合搬移至該儲存區。

14. 如申請專利範圍第 13 項所述之記憶體控制器，其中該記憶體管理電路從該閒置區的該些實體單元集合之中提取至少一個實體單元集合作為對應該第一邏輯單元的至少一替換實體單元集合，並使用該複製程序將屬於該第一邏輯單元的所有邏輯頁面的有效資料搬移至該第一邏輯單元的該至少一替換實體單元集合，

其中該第一邏輯單元的所有邏輯頁面的有效資料會依序地被寫入至該至少一替換實體單元集合的每一實體單元組的下實體單元與上實體單元中。

15. 如申請專利範圍第 13 項所述之記憶體控制器，其中每一該些實體單元組更具有一中實體單元，並且寫入資料至該些下實體單元的速度快於寫入資料至該些中實體單元的速度

其中該記憶體管理電路還用以從該閒置區的該些實體單元集合之中提取多個實體單元集合作為對應該第一邏輯單元的多個暫存實體單元集合，並使用該複製程序將屬於該第一邏輯單元的所有邏輯頁面的有效資料搬移至該第一邏輯單元的該些暫存實體單元集合，其中僅該第一邏輯單元的該些暫存實體單元集合的該些下實體單元會被用來寫入屬於該第一邏輯單元的所有邏輯頁面的有效資料，

該記憶體管理電路還用以從對應該第一邏輯單元的該些暫存實體單元集合中將屬於該第一邏輯單元的所有邏輯頁面的有效資料搬移至該資料區的該些實體單元集合之中的至少一第一實體單元集合中，其中該第一邏輯單元的所有邏輯頁面的有效資料會依序地被寫入至該至少一第一實體單元集合的每一實體單元組的下實體單元、中實體單元與上實體單元中。

16. 如申請專利範圍第 13 項所述之記憶體控制器，其中該記憶體管理電路在使用該複製程序將該第一更新資料從對應該第一邏輯單元的該些緩衝實體單元集合搬移至該

儲存區的同時，從該主機系統中接收一第二更新資料。

17. 如申請專利範圍第 13 項所述之記憶體控制器，其中該記憶體管理電路還用以從該主機系統中接收一第三更新資料，其中該第三更新資料欲被寫入至該些邏輯單元中的一第二邏輯單元的至少一邏輯頁面中，

其中，該記憶體管理電路還用以從該閒置區的該些實體單元集合之中提取多個實體單元集合獨立地作為對應該第二邏輯單元的多個緩衝實體單元集合，且僅使用對應該第二邏輯單元的各該些緩衝實體單元集合的該部份來寫入該第三更新資料，

其中，該記憶體管理電路還用以使用該複製程序將該第三更新資料從對應該第二邏輯單元的該些緩衝實體單元集合搬移至該儲存區。

18. 如申請專利範圍第 17 項所述之記憶體控制器，其中該記憶體管理電路是以一平行方式同時執行使用該複製程序將該第一更新資料從對應該第一邏輯單元的該些緩衝實體單元集合搬移至該儲存區的步驟和使用該複製程序將該第三更新資料從對應該第二邏輯單元的該些緩衝實體單元集合搬移至該儲存區的步驟。