(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2005 年2 月17 日 (17.02.2005)

PCT

(10) 国際公開番号
WO 2005/015636 A1

(51) 国際特許分類[7]: H01L 27/04, 27/06, H03F 3/189, 3/20, H01L 29/78

(21) 国際出願番号: PCT/JP2004/011670

(22) 国際出願日: 2004 年8 月6 日 (06.08.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2003-290136 2003 年8 月8 日 (08.08.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目４番１号 Tokyo (JP).

(72) 発明者; および

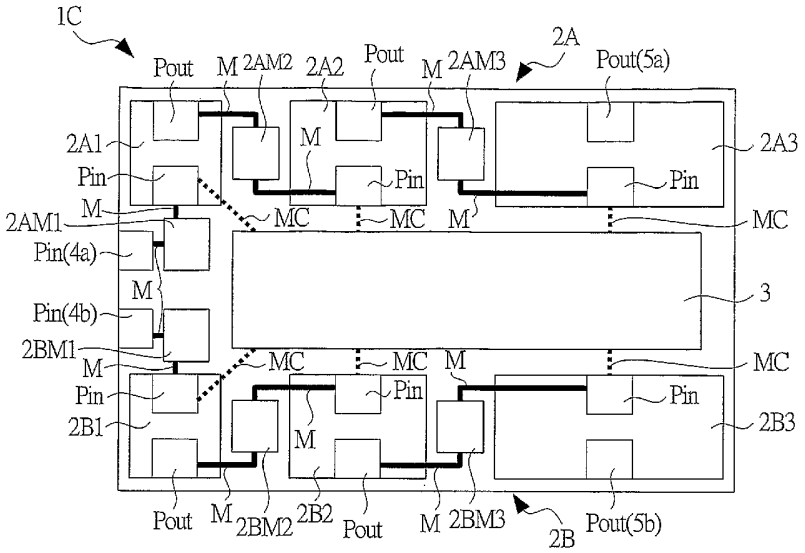
(75) 発明者/出願人 (米国についてのみ): 清水 敏彦 (SHIMIZU, Toshihiko) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目４番１号 株式会社ルネサステクノロジ内 Tokyo (JP). 松永 良国 (MATSUNAGA, Yoshikuni) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目４番１号 株式会社ルネサステクノロジ内 Tokyo (JP). 草刈 ゆり (KUSAKARI, Yuri) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目４番１号 株式会社ルネサステクノロジ内 Tokyo (JP).

(74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒1600023 東京都新宿区西新宿８丁目１番１号 アゼリアビル３階 筒井国際特許事務所 Tokyo (JP).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: It is possible to reduce size of a semiconductor device containing power amplification circuits of different systems. Power amplification circuits (2A, 2B) of different systems constituting an RF power module of a digital mobile telephone of the dual method capable of handling high-frequency signals of two frequency bands are arranged in a single IC chip (1C). In this case, the power amplification circuits (2A, 2B) are arranged at the periphery of the IC chip (1C) and a peripheral circuit (3) is arranged between the power amplification circuits (2A, 2B). Thus, it is possible to arrange the power amplification circuits (2A, 2B) of different systems in the single IC chip (1C) to reduce the size. Moreover, even when the power amplification circuits (2A, 2B) of different systems are arranged in the single IC chip (1C), it is possible to assure a certain distance between the power amplification circuits (2A, 2B) and to suppress the connection between the power amplification circuits (2A, 2B), thereby suppressing cross talk between the power amplification circuits (2A, 2B).

(57) 要約: 異なる系統の電力増幅回路を含む半導体装置を小型にする。２つの周波数帯の高周波信号を取り扱うことが可能なデュアル方式のデジタル携帯電話機のＲＦパワーモジュールを構成する系統の異なる電力増幅回路２Ａ，２Ｂを同一のＩＣチップ１Ｃ内に配置した。

[続葉有]

WO 2005/015636 A1

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

この場合、電力増幅回路２Ａ，２ＢをＩＣチップ１Ｃの周辺に配置し、周辺回路３を電力増幅回路２Ａ，２Ｂの間に配置させた。これにより、異なる系統の電力増幅回路２Ａ，２Ｂを同一のＩＣチップ１Ｃ内に設けて小型化が図れる上、異なる系統の電力増幅回路２Ａ，２Ｂを同一のＩＣチップ１Ｃに設けても電力増幅回路２Ａ，２Ｂ間の距離が確保されるので電力増幅回路２Ａ，２Ｂ間の結合を抑制させることができ、電力増幅回路２Ａ，２Ｂ間でのクロストークを抑制できる。

明　細　書

半導体装置

技術分野

本発明は、半導体装置技術に関し、特に、ＲＦ（Radio Frequency）パワーモジュールに適用して有効な技術に関するものである。

背景技術

本発明者が検討したＲＦパワーモジュールは、例えば携帯電話機等のような通信機器に用いられる信号増幅用の電子部品であり、信号増幅用のトランジスタを有する複数の半導体チップやチップ部品等をモジュール基板上に実装することで組み立てられている。各半導体チップとモジュール基板とは、ボンディングワイヤを通じて電気的に接続されている。また、チップ部品もその端子をはんだ付けによりモジュール基板のパッドに接続することでモジュール基板と電気的に接続されている。

なお、例えば特開２０００－３３２５５１号公報には、デュアルバンドシステム用の高周波電力増幅器のバイアス回路およびバイアススイッチ回路をＨＢＴ（Heterojunction Bipolar Transistor）で形成する構成が開示されている（特許文献１参照）。

また、例えば特開２００１－１４１７５６号公報には、デュアルバンドシステム用の高周波部品において、２つの出力間の干渉を防ぐため、出力用のマイクロストリップライン間に複数のＧＮＤ線路を設ける構成が開示されている（特許文献２参照）。

また、例えば特開２００１－３４５４００号公報には、デュアルバンドのパワーモジュールで２つの出力間の干渉を防ぐために、半導体チップと配線基板との双方の出力パッド間にそれぞれグランド用のパッドを設け、ワイヤボンディングする技術が開示されている（特許文献３参照）。

【特許文献１】

特開２０００－３３２５５１号公報

【特許文献２】

特開２００１－１４１７５６号公報

【特許文献３】

特開２００１－３４５４００号公報

ところが、上記ＲＦパワーモジュールにおいては、小型化が急速に進められており、信頼性や性能等のような特性の低下を招くことなく、如何にして小型化するかが重要な課題となっている。

本発明の目的は、半導体装置を小型にすることのできる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

すなわち、本発明は、高周波電力増幅回路の複数段の増幅回路の全段を、横型の電界効果トランジスタで形成し、シリコン系の半導体基板を有する同一の半導体チップに設けたものである。

図面の簡単な説明

図１は本発明の一実施の形態である半導体装置の回路ブロック図である。

図２は図１の半導体装置の要部回路図である。

図３は図１の半導体装置の回路配置例を示す半導体チップの全体平面図である。

図４は距離と漏洩電力との関係を示すグラフ図である。

図５は図１の半導体装置の半導体チップの要部平面図である。

図６は図５の半導体チップの要部断面図である。

図７は図５の半導体チップの増幅段の等価回路の回路図である。

図８は図５の半導体チップをモジュール基板に搭載したＲＦパワーモジュールの一例の全体平面図である。

図９は図８のＲＦパワーモジュールの断面図である。

図１０は図８のＲＦパワーモジュールの等価回路の回路図である。

図１１は図８のＲＦパワーモジュールを用いたデジタル携帯電話機システムの一例の説明図である。

図１２は図１１のデジタル携帯電話機システムのＲＦパワーモジュールの実装例の要部側面図である。

図１３は本発明の他の実施の形態である半導体装置の回路配置例を示す半導体チップの全体平面図である。

図１４は図１３の半導体チップをモジュール基板に搭載したＲＦパワーモジュールの一例の全体平面図である。

図１５は本発明のさらに他の実施の形態である半導体装置の回路配置例を示す半導体チップの全体平面図である。

図１６は図１５の半導体チップをモジュール基板に搭載したＲＦパワーモジュールの一例の全体平面図である。

図１７は本発明のさらに別の実施の形態である半導体装置の回路配置例を示す半導体チップの全体平面図である。

発明を実施するための最良の形態

本願発明の実施の形態を詳細に説明する前に、本実施の形態における用語の意味を説明すると次の通りである。

１．ＧＳＭ（Global System for Mobile Communication）は、デジタル携帯電話に使用されている無線通信方式の１つまたは規格をいう。ＧＳＭには、使用する電波の周波数帯が３つあり、９００ＭＨｚ帯をＧＳＭ９００または単にＧＳＭ、１８００ＭＨｚ帯をＧＳＭ１８００またはＤＣＳ（Digital Cellular System）１８００若しくはＰＣＮ、１９００ＭＨｚ帯をＧＳＭ１９００またはＤＣＳ１９００若しくはＰＣＳ（Personal Communication Services）という。なお、ＧＳＭ１９００は主に北米で使用されている。北米ではその他に８５０ＭＨｚ帯のＧＳＭ

８５０を使用する場合もある。

２．ＧＭＳＫ変調方式は、音声信号の通信に用いる方式で搬送波の位相を送信データに応じて位相シフトする方式である。また、ＥＤＧＥ変調方式は、データ通信に用いる方式でＧＭＳＫ変調の位相シフトにさらに振幅シフトを加えた方式である。

また、以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。また、本実施の形態では、電界効果トランジスタであるＭＯＳ・ＦＥＴ(Metal Oxide Semiconductor・Field Effect Transistor)をＭＯＳと略し、ｎチャネル型のＭＯＳをｎＭＯＳと略す。

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

（実施の形態１）

本実施の形態１では、例えばＧＳＭ方式のネットワークを利用して情報を伝送するデジタル携帯電話に使用されるＲＦ（Radio Frequency）パワーモジュールに本実施の形態１の半導体装置を適用した場合について説明する。

図１は、本実施の形態１のＲＦパワーモジュールを構成する増幅回路用のＩＣ

（Integrated circuit）チップ（半導体チップ）１Ｃの回路ブロック図を示している。この図１には、例えばＧＳＭ９００とＤＣＳ１８００との２つの周波数帯を使用可能（デュアルバンド方式）で、それぞれの周波数帯でＧＭＳＫ（Gaussian filtered Minimum Shift Keying）変調方式とＥＤＧＥ（Enhanced Data GSM Environment）変調方式との２つの通信方式を使用可能なＲＦパワーモジュールに使用される増幅回路用のＩＣチップ（半導体チップ）１Ｃの回路ブロックが例示されている。

このＩＣチップ１Ｃは、ＧＳＭ９００用の電力増幅回路２Ａと、ＤＣＳ１８００用の電力増幅回路２Ｂと、それら電力増幅回路２Ａ，２Ｂの増幅動作の制御や補正等を行う周辺回路３とを有している。各電力増幅回路２Ａ，２Ｂは、それぞれ３つの増幅段２Ａ１～２Ａ３，２Ｂ１～２Ｂ３と、３つの整合回路２ＡＭ１～２ＡＭ３，２ＢＭ１～２ＢＭ３とを有している。すなわち、ＩＣチップ１Ｃの入力端子４ａ，４ｂは、入力用の整合回路２ＡＭ１，２ＢＭ１を介して１段目の増幅段２Ａ１，２Ｂ１の入力に電気的に接続され、１段目の増幅段２Ａ１，２Ｂ１の出力は段間用の整合回路２ＡＭ２，２ＢＭ２を介して２段目の増幅段２Ａ２，２Ｂ２の入力に電気的に接続され、２段目の増幅段２Ａ２，２Ｂ２の出力は段間用の整合回路２ＡＭ３，２ＢＭ３を介して最終段の増幅段２Ａ３，２Ｂ３の入力に電気的に接続され、最終段の増幅段２Ａ３，２Ｂ３の出力は出力端子５ａ，５ｂと電気的に接続されている。このように本実施の形態１では、１つのＩＣチップ１Ｃの中に、電力増幅回路２Ａ，２Ｂの全ての増幅段２Ａ１～２Ａ３，２Ｂ１～２Ｂ３が設けられている。一般的には３つの増幅段がそれぞれ別々のＩＣチップに設けられているか、または、１段目および２段目の増幅段が１つのＩＣチップに設けられ、最終段の増幅段はパワーが大きく動作時の発熱が高いことや他の増幅段への信号干渉が大きい等の理由から１段目および２段目の増幅段が設けられたＩＣチップとは別のＩＣチップに設けられている。このため、ＲＦパワーモジュールの小型化が阻害されている。これに対して、本実施の形態１では、１つのＩＣチップ１Ｃ内に、電力増幅回路２Ａ，２Ｂの全ての増幅段２Ａ１～２Ａ３，２Ｂ１～２Ｂ３を設けたことにより、各増幅段２Ａ１～２Ａ３，２Ｂ１～２Ｂ３間の隣接間隔を大幅に短くすることができるので、そのＩＣチップ１Ｃを内蔵す

るＲＦパワーモジュールの大幅な小型化を実現することが可能となっている。

上記周辺回路３は、制御回路３Ａと、上記増幅段２Ａ１～２Ａ３，２Ｂ１～２Ｂ３にバイアス電圧を印加するバイアス回路３Ｂ等を有している。制御回路３Ａは、上記電力増幅回路２Ａ，２Ｂに印加する所望の電圧を発生する回路であり、電源制御回路３Ａ１およびバイアス電圧生成回路３Ａ２を有している。電源制御回路３Ａ１は、上記増幅段２Ａ１～２Ａ３，２Ｂ１～２Ｂ３の各々の出力用のパワーＭＯＳのドレイン端子に印加される第１電源電圧を生成する回路である。また、上記バイアス電圧生成回路３Ａ２は、上記バイアス回路３Ｂを制御するための第１制御電圧を生成する回路である。本実施の形態１では、電源制御回路３Ａ１が、ＩＣチップ１Ｃ外部のベースバンド回路から供給される出力レベル指定信号に基づいて上記第１電源電圧を生成すると、バイアス電圧生成回路３Ａ２が電源制御回路３Ａ１で生成された上記第１電源電圧に基づいて上記第１制御電圧を生成するようになっている。上記ベースバンド回路は、上記出力レベル指定信号を生成する回路である。この出力レベル指定信号は、電力増幅回路２Ａ，２Ｂの出力レベルを指定する信号で、携帯電話と、基地局との間の距離、すなわち、電波の強弱に応じた出力レベルに基づいて生成されているようになっている。本実施の形態１では、このような周辺回路３を構成する素子も１つのＩＣチップ１Ｃ内に設けられている。これにより、インターフェイス部（ＩＣチップ１ＣとモジュールＩ基板（配線基板）との間のインターフェイス部およびＩＣチップ１Ｃとモジュール基板との各々に必要であったインターフェイス部）を大幅に削減でき、ＩＣチップ１Ｃやモジュール基板の面積を縮小できるので、ＲＦパワーモジュールの大幅な小型化を実現することが可能となっている。

次に、図２は、上記電力増幅回路２Ａおよび上記バイアス回路３Ｂの回路構成の一例を示している。なお、上記電力増幅回路２Ａ，２Ｂおよびその各々のバイアス回路３Ｂの回路構成は同じなので、ここでは上記電力増幅回路２Ａおよび電力増幅回路２Ａ用の回路構成の一例を代表して示す。

本実施の形態１の電力増幅回路２Ａは、上記３段の増幅段２Ａ１～２Ａ３として３つのｎＭＯＳＱｎ（Ｑｎ１，Ｑｎ２，Ｑｎ３）を順次従属接続した回路構成を有している。この電力増幅回路２Ａの出力レベルは、上記バイアス回路３Ｂお

よび電源制御回路３Ａ１から供給される上記第１電源電圧Ｖｄｄ１によって制御される。ここでは、その第１電源電圧Ｖｄｄ１が３つのｎＭＯＳＱｎ１，Ｑｎ２，Ｑｎ３の各々のドレイン電極に供給されるようになっている。

整合回路２ＡＭ１～２ＡＭ３は、インダクタ（受動素子）と、コンデンサ（受動素子）とを有している。インダクタは、配線で形成されており、１段目の増幅段２Ａ１（ｎＭＯＳＱｎ１）の入力およびそれぞれの段間でのインピーダンス整合をとる機能を有している。また、上記コンデンサは、上記インダクタと各段のｎＭＯＳＱｎの入力との間に接続されており、上記インピーダンス整合の機能と、その他に第１電源電圧Ｖｄｄ１とゲートバイアス電圧との直流電圧を遮断する機能とを有している。

上記バイアス回路３Ｂは、複数の分圧回路を有している。各分圧回路は、一対の抵抗Ｒ１，Ｒ２で構成されている。各一対の抵抗Ｒ１，Ｒ２は、バイアス回路３Ｂの入力端子４ｃと、基準電位（例えば接地電位で０Ｖ）との間に直列に接続されている。各一対の抵抗Ｒ１，Ｒ２間を繋ぐ配線部分と、各段のｎＭＯＳＱｎ１～Ｑｎ３の入力（ゲート電極）とが電気的に接続されている。このバイアス回路３Ｂの入力端子４ｃに上記第１制御電圧または出力レベル制御電圧が入力されると、その電圧が上記一対の抵抗Ｒ１，Ｒ２で分圧されて所望のゲートバイアス電圧が生成され、そのゲートバイアス電圧が、各々のｎＭＯＳＱｎ１～Ｑｎ３のゲート電極に入力されるようになっている。

次に、図３は、図１の増幅回路用のＩＣチップ１Ｃの回路配置の一例を示し、図４は距離と漏洩電力との関係を示すグラフ図を示している。

本実施の形態１では、図３に示すように、ＩＣチップ１Ｃの主面（デバイス形成面）の周辺に電力増幅回路２Ａ，２Ｂが配置され、その各々の電力増幅回路２Ａ，２Ｂの間に周辺回路３が配置されている。特に、上記のように電力増幅回路２Ａ，２Ｂの最終段の増幅段２Ａ３，２Ｂ３は、パワーが大きく動作時の発熱が高いことや他の増幅段への信号干渉が大きい（特にここでは取り扱う高周波信号がそれぞれ９００ＭＨｚと１８００ＭＨｚというように各々の高調波の位相が逆なので信号間の干渉の問題が大きい）ので、相互間の距離が長くなるように、ＩＣチップ１Ｃの相対する辺の近傍に配置されている。図４に示すように、２点間

の信号伝搬量は概ね距離の２乗に反比例するので、上記のように電力増幅回路２Ａ，２Ｂを離して配置することにより、例えば動作している電力増幅回路から動作していない電力増幅回路へのクロストーク（輻射あるいは干渉）を抑制することができ、また、動作していない電力増幅回路からの不要な出力発生を抑制することができる等、系統の異なる電力増幅回路２Ａ，２Ｂを同一のＩＣチップ１Ｃに設けても、電力増幅回路２Ａ，２Ｂ間のクロスバンドアイソレーション特性を向上させることができる。したがって、ＲＦパワーモジュールの動作の信頼性や安定性を向上させることが可能となる。

図３中の符号のＰｉｎは入力用のボンディングパッド、Ｐｏｕｔは出力用のボンディングパッドを示している。各増幅段２Ａ１～２Ａ３や増幅段２Ｂ１～２Ｂ３のボンディングパッドＰｉｎは、ＩＣチップ１Ｃの中央側に配置され、各増幅段２Ａ１～２Ａ３や増幅段２Ｂ１～２Ｂ３のボンディングパッドＰｏｕｔはＩＣチップ１Ｃの辺側に配置されている。また、符号のMは入力用、出力用および増幅段間用の配線を示している。増幅段間用の配線Mは屈曲した状態でボンディングパッドＰｉｎ，Ｐｏｕｔ間を接続している。また、符号のＭｃは増幅段２Ａ１～２Ａ３，２Ｂ１～２Ｂ３と周辺回路３を接続する配線を示している。

次に、図５は、上記ＩＣチップ１Ｃの要部平面図を示し、図６は、図５のＩＣチップ１Ｃの左右方向に沿って切断した箇所の要部断面図を示している。なお、図５は平面図であるが、図面を見易くするために同層のものに同じハッチングを付している。

ＩＣチップ１Ｃを構成する半導体基板（以下、単に基板という）１Ｓは、例えばp^+型のシリコン（Ｓｉ）単結晶からなり、その抵抗率が、例えば１～１０ｍΩ・ｃｍ程度の低抵抗基板とされている。基板１Ｓ上には、例えばp^-型のシリコン単結晶からなるエピタキシャル層１ＥＰが形成されている。エピタキシャル層１ＥＰの抵抗率は、上記基板１Ｓの抵抗率よりも高い。このエピタキシャル層１ＥＰの主面には、上記増幅段２Ａ１～２Ａ３，２Ｂ１～２Ｂ３用のｎＭＯＳＱｎと、上記整合回路２ＡＭ１～２ＡＭ３，２ＢＭ１～２ＢＭ３用のインダクタＬ１、高Ｑ（Quality factor）値のコンデンサＣ１およびストリップ線路が形成されている。ここでは、２段の増幅段のｎＭＯＳＱｎ１，Ｑｎ２が示されているが

、実際には上記のように２系統の１～３段の全ての増幅段２Ａ１～２Ａ３，２Ｂ１～２Ｂ３が同一の基板１Ｓに形成されている。また、ここで示したｎＭＯＳＱｎは単位ＭＯＳを示しており、実際には、この単位ＭＯＳが複数個並列に接続されることで１つの増幅段２Ａ１～２Ａ３，２Ｂ１～２Ｂ３が形成されている。

まず、ｎＭＯＳＱｎは、例えばＬＤＭＯＳ（Laterally Diffused MOS）等のような横型のＭＯＳで形成されている。ｎＭＯＳＱｎの形成領域のエピタキシャル層１ＥＰには、ｐ型のウエルＰＷＬが形成されている。このｐ型のウエルＰＷＬは、例えばホウ素（Ｂ）などの不純物をエピタキシャル層１ＥＰにイオン注入することなどにより形成されている。エピタキシャル層１ＥＰの上記ｐ型のウエルＰＷＬ上には、ｎＭＯＳＱｎのゲート絶縁膜７が形成されている。このゲート絶縁膜７は、例えば酸化シリコン（SiO_2等）からなり、例えば熱酸化法などによって形成されている。このゲート絶縁膜７上には、ｎＭＯＳＱｎのゲート電極（入力）８が形成されている。このゲート電極８は、例えば多結晶シリコンとその上に形成された金属シリサイド層（例えばチタンシリサイド層またはコバルトシリサイド層）との積層導体膜で構成されている。ｎＭＯＳＱｎのチャネルは、ゲート電極８下のｐ型のウエルＰＷＬの上部に形成される。

このゲート電極８の一方の端部近傍のｐ型のウエルＰＷＬの領域内には、n^+型の半導体領域９が形成されている。このn^+型の半導体領域９は、ｎＭＯＳＱｎのソースとして機能する領域であり、例えばリン（Ｐ）などの不純物をｐ型のウエルＰＷＬにイオン注入することで形成されている。また、ゲート電極８の他方の端部近傍のエピタキシャル層１ＥＰには、n^-型の半導体領域１０ａが形成されている。そして、ゲート電極８の他方の端部からn^-型の半導体領域１０ａの分だけ離れた箇所には、n^+型の半導体領域１０ｂがn^-型の半導体領域１０ａと電気的に接続された状態で形成されている（ＬＤＤ（Lightly Doped Drain）構造）。このn^-型の半導体領域１０ａおよびn^+型の半導体領域１０ｂは、ｎＭＯＳＱｎのドレイン（出力）として機能する領域であり、例えばリン（Ｐ）などの不純物をｐ型のウエルＰＷＬにイオン注入することで形成されている。

また、本実施の形態１では、各々のｎＭＯＳＱｎの形成領域のエピタキシャル層１ＥＰにp^{++}型の半導体領域１１ａが上記n^+型の半導体領域９，１０ｂと接

するように形成されている。このp^{++}型の半導体領域１１ａは、例えばホウ素（Ｂ）が導入されてなり、平面で見ると、ｎＭＯＳＱｎを取り囲むように形成され、断面で見ると、エピタキシャル層１ＥＰの主面から基板１Ｓに達するように形成されている。そして、本実施の形態１では、各ｎＭＯＳＱｎのソース用のn^{+}型の半導体領域９が、プラグＰＬ１を通じてp^{++}型の半導体領域１１ａと電気的に接続され、そのp^{++}型の半導体領域１１を通じて低抵抗なp^{+}型の基板１Ｓと電気的に接続されている。後述のように、基板１Ｓは、基板１Ｓの裏面全面にメタルで形成された電極１２を介して、ＩＣチップ１Ｃが実装されるモジュール基板の配線と電気的に接続され、その配線を通じて基準電位（例えば接地電位ＧＮＤで０Ｖ程度：固定電位）に電気的に接続される。すなわち、基板１Ｓは、ＩＣチップ１Ｃに形成された複数のｎＭＯＳＱｎの共通の接地部分とされている。

図７は、この様子の等価回路を示している。この図７には、同一の電力増幅回路２Ａ（または電力増幅回路２Ｂ）の２つの増幅段２Ａ１，２Ａ２（または増幅段２Ｂ１，２Ｂ２）のｎＭＯＳＱｎ１，Ｑ２が例示されている。符号のＧ１，Ｇ２はＭＯＳＱｎ１，Ｑｎ２のゲート電極８を示している。２つのｎＭＯＳＱｎ１，Ｑｎ２のソースＳ１，Ｓ２（上記n^{+}型の半導体領域９）は、p^{++}型の半導体領域１１ａとp^{+}型の基板１Ｓを介して接地電位ＧＮＤと電気的に接続されるため、p^{++}型の半導体領域１１ａの抵抗成分Ｒ１１，Ｒ２１と、p^{+}型の基板１Ｓの抵抗成分Ｒ１２，Ｒ２２，Ｒ３とを持つことになる。通常のＣＭＯＳ・ＬＳＩ（Complementary MOS・Large Scale Integrated circuit）用の基板では、その抵抗率が数１０Ω ｃｍと高いため、本実施の形態１のような構成とすると、上記の抵抗成分Ｒ１１，Ｒ２１，Ｒ１２，Ｒ２２，Ｒ３が高くなり、ｎＭＯＳＱｎ１のソースＳ１からｎＭＯＳＱｎ２のソースＳ２に対して信号利得を持つために、ｎＭＯＳＱｎ１，Ｑｎ２間の干渉が発生し、発振や利得低下が生じる結果、入出力アイソレーションが劣化する。これに対して、本実施の形態１では、基板１Ｓの抵抗が低いため、上記抵抗成分Ｒ１２，Ｒ２２，Ｒ３を限りなくゼロ（０）に近づけることができる。言い換えれば、２つのｎＭＯＳＱｎ１，Ｑ２のソースＳ１，Ｓ２が共に安定な接地に直結されたのと等価になる。このため、基板１Ｓで接続されている素子間での干渉が生じないようにできる。例えば最終段の増幅

段２Ａ３，２Ｂ３のｎＭＯＳＱｎ３から１段目および２段目の増幅段２Ａ１，２Ａ２，２Ｂ１，２Ｂ２や周辺回路３へのクロストークを低減することができる。すなわち、各々の増幅段２Ａ１～２Ａ３，２Ｂ１～２Ｂ３でのｎＭＯＳＱｎ１～Ｑｎ３間のアイソレーション特性を向上させることができるので、発振を抑制でき、各々のｎＭＯＳＱｎ１～Ｑｎ３の増幅特性の安定性を向上させることができる。これは、増幅段２Ａ１～２Ａ３，２Ｂ１～２Ｂ３間のみならず、他の回路素子同士についても同様のアイソレーション特性を得ることができ、その回路素子間のクロストークを低減することができる。

次に、上記図５および図６のｎＭＯＳＱｎ１，Ｑｎ２、インダクタＬ１およびコンデンサＣ１の接続関係と特徴等を説明する。

前段のｎＭＯＳＱｎ１のソース用のn^+型の半導体領域９と接続されたプラグＰＬ１は、第１層配線Ｍ１１と電気的に接続されている。このｎＭＯＳＱｎ１のゲート電極８は、プラグＰＬ２および第１層配線Ｍ１２（Ｍ）を介して第２層配線Ｍ２１（Ｍ）と電気的に接続されている。第２層配線Ｍ２１はｎＭＩＳＱｎ１の入力用の配線である。また、このｎＭＯＳＱｎ１のドレイン用のn^+型の半導体領域１１は、プラグＰＬ３を通じて第１層配線Ｍ１３（Ｍ）と電気的に接続されている。この第１層配線Ｍ１３は、インダクタＬ１の一端と電気的に接続されている。

このインダクタＬ１は、例えばスパイラル状の第２層配線Ｍ２２で形成されている。このインダクタＬ１の外周は、シールド用の第１層配線Ｍ１４、第２層配線Ｍ２３、プラグＰＬ４およびp^{++}型の半導体領域１１ｂにより取り囲まれている。シールド用の第１層配線Ｍ１４、第２層配線Ｍ２３、プラグＰＬ４およびp^{++}型の半導体領域１１ｂは、互いに電気的に接続されており（インダクタＬ１とは絶縁されている）、p^{++}型の半導体領域１１ｂを通じて低抵抗な基板１Ｓと電気的に接続されて接地電位ＧＮＤに設定されている。これにより、インダクタＬ１で発生した磁界が外部に漏れるのを抑制または防止できる。また、インダクタＬ１とその外部のｎＭＯＳＱｎ等とのカップリングを抑制または防止できるので、外部からのクロストークの影響を抑制または防止できる。このインダクタＬ１の他端は、第２層配線Ｍ２４（Ｍ）を通じてコンデンサＣ１の上部電極Ｃ１ａと電

気的に接続されている。

コンデンサＣ１の上部電極Ｃ１ａの下層の配線層には、絶縁膜を挟んで上部電極Ｃ１ａと対向するように下部電極Ｃ１ｂが設けられている。この下部電極Ｃ１ｂは、プラグＰＬ５を通じてｐ＋＋型の半導体領域１１ｃと電気的に接続され、さらにｐ$^{++}$型の半導体領域１１ｃを通じて低抵抗なｐ$^{+}$型の基板１Ｓと電気的に接続されている。このコンデンサＣ１の外周も、シールド用の第１層配線Ｍ１５、第２層配線Ｍ２５、プラグＰＬ６およびｐ$^{++}$型の半導体領域１１ｄにより取り囲まれている。シールド用の第１層配線Ｍ１５、第２層配線Ｍ２５、プラグＰＬ６およびｐ$^{++}$型の半導体領域１１ｄは、互いに電気的に接続されており（コンデンサＣ１とは絶縁されている）、ｐ$^{++}$型の半導体領域１１ｄを通じて低抵抗な基板１Ｓと電気的に接続されて接地電位ＧＮＤに設定されている。これにより、コンデンサＣ１とその外部のｎＭＯＳＱｎ等とのカップリングを抑制または防止できるので、外部からのクロストークの影響を抑制または防止できる。したがって、基板１Ｓ上のコンデンサＣ１のＱ値を高く設定することができる。このコンデンサＣ１の上部電極Ｃ１ａは、第２層配線Ｍ２６（Ｍ）を通じてｎＭＯＳＱｎ２のゲート電極８と電気的に接続されている。なお、プラグＰＬ１～ＰＬ６は、例えばタングステン等のようなメタルで形成されている。また、第１層配線Ｍ１１～Ｍ１５および第２層配線Ｍ２１～Ｍ２６は、例えばアルミニウム（Ａｌ）または銅（Ｃｕ）を主配線材料とするメタルで形成されている。また、上記ｐ$^{++}$型の半導体領域１１ｂ～１１ｄは、上記ｐ$^{++}$型の半導体領域１１ａの形成工程時に同時に形成されている。

次に、図８は上記ＩＣチップ１Ｃをモジュール基板ＭＣＢに搭載したＲＦパワーモジュールＰＭの一例の全体平面図を示し、図９は図８のパワーモジュールＰＭの左右方向に沿って切断した面の断面図を示している。また、図１０は、図８および図９のパワーモジュールの回路図を示している。なお、図８では、モジュール基板ＭＣＢのチップ搭載面が見えるように封止部材を取り除いて示す。

ＩＣチップ１Ｃは、基板１Ｓの裏面をモジュール基板ＭＣＢの主面に向けた状態で、モジュール基板ＭＣＢの主面に形成されたキャビティＣＢＴと称する窪み内に収められた状態でモジュール基板ＭＣＢの主面上に搭載されている。ＩＣチ

ップ１Ｃは、モジュール基板ＭＣＢの主面の中央よりも若干入力（図８の左側）寄りに配置されており、モジュール基板ＭＣＢの主面の出力側の領域の方が入力側の領域よりも広くなっている。これにより、ＲＦパワーモジュールＰＭのモジュール基板ＭＣＢに配置された出力用の整合回路を低損失に設計することができるので、ＲＦパワーモジュールＰＡの出力損失を低減でき、高い出力を引き出すことが可能となっている。

ＩＣチップ１ＣのボンディングパッドＰｉｎ，Ｐｏｕｔは、ボンディングワイヤＢＷを通じてモジュール基板ＭＣＢの主面の伝送線路１５ａ（１５ａ１～１５ａ５），１５ｂ（１５ｂ１～１５ｂ５），１５ｃと電気的に接続されている。１段目の増幅段２Ａ１，２Ｂ１のゲート電極（入力）にボンディングワイヤＢＷを通じて接続された伝送線路１５ａ１，１５ｂ１は、それぞれコンデンサＣｍ１，Ｃｍ２を介して入力端子１７ａ，１７ｂと電気的に接続されている。１段目の増幅段２Ａ１，２Ｂ１のドレイン（出力）にボンディングワイヤＢＷを通じて電気的に接続された伝送線路１５ａ２，１５ｂ２は、それぞれ高電位側の電源端子１８ａ１，１８ｂ１と電気的に接続されてとともに、それぞれ電源端子１８ａ１，１８ｂ１の近傍に配置されたコンデンサＣｍ３，Ｃｍ４を介して接地電位ＧＮＤと電気的に接続されている。２段目の増幅段２Ａ２，２Ｂ２のドレイン（出力）にボンディングワイヤＢＷを通じて電気的に接続された伝送線路１５ａ３，１５ｂ３は、それぞれ高電位側の電源端子１８ａ２，１８ｂ２と電気的に接続されてとともに、それぞれ電源端子１８ａ２，１８ｂ２の近傍に配置されたコンデンサＣｍ５，Ｃｍ６を介して接地電位ＧＮＤと電気的に接続されている。最終段目の増幅段２Ａ３，２Ｂ３のドレイン（出力）にボンディングワイヤＢＷを通じて電気的に接続された伝送線路１５ａ４，１５ｂ４は、それぞれ高電位側の電源端子１８ａ３，１８ｂ３と電気的に接続されてとともに、それぞれ電源端子１８ａ３，１８ｂ３の近傍に配置されたコンデンサＣｍ７，Ｃｍ８を介して接地電位ＧＮＤと電気的に接続されている。さらに、最終段目の増幅段２Ａ３，２Ｂ３のドレイン（出力）にボンディングワイヤＢＷを通じて電気的に接続された伝送線路１５ａ５，１５ｂ５は、それぞれコンデンサＣｍ９，Ｃｍ１０を介して出力端子１９ａ，１９ｂと電気的に接続されているとともに、それぞれの線路途中に配置され

たコンデンサＣｍ１１，Ｃｍ１２を介して接地電位ＧＮＤと電気的に接続されている。周辺回路３の制御用のボンディングパッドＰｉｎにボンディングワイヤを通じて電気的に接続された伝送線路１５ｃは、制御端子２０と電気的に接続されている。なお、上記ボンディングワイヤＢＷは、例えば金（Ａｕ）等の細線からなり、インダクタとしての機能を有している。また、伝送線路１５ａ，１５ｂもインピーダンス整合用のインダクタとしての機能を有している。上記コンデンサＣｍ１～Ｃｍ１２は、インピーダンス整合用のコンデンサとしての機能を有しており、チップ部品で構成されている。

一方、ＩＣチップ１Ｃの裏面の上記電極１２は、モジュール基板ＭＣＢのキャビティＣＢＴ底面のチップ搭載用の電極２１と接合されている。この電極２１は、複数のサーマルビア２２内の導体を通じてモジュール基板ＭＣＢの裏面の電極２３Ｇと電気的かつ熱的に接合されている。この電極２３Ｇには基準電位（例えば接地電位ＧＮＤで０Ｖ程度）が供給される。すなわち、モジュール基板ＭＣＢの裏面の電極２３Ｇに供給された基準電位は、サーマルビア２２および電極２１を通じて低抵抗な基板１Ｓに供給されるようになっている。また、逆にＩＣチップ１Ｃの動作時に発生した熱は、基板１Ｓの裏面から電極２１およびサーマルビア２２を通じてモジュール基板ＭＣＢの裏面の電極２３Ｇに伝わり放散されるようになっている。モジュール基板ＭＣＢの裏面の外周近傍の電極２３Ｓは、信号用の電極を示している。なお、モジュール基板ＭＣＢは、複数枚の絶縁体板を積層して一体化した多層配線構造を有している。この絶縁体板は、例えばミリ波域まで誘電損失の少ないアルミナ（酸化アルミニウム、Al_2O_3、比誘電率＝９～９．７）等のようなセラミックからなるが、これに限定されるものではなく種々変更可能であり、例えばガラスエポキシ樹脂等を用いても良い。

次に、図１１は、本実施の形態１のＲＦパワーモジュールＰＭを用いたデジタル携帯電話機システムＤＰＳの一例を示している。図１１の符号ＡＮＴは信号電波の送受信用のアンテナ、符号２５はフロントエンド・モジュール、符号２６は音声信号をベースバンド信号に変換したり、受信信号を音声信号に変換したり、変調方式切換信号やバンド切換信号を生成したりする前記ベースバンド回路、符号２７は受信信号をダウンコンバートして復調しベースバンド信号を生成したり

送信信号を変調したりする変復調用回路、ＦＬＴ１，ＦＬＴ２は受信信号からノイズや妨害波を除去するフィルタである。フィルタＦＬＴ１はＧＳＭ用、フィルタＦＬＴ２はＤＣＳ用である。ベースバンド回路２６は、ＤＳＰ（Digital Signal Processor）やマイクロプロセッサ、半導体メモリ等の複数の半導体集積回路で構成されている。フロントエンド・モジュール２５は、インピーダンス整合回路ＭＮ１，ＭＮ２、ロウパスフィルタＬＰＦ１，ＬＰＦ２、スイッチ回路２８ａ，２８ｂ、コンデンサＣ５，Ｃ６および分波器２９を有している。インピーダンス整合回路ＭＮ１，ＭＮ２は、ＲＦパワーモジュールＰＭの送信出力端子に接続されてインピーダンスの整合を行う回路、ロウパスフィルタＬＰＦ１，ＬＰＦ２は高調波を減衰させる回路、スイッチ回路２８ａ，２８ｂは送受信切り換え用のスイッチ回路、コンデンサＣ５，Ｃ６は受信信号から直流成分をカットする素子、分波器２９は、ＧＳＭ９００帯の信号と、ＤＣＳ１８００帯の信号とを分波する回路であり、これら回路および素子は１つの配線基板上に搭載されてモジュールとされている。なお、スイッチ回路２８ａ，２８ｂの切換信号ＣＮＴ１，ＣＮＴ２は上記ベースバンド回路２６から供給される。

また、図１２は、上記図１１のデジタル携帯電話機システムＤＰＳでのＲＦパワーモジュールＰＭの実装例を示している。マザーボード３０は、例えば多層配線構造を有するプリント配線基板等からなり、その主面上には、ＲＦパワーモジュールＰＭと、その他に複数のチップ部品３１が搭載されている。ＲＦパワーモジュールＰＭは、上記モジュール基板ＭＣＢの裏面の電極２３Ｇ，２３Ｓ等をマザーボード３０の主面に向けた状態でマザーボード３０上に搭載されている。このＲＦパワーモジュールＰＭの電極２３Ｇ，２３Ｓ等は、半田等のような接合材３２を介してそれぞれマザーボード３０の配線パターンと接続されている。なお、ＲＦパワーモジュールＰＭのモジュール基板ＭＣＢの主面は、例えばシリコーンゴム等からなる封止部材３３により覆われており、これによりモジュール基板ＭＣＢの主面のＩＣチップ１Ｃ等が封止されている。

（実施の形態２）

本実施の形態２では、ＩＣチップの同一系統の隣接する増幅段の出力用のボンディングパッド間に接地用のボンディングパッドを配置した場合の一例を説明す

る。

図１３は、本実施の形態２のＩＣチップ１Ｃの全体平面図の一例を示している。本実施の形態２では、ＩＣチップ１Ｃ内の電力増幅回路２Ａ，２Ｂの各々において、隣接する複数の増幅段２Ａ１～２Ａ３，２Ｂ１～２Ｂ３の出力用のボンディングパッドＰｏｕｔ間に、接地用のボンディングパッドＰｇが配置されている。接地用のボンディングパッドＰｇは、ＩＣチップ１Ｃに基準電位（例えば接地電位ＧＮＤで０Ｖ）を供給するパッドである。これにより、信号増幅後の次段増幅素子から前段増幅素子への輻射による信号帰還を低減できるので、発振の抑制や増幅特性の安定化を図ることができる。

また、図１４は、図１３のＩＣチップ１ＣをモジュールＭＣＢに搭載してＲＦパワーモジュールＰＭを構成した一例の全体平面図を示している。この図１４でも、モジュール基板ＭＣＢのチップ搭載面が見えるように封止部材を取り除いて示す。上記接地用のボンディングパッドＰｇは、ボンディングワイヤＢＷを介してモジュール基板ＭＣＢの接地端子３５と電気的に接続されている。接地端子３５には、基準電位（例えば接地電位ＧＮＤで０Ｖ）が供給される。このような構成とすることにより、ＲＦパワーモジュールＰＭの動作時に空間に輻射された電力を、ボンディングパッドＰｇに電気的に接続され接地状態とされるボンディングワイヤＢＷにより吸収され大幅に減衰させることができるので、発振の抑制や増幅特性の安定化を図ることができる。これ以外は前記実施の形態１と同じなので説明を省略する。

（実施の形態３）

本実施の形態３では、ＩＣチップの同一系統の隣接する増幅段の入力用および出力用のボンディングパッドの配置の変形例について説明する。

図１５は、本実施の形態３のＩＣチップ１Ｃの全体平面図の一例を示している。本実施の形態３では、ＩＣチップ１Ｃ内の電力増幅回路２Ａ，２Ｂの各々において、隣接する複数の増幅段２Ａ１～２Ａ３，２Ｂ１～２Ｂ３の入力用および出力用のボンディングパッドＰｉｎ，Ｐｏｕｔが１８０度反転するように配置されている。図１５の例では、２段目の増幅段２Ａ２，２Ｂ２の出力用のボンディングパッドＰｏｕｔがＩＣチップ１Ｃの中央よりに配置され、入力用のボンディング

パッドＰｉｎがＩＣチップ１Ｃの辺の近傍に配置されている。このような構成では、互いに隣接する増幅段２Ａ１～２Ａ３，２Ｂ１～２Ｂ３の入力用のボンディングパッドＰｉｎと、出力用のボンディングパッドＰｏｕｔとを結ぶ段間の配線Ｍが屈曲せずにほぼ直線的に延在されている。このような構成とすることにより、段間の配線Ｍを短くすることができ、また、前記実施の形態１，２の場合よりも段間の配線Ｍおよび段間の整合回路２ＡＭ２，２ＡＭ３，２ＢＭ２，２ＢＭ３を次段の増幅段の出力用のボンディングパッドＰｏｕｔから遠ざけることができるので、次段の増幅段から段間の配線Ｍや段間の整合回路２ＡＭ２，２ＡＭ３，２ＢＭ２，２ＢＭ３へのクロストークを低減できる。このため、発振の抑制や増幅特性の安定化を図ることができる。

また、図１６は、図１５のＩＣチップ１ＣをモジュールＭＣＢに搭載してパワーモジュールＰＭを構成した一例の全体平面図を示している。この図１６でも、モジュール基板ＭＣＢのチップ搭載面が見えるように封止部材を取り除いて示す。上記のように本実施の形態３では、２段目の増幅段２Ａ２，２Ｂ２の出力用のボンディングパッドＰｏｕｔがＩＣチップ１Ｃの中央より配置されているので、その２段目の増幅段２Ａ２，２Ｂ２の出力用のボンディングパッドＰｏｕｔと、モジュール基板ＭＣＢの電源供給用の伝送線路１５ａ３，１５ｂ３とを結ぶ電源供給用のボンディングワイヤＢＷの長さが、他のボンディングワイヤＢＷよりも長くなっている。このため、２段目の増幅段２Ａ２，２Ｂ２への電源ラインのインダクタンス成分をボンディングワイヤＢＷにより増やすことができるので、その分、モジュール基板ＭＣＢ上の電源用の伝送線路１５ａ３，１５ｂ３の長さを前記実施の形態１，２の場合よりも短くすることができる。したがって、ＲＦパワーモジュールＰＭの全体寸法の小型化を推進することが可能となる。これ以外は前記実施の形態１と同じなので説明を省略する。

（実施の形態４）

本実施の形態４では、ＩＣチップの異なる系統の電力増幅回路の配置を逆向きにした例について説明する。

図１７は、本実施の形態４のＩＣチップ１Ｃの全体平面図の一例を示している。本実施の形態４では、ＩＣチップ１Ｃ内の異なる系統の電力増幅回路２Ａ，２Ｂ

の入出力方向の向きが逆向きになるように配置されている。特に、異なる系統の電力増幅回路２Ａ，２Ｂの最終段の増幅段２Ａ３，２Ｂ３が、互いに点対称になるように、ＩＣチップ１Ｃの対角に位置する端部近傍に配置されている。これにより、異なる系統の電力増幅回路２Ａ，２Ｂの特に最終段の増幅段２Ａ３，２Ｂ３の間の距離を長くすることができるので、前記実施の形態１と同様に、例えば動作している電力増幅回路から動作していない電力増幅回路へのクロストーク（輻射あるいは干渉）を抑制することができ、また、動作していない電力増幅回路からの不要な出力発生を抑制することができる等、系統の異なる電力増幅回路２Ａ，２Ｂを同一のＩＣチップ１Ｃに設けても、電力増幅回路２Ａ，２Ｂ間のクロスバンドアイソレーション特性を向上させることができる。これ以外は前記実施の形態１と同じなので説明を省略する。

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば前記実施の形態１～４では、ＧＳＭ９００とＧＳＭ１８００の２つの周波数帯の電波を取り扱うことが可能なデュアルバンド方式に適用した場合について説明したが、これに限定されるものではなく、例えばＧＳＭ９００、ＧＳＭ１８００およびＧＳＭ１９００との３つの周波数帯の電波を取り扱うことが可能なトリプルバンド方式に適用しても良い。また、８００ＭＨｚ帯、８５０ＭＨｚ帯でも対応できる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるデジタル携帯電話機システムに適用した場合について説明したが、それに限定されるものではなく、例えば通信機能を有するＰＤＡ（Personal Digital Assistants）等のような移動体情報処理装置や通信機能を有するパーソナルコンピュータ等のような情報処理装置にも適用できる。

本願によって開示される実施の形態のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

すなわち、高周波電力増幅回路の複数段の増幅回路の全段を、横型の電界効果トランジスタで形成し、シリコン系の半導体基板を有する同一の半導体チップに

設けたことにより、半導体装置を小型にすることができる。

産業上の利用可能性

本発明の半導体装置は、複数系統の電力増幅回路を有する半導体装置に適用できる。

請求の範囲

１．複数の増幅回路を多段接続して構成される電力増幅回路を有する半導体装置であって、

前記複数の増幅回路の初段から最終段は、シリコンからなる同一の半導体基板上に形成され、

前記複数の増幅回路は電界効果トランジスタから構成され、

前記電界効果トランジスタのドレイン電極およびソース電極は、それぞれ前記半導体基板の主面および裏面に形成され、

前記複数の電界効果トランジスタの各ソース電極は前記半導体基板の裏面で電気的に接続され、

前記ソース電極は固定電位に接続され、

前記シリコンからなる半導体基板の抵抗率が１０ｍΩ・ｃｍより小さいことを特徴とする半導体装置。

２．請求項１記載の半導体装置において、前記電力増幅回路は、８００ＭＨｚ帯、９００ＭＨｚ帯、１８００ＭＨｚ帯または１９００ＭＨｚ帯で動作することを特徴とする半導体装置。

３．請求項１記載の半導体装置において、前記半導体基板は配線基板に実装され、前記電界効果トランジスタのソースは、前記配線基板の固定電位に電気的に接続されていることを特徴とする半導体装置。

４．請求項１記載の半導体装置において、前記半導体基板には整合回路用の受動素子も設けられていることを特徴とする半導体装置。

５．請求項４記載の半導体装置において、前記半導体基板は配線基板に実装され、前記配線基板には前記増幅回路の入力および出力用の整合回路が設けられていることを特徴とする半導体装置。

６．請求項４記載の半導体装置において、前記整合回路用の受動素子の周囲にシールド層を設け、そのシールド層が半導体領域を通じて前記半導体基板に電気的に接続され、前記半導体基板の裏面の電極を通じて固定電位に電気的に接続されていることを特徴とする半導体装置。

７．請求項１記載の半導体装置において、前記半導体基板には、前記増幅回路に

用いるバイアス回路および制御回路が設けられていることを特徴とする半導体装置。

８．請求項１記載の半導体装置は、複数の周波数帯の高周波信号に対応可能なマルチバンド方式を採用していることを特徴とする半導体装置。

９．請求項１記載の半導体装置において、前記増幅回路は３つの前記増幅段を持つことを特徴とする半導体装置。

１０．それぞれ複数の増幅回路を多段接続して構成され、動作周波数の異なる第１および第２の電力増幅回路と、

前記第１および第２の電力増幅回路に用いる整合回路用の受動素子と、バイアス回路および制御回路を有する半導体装置であって、

前記第１および第２の電力増幅回路の複数の増幅回路の初段から最終段は、シリコンからなる同一の半導体基板上に形成され、

前記複数の増幅回路は電界効果トランジスタから構成され、

前記電界効果トランジスタのドレイン電極およびソース電極は、それぞれ前記半導体基板の主面および裏面に形成され、

前記複数の電界効果トランジスタの各ソース電極は前記半導体基板の裏面で電気的に接続され、

前記ソース電極は固定電位に接続され、

前記半導体基板の抵抗率が１０ｍΩ・ｃｍより小さいことを特徴とする半導体装置。

１１．増幅回路の複数の増幅段の全てと、その他の回路とを同一の半導体チップに設け、

前記複数の増幅段の各々を、前記半導体チップのシリコンからなる半導体基板上の電界効果トランジスタで形成し、

前記増幅回路を、前記半導体チップの主面の周辺に配置し、

前記その他の回路を、前記半導体チップの主面の内部に配置したことを特徴とする半導体装置。

１２．請求項１１記載の半導体装置において、前記半導体基板の抵抗率が１０ｍΩ・ｃｍよりも小さく、前記電界効果トランジスタが横型の電界効果トランジス

タとされ、そのソースが半導体領域を通じて前記シリコン基板に電気的に接続され、前記半導体基板の裏面の電極を通じて固定電位に電気的に接続されていることを特徴とする半導体装置。

１３．複数の異なる周波数帯の高周波信号に対応可能なマルチバンド方式の半導体装置であって、

前記複数の異なる周波数帯の高周波信号の各々に対応する複数の増幅回路と、

前記複数の増幅回路の各々を構成する複数の増幅段とを備え、

前記複数の増幅段の全てを同一の半導体チップに設け、

前記複数の増幅段の各々を、前記半導体チップのシリコンからなる半導体基板上の電界効果トランジスタで形成し、

前記複数の増幅回路の各々の最終段の増幅段を、前記半導体チップの相対する辺側に配置したことを特徴とする半導体装置。

１４．請求項１３記載の半導体装置において、前記複数の増幅回路の各々の最終の増幅段を、互いに点対称な位置関係となるように配置したことを特徴とする半導体装置。

１５．請求項１３記載の半導体装置において、前記半導体基板の抵抗率が１０ｍΩ・ｃｍよりも小さく、前記電界効果トランジスタが横型の電界効果トランジスタとされ、そのソースが半導体領域を通じて前記半導体基板に電気的に接続され、前記半導体基板の裏面の電極を通じて固定電位に電気的に接続されており、

前記半導体チップには、整合回路用の受動素子、前記増幅回路に用いるバイアス回路および制御回路が設けられていることを特徴とする半導体装置。

１６．請求項１４記載の半導体装置において、前記複数の増幅回路の各々は、３つの前記増幅段を持つことを特徴とする半導体装置。

１７．増幅回路を構成する複数の増幅段の全てを同一の半導体チップに設け、前記複数の増幅段の各々を、前記半導体チップのシリコンからなる半導体基板上の電界効果トランジスタで形成し、前記複数の増幅段の間に、固定電位に電気的に接続された電極を配置したことを特徴とする半導体装置。

１８．請求項１７記載の半導体装置において、前記半導体基板の抵抗率が１０ｍΩ・ｃｍよりも小さく、前記電界効果トランジスタが横型の電界効果トランジス

タとされ、そのソースが半導体領域を通じて前記半導体基板に電気的に接続され、前記半導体基板の裏面の電極を通じて固定電位に電気的に接続されていることを特徴とする半導体装置。

１９．増幅回路を構成する複数の増幅段の全てを同一の半導体チップに設け、前記複数の増幅段の各々を、前記半導体チップのシリコンからなる半導体基板上の電界効果トランジスタで形成し、前記複数の増幅段は、互いに隣接する前記増幅段の入力部および出力部の位置関係が１８０度反転するように配置されていることを特徴とする半導体装置。

２０．請求項１９記載の半導体装置において、前記半導体基板の抵抗率が１０mΩ・ｃｍよりも小さく、前記電界効果トランジスタが横型の電界効果トランジスタとされ、そのソースが半導体領域を通じて前記半導体基板に電気的に接続され、前記半導体基板の裏面の電極を通じて固定電位に電気的に接続されていることを特徴とする半導体装置。

２１．携帯電話搭載用の、電力増幅回路を有する半導体装置であって、

前記電力増幅回路は、電界効果トランジスタからなる複数の増幅回路を多段に接続して構成され、

前記の各電力増幅回路は、受動素子からなるインピーダンス整合回路を介して接続され、

前記電力増幅回路は制御回路によって制御され、

前記電力増幅回路を構成する全ての増幅回路、前記インピーダンス整合回路、前記制御回路はシリコンからなる同一の半導体基板上に形成されていることを特徴とする半導体装置。

２２．第１半導体チップ上に形成された、複数の増幅回路を多段接続して構成される第１電力増幅回路と、

前記第１半導体チップが実装された配線基板からなる半導体装置であって、

前記第１半導体チップは、シリコンからなる半導体基板を有し、

前記複数の増幅回路は、前記半導体基板に形成された電界効果トランジスタから構成され、

電力増幅回路を含み、かつ前記配線基板上に実装される半導体チップが、前記

第１半導体チップ以外に存在しないことを特徴とする半導体装置。

２３．請求項２２記載の半導体装置において、前記複数の増幅回路を構成する複数の電界効果トランジスタのドレイン電極およびソース電極は、それぞれ前記半導体基板の主面および裏面に形成され、

前記複数の電界効果トランジスタの各ソース電極は前記半導体基板の裏面で電気的に接続され、

前記ソース電極は固定電位に接続され、

前記半導体基板の抵抗率が１０ｍΩ・ｃｍより小さいことを特徴とする半導体装置。

２４．請求項２２記載の半導体装置において、前記複数の増幅回路は、異なる周波数帯で動作する系統を有することを特徴とする半導体装置。

２５．請求項２２記載の半導体装置において、前記第１電力増幅回路は、８００ＭＨｚ帯、９００ＭＨｚ帯、１８００ＭＨｚ帯または１９００ＭＨｚ帯で動作することを特徴とする半導体装置。

図 1

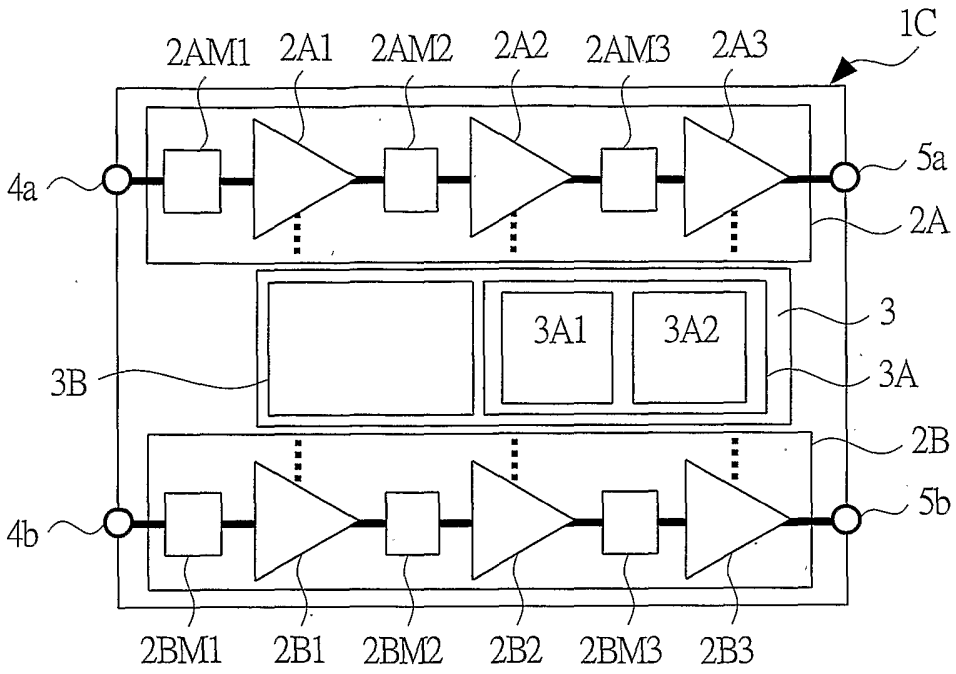

1C
2AM1
2A1
2AM2
2A2
2AM3
2A3
4a
5a
2A
3
3A1
3A2
3B
3A
2B
4b
5b
2BM1
2B1
2BM2
2B2
2BM3
2B3

図 2

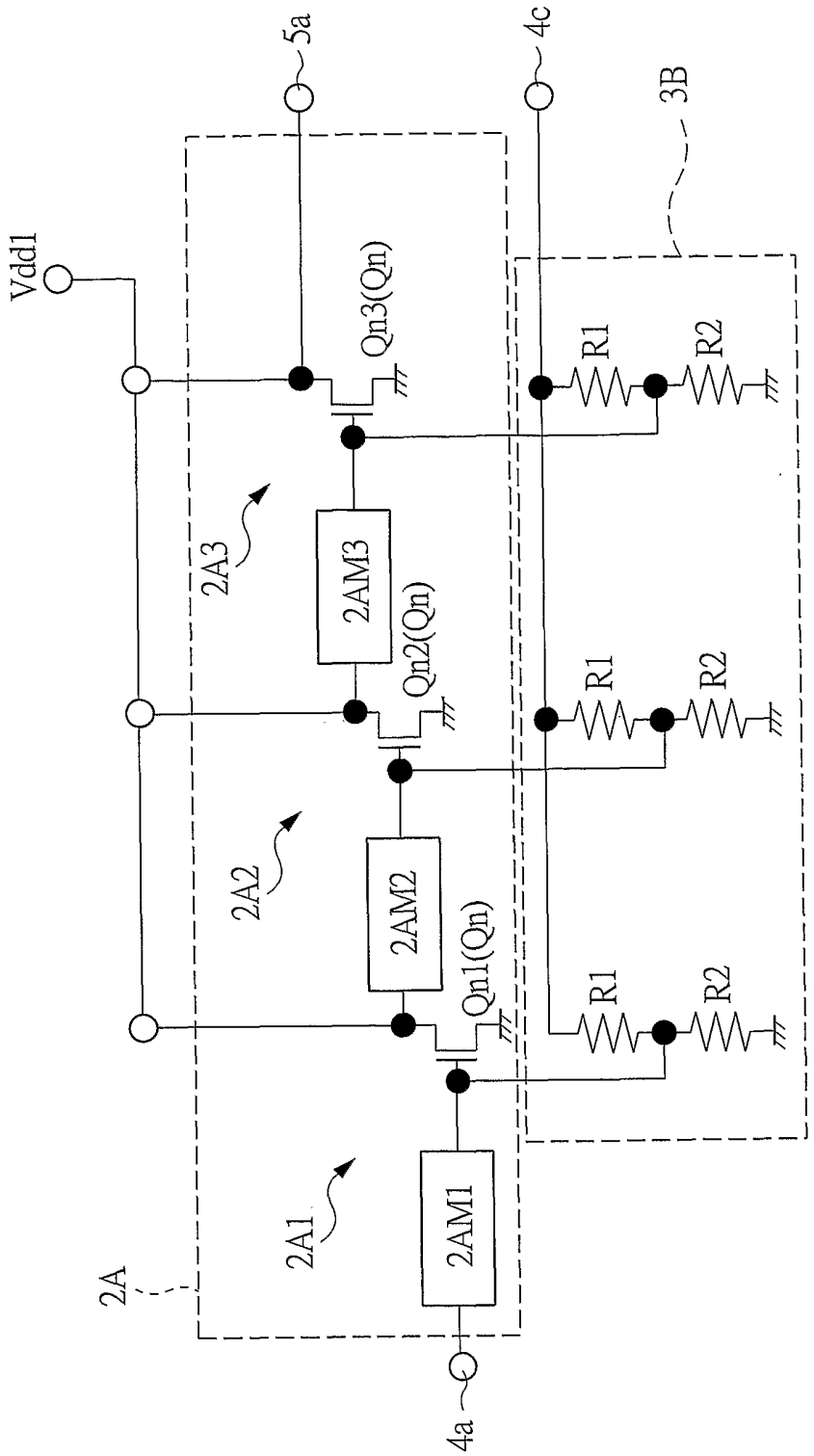

Vdd1
5a
4c
3B
Qn3(Qn)
R1
R2
2A3
2AM3
Qn2(Qn)
R1
R2
2A2
2AM2
Qn1(Qn)
R1
R2
2A1
2AM1
2A
4a

図 3

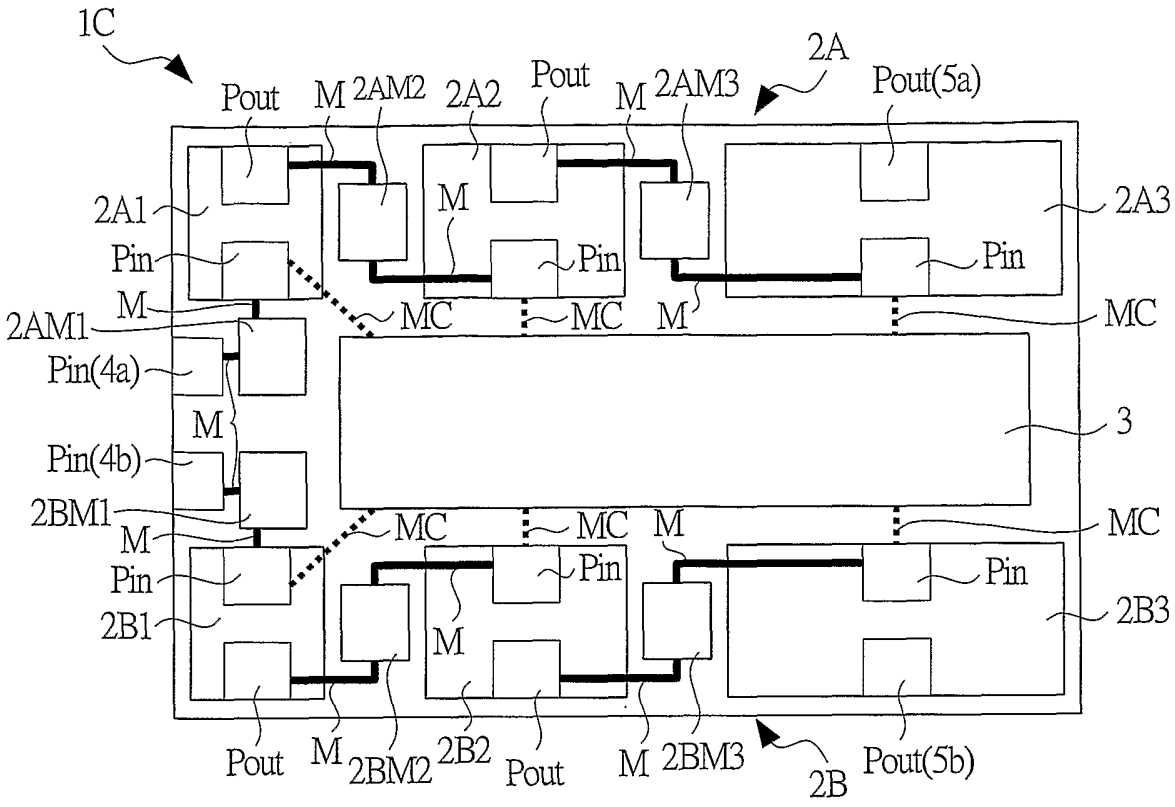

1C
2A
Pout
M
2AM2
2A2
Pout
M
2AM3
Pout(5a)
2A1
2A3
Pin
Pin
Pin
M
MC
MC
M
MC
2AM1
Pin(4a)
M
3
Pin(4b)
2BM1
MC
MC
M
MC
M
Pin
Pin
Pin
2B1
2B3
M
Pout
M
2BM2
2B2
Pout
M
2BM3
2B
Pout(5b)

図 4

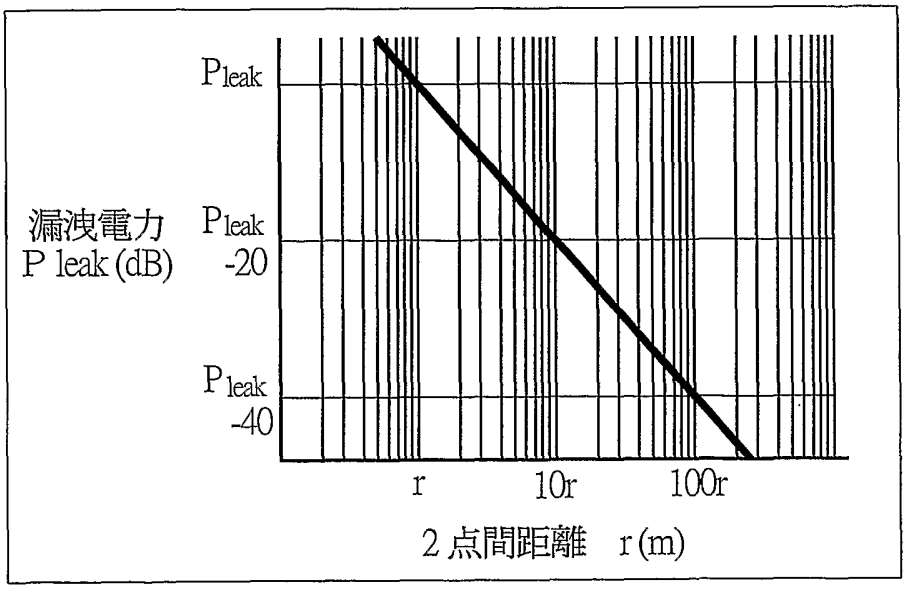

Pleak
漏洩電力
P leak (dB)
Pleak
-20
Pleak
-40
r
10r
100r
2点間距離 r(m)

図 5

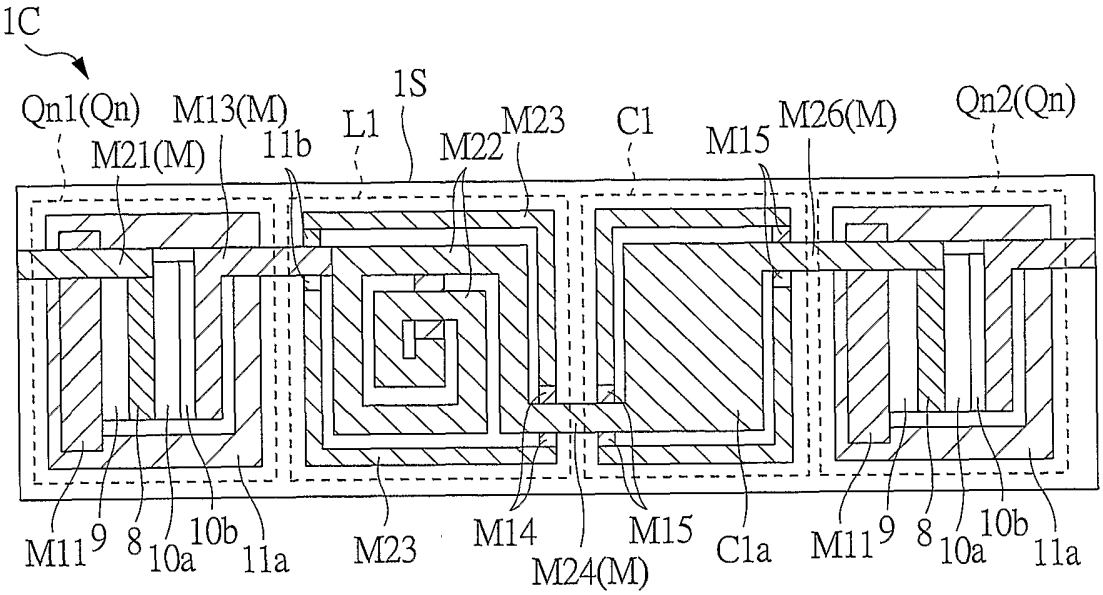

1C
Qn1(Qn)
M21(M)
M13(M)
11b
L1
1S
M22
M23
C1
M15
M26(M)
Qn2(Qn)
M11
9
8
10a
10b
11a
M23
M14
M24(M)
M15
C1a
M11
9
8
10a
10b
11a

図 6

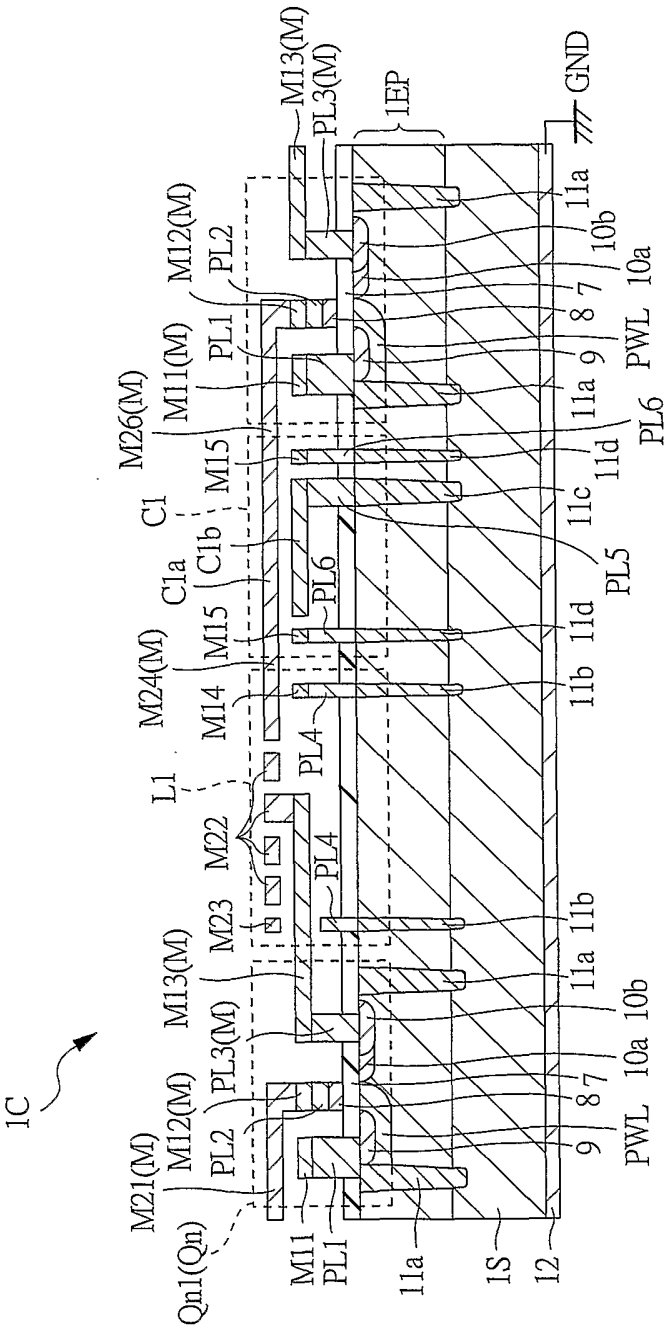

1C
M21(M)
M12(M)
PL2
PL3(M)
M13(M)
M23
M22
L1
M24(M)
M14
PL4
C1a
C1b
M15
C1
M26(M)
M11(M)
PL1
M12(M)
PL2
M13(M)
PL3(M)
1EP
GND
Qn1(Qn)
M11
PL1
11a
1S
12
9
8
7
PWL
10a
10b
11a
11b
11c
11d
PL5
PL6

図 7

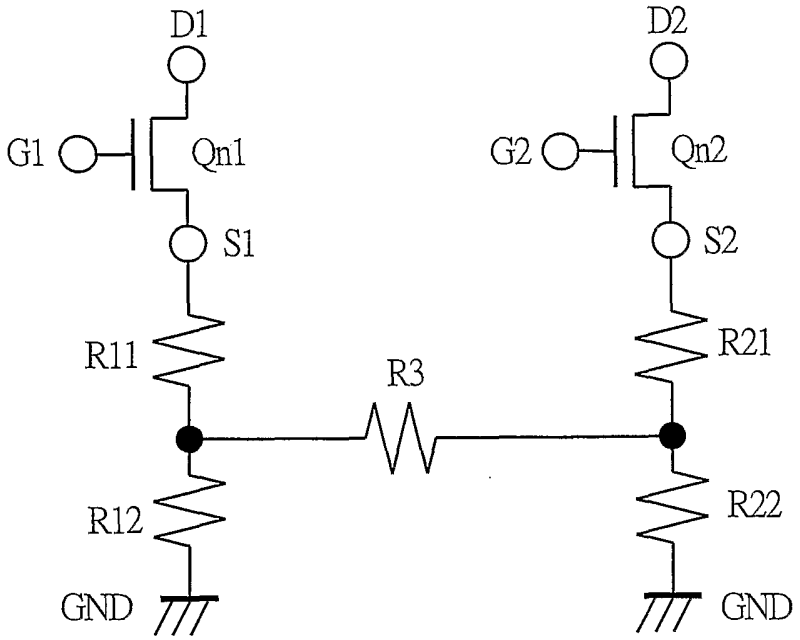


図 8

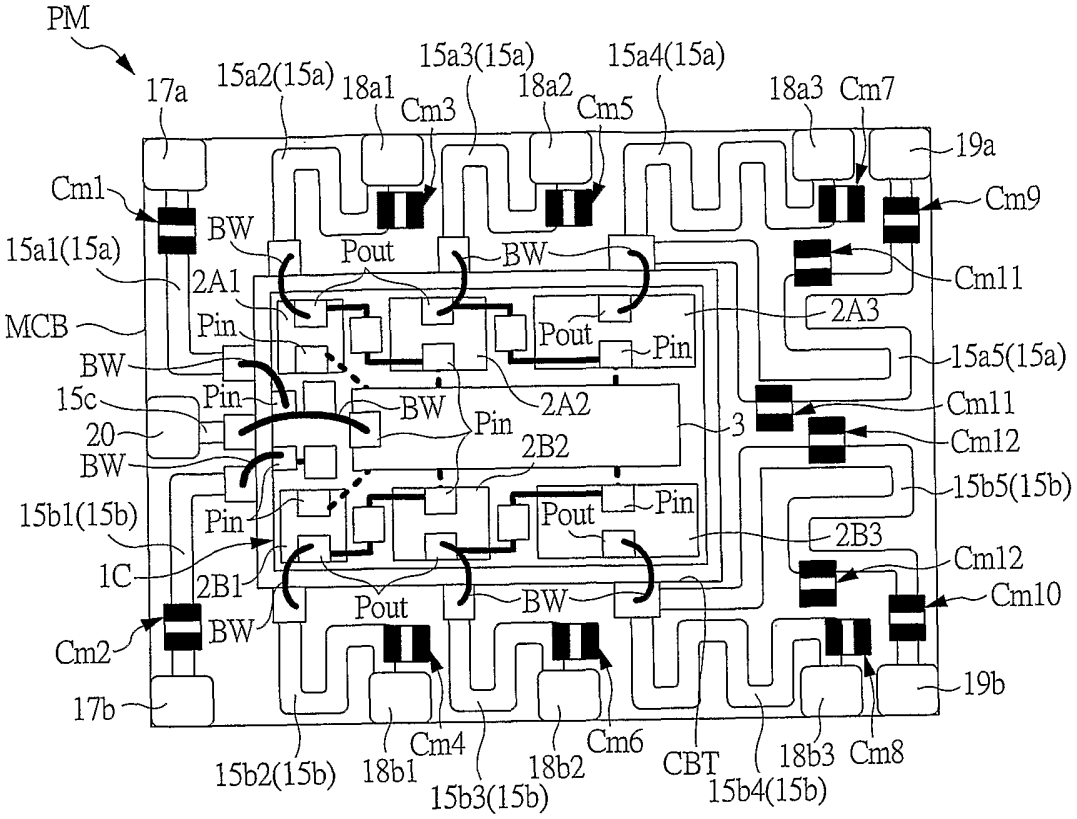

PM
17a
15a2(15a)
18a1
15a3(15a)
Cm3
18a2
Cm5
15a4(15a)
18a3
Cm7
19a
Cm1
Cm9
BW
Pout
BW
15a1(15a)
2A1
Cm11
MCB
Pin
Pout
Pin
2A3
BW
15a5(15a)
15c
Pin
BW
2A2
Cm11
20
Pin
3
Cm12
BW
2B2
15b5(15b)
15b1(15b)
Pin
Pout
Pin
2B3
1C
2B1
Cm12
Pout
BW
Cm10
Cm2
BW
19b
17b
15b2(15b)
18b1
Cm4
15b3(15b)
18b2
Cm6
CBT
15b4(15b)
18b3
Cm8

図 9

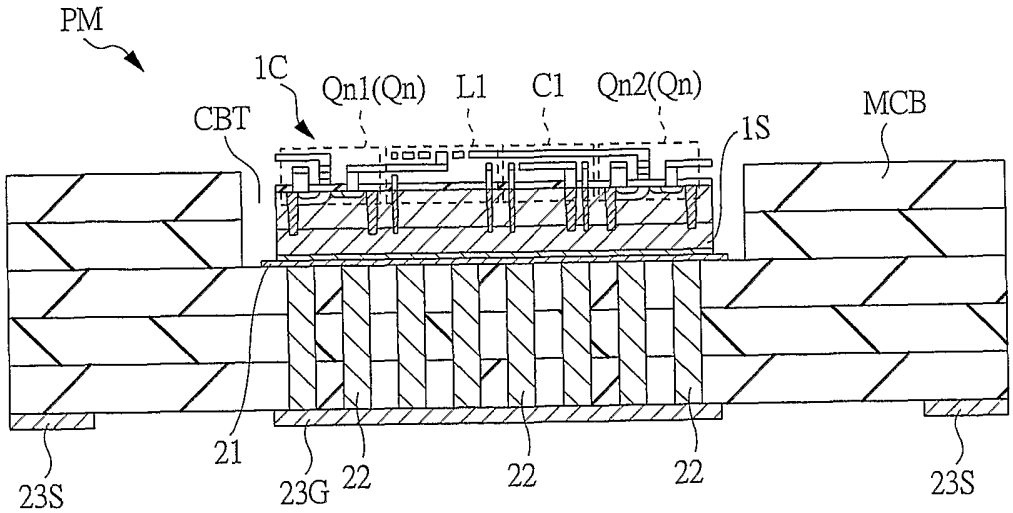

PM
1C
Qn1(Qn)
L1
C1
Qn2(Qn)
CBT
1S
MCB
21
23G
22
22
22
23S
23S

図 10

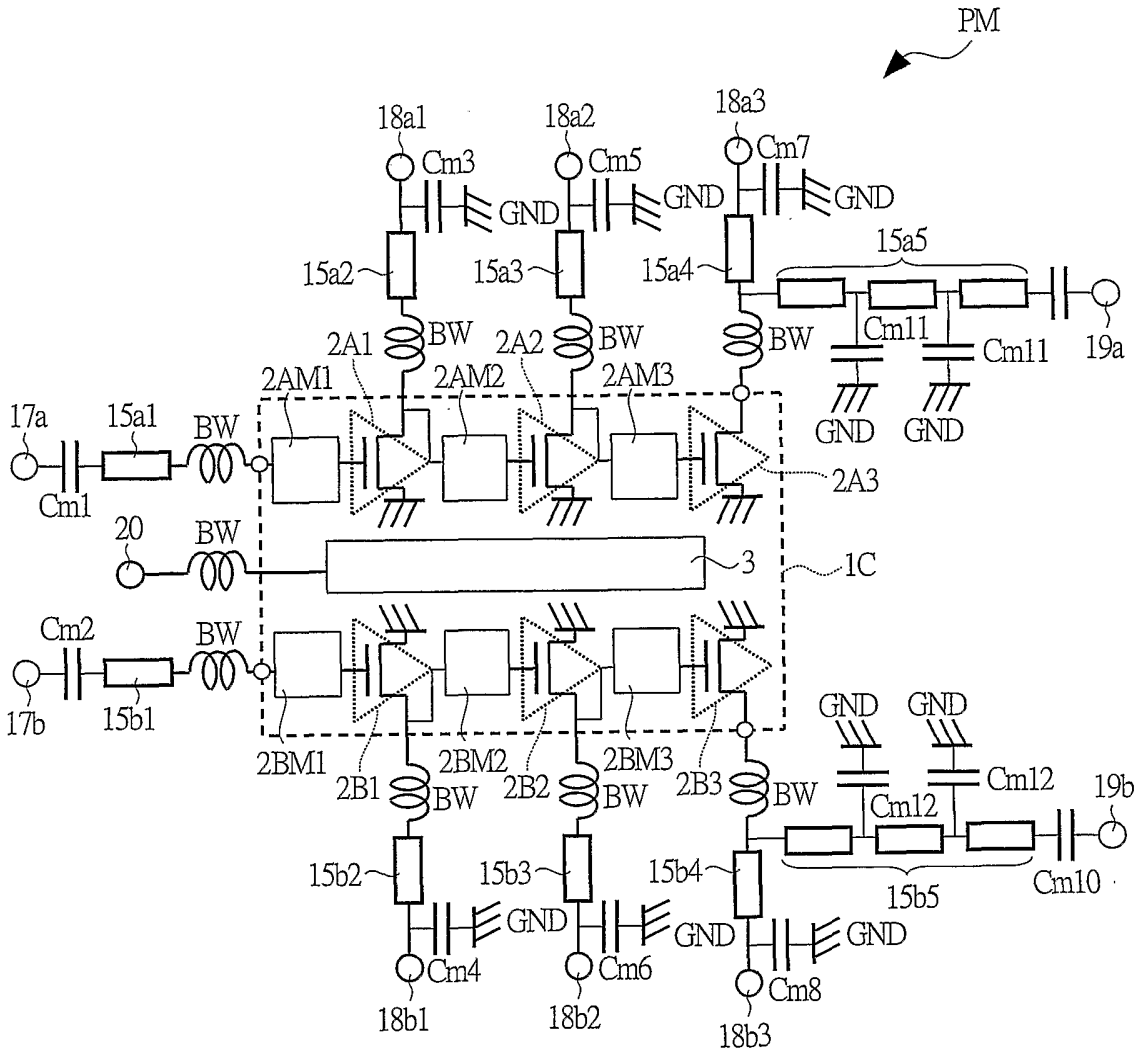

PM
18a1
18a2
18a3
Cm3
Cm5
Cm7
GND
GND
GND
15a2
15a3
15a4
15a5
2A1
BW
2A2
BW
BW
Cm11
Cm11
19a
2AM1
2AM2
2AM3
GND
GND
17a
15a1
BW
Cm1
2A3
20
BW
3
1C
Cm2
BW
17b
15b1
GND
GND
2BM1
2BM2
2BM3
2B1
BW
2B2
BW
2B3
BW
Cm12
Cm12
19b
15b2
15b3
15b4
15b5
Cm10
GND
GND
GND
Cm4
Cm6
Cm8
18b1
18b2
18b3

図 11

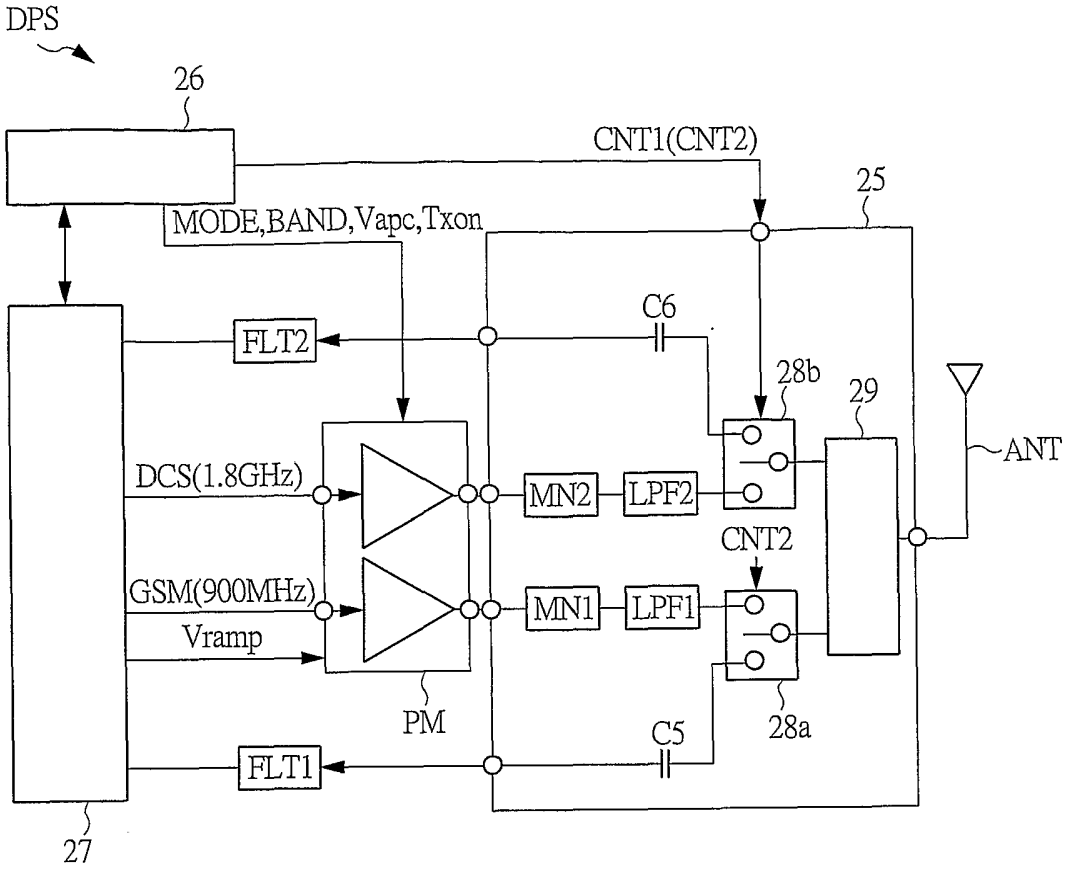

DPS
26
CNT1(CNT2)
25
MODE,BAND,Vapc,Txon
C6
FLT2
28b
29
ANT
DCS(1.8GHz)
MN2
LPF2
CNT2
GSM(900MHz)
MN1
LPF1
Vramp
PM
C5
28a
FLT1
27

図 12

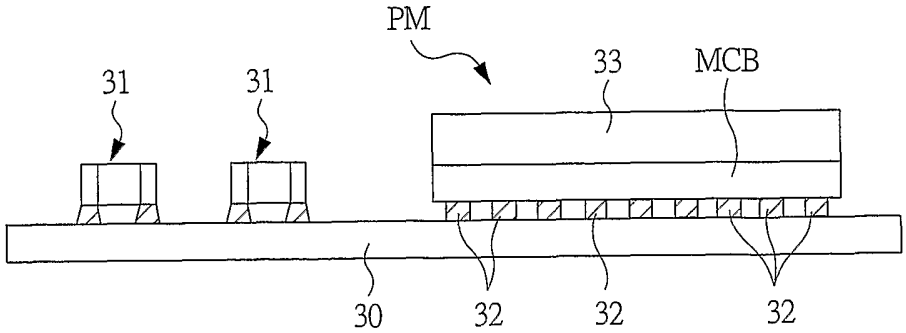

PM
33
MCB
31
31
30
32
32
32

図 13

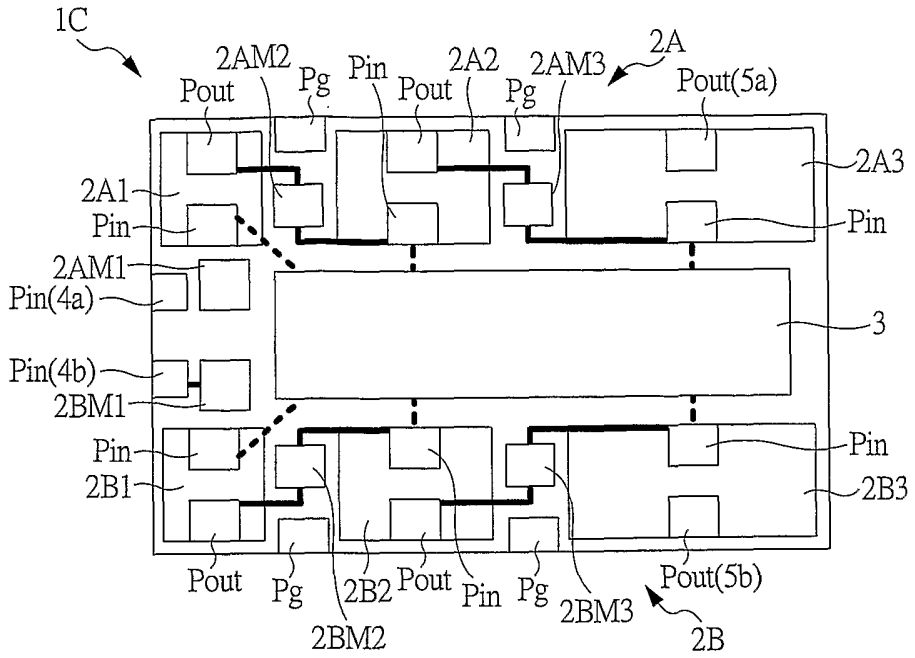

1C
2AM2
Pg
Pin
2A2
2AM3
2A
Pout
Pout
Pg
Pout(5a)
2A1
2A3
Pin
Pin
2AM1
Pin(4a)
3
Pin(4b)
2BM1
Pin
Pin
2B1
2B3
Pout
Pg
2B2
Pout
Pin
Pg
2BM3
Pout(5b)
2BM2
2B

図 14

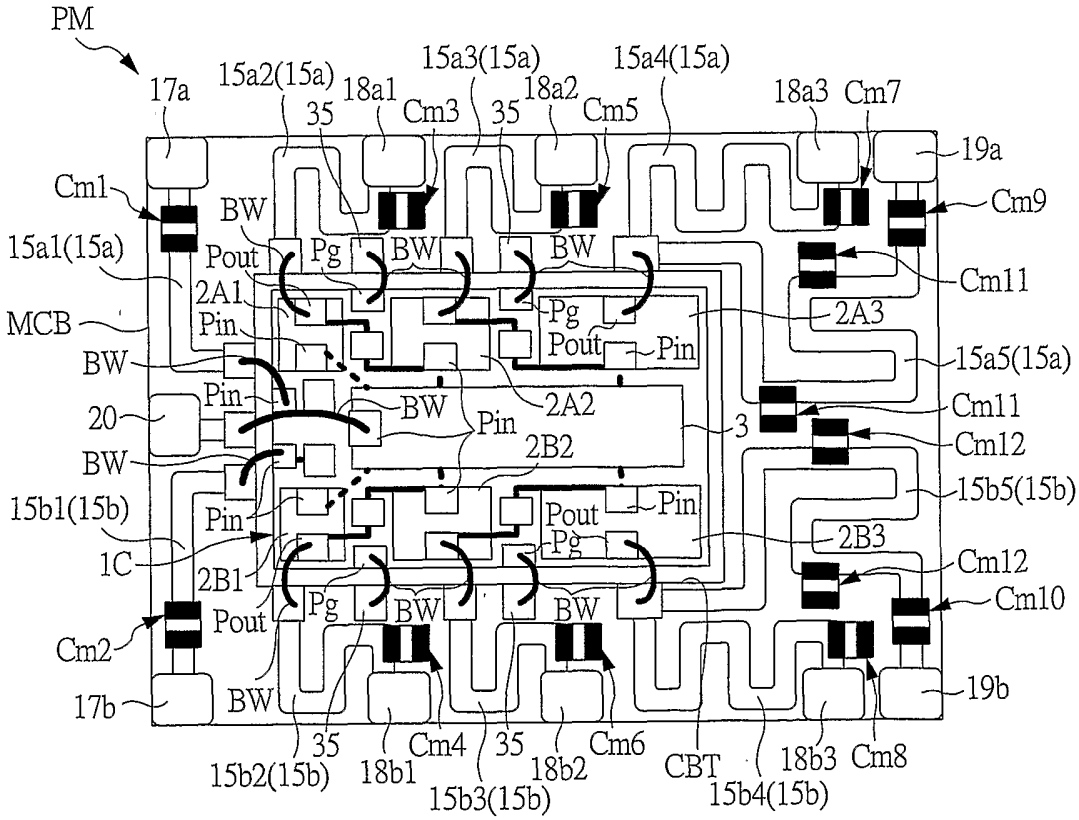

PM
17a
15a2(15a)
35
18a1
Cm3
15a3(15a)
35
18a2
Cm5
15a4(15a)
18a3
Cm7
19a
Cm1
BW
Cm9
15a1(15a)
Pout
Pg
BW
BW
Cm11
2A1
Pg
2A3
MCB
Pin
Pout
Pin
BW
15a5(15a)
Pin
BW
2A2
Cm11
20
Pin
3
Cm12
BW
2B2
15b5(15b)
15b1(15b)
Pin
Pout
Pin
Pg
2B3
1C
2B1
Cm12
Pg
BW
BW
Cm10
Cm2
Pout
BW
19b
17b
35
Cm4
35
Cm6
CBT
18b3
Cm8
15b2(15b)
18b1
18b2
15b3(15b)
15b4(15b)

図 15

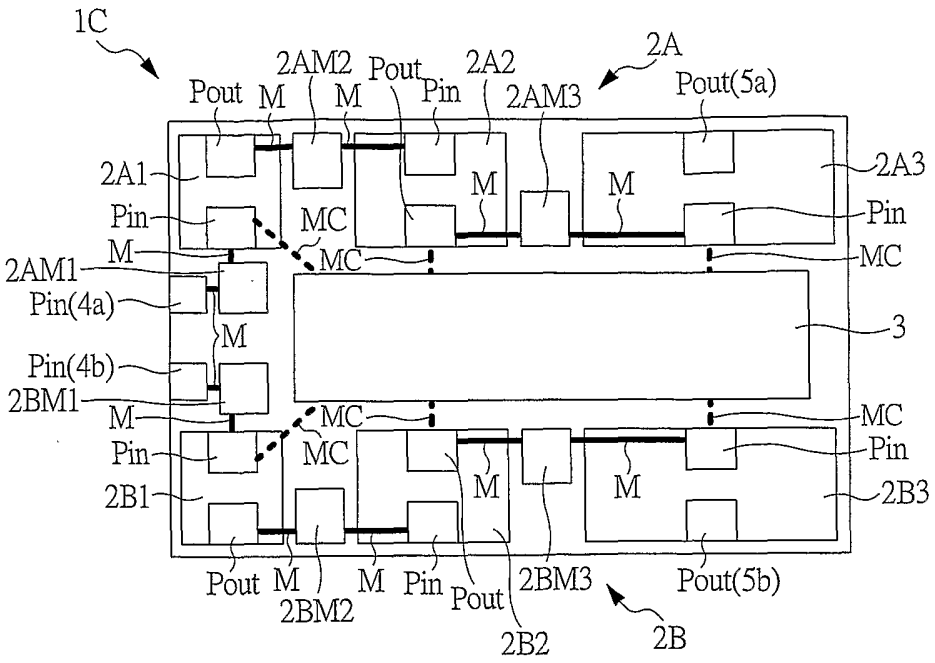

1C
2A
2AM2
Pout
2A2
2AM3
Pout(5a)
M
Pin
MC
2A1
2A3
2AM1
Pin(4a)
Pin(4b)
2BM1
3
2B1
2B3
2BM3
Pout(5b)
2BM2
2B2
2B

図 16

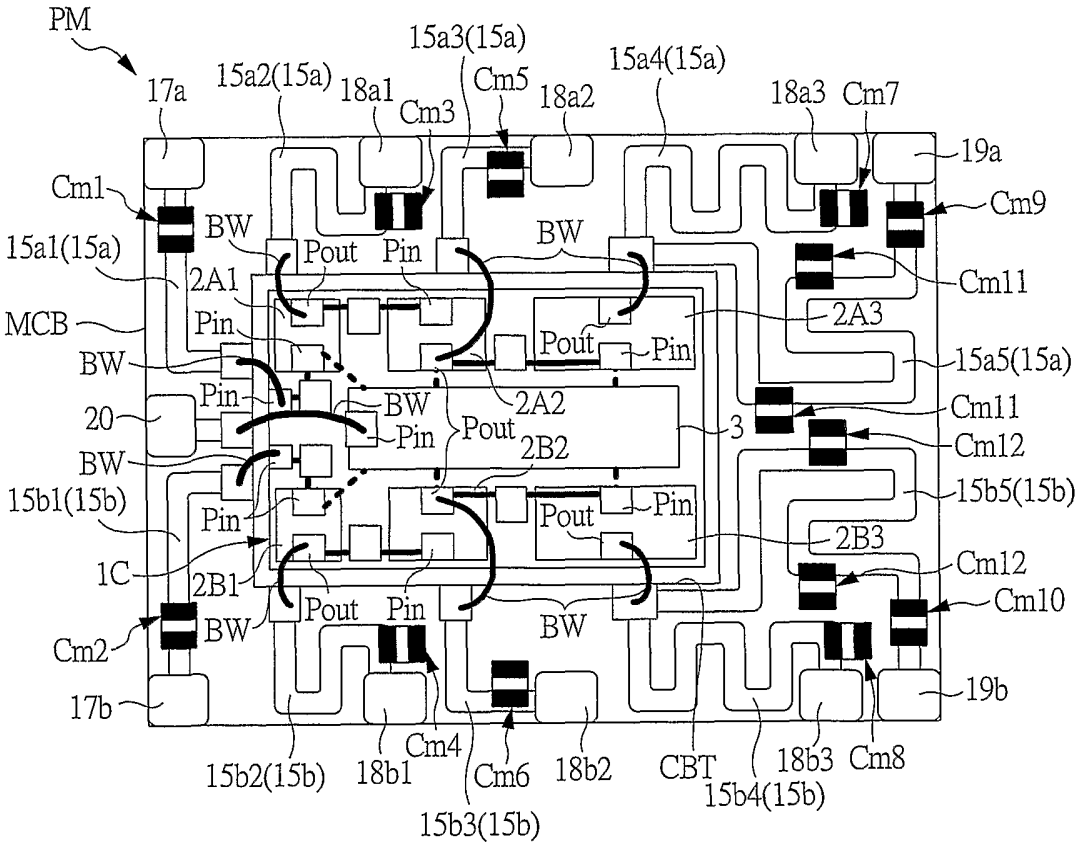
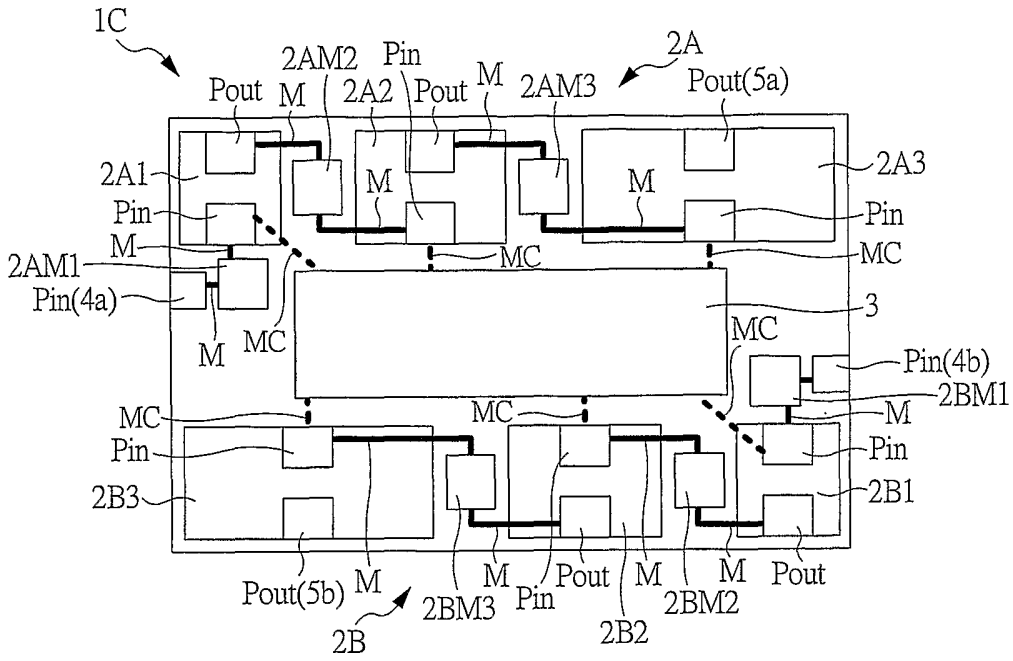

PM
17a
15a2(15a)
18a1
Cm3
15a3(15a)
Cm5
18a2
15a4(15a)
18a3
Cm7
19a
Cm1
Cm9
BW
Pout
Pin
15a1(15a)
2A1
Cm11
MCB
2A3
15a5(15a)
20
2A2
3
Cm12
2B2
15b1(15b)
15b5(15b)
1C
2B1
2B3
Cm2
Cm10
17b
19b
15b2(15b)
18b1
Cm4
Cm6
18b2
CBT
18b3
Cm8
15b4(15b)
15b3(15b)

図 17


1C
2AM2
Pin
2A
Pout
M
2A2
Pout
M
2AM3
Pout(5a)
2A1
2A3
Pin
M
2AM1
Pin(4a)
MC
3
Pin(4b)
2BM1
MC
Pin
2B3
2B1
Pout(5b)
2B
2BM3
2B2
2BM2

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/011670

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H01L27/04, H01L27/06, H03F3/189, H03F3/20, H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H01L27/04, H01L27/06, H03F3/189, H03F3/20, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2002/056368 A1 (Kabushiki Kaisha Runesasu Technology), 18 July, 2002 (18.07.02), Full text; all drawings & TW 533578 B	17,22,25 1-5,7-13,15, 18-21,23,24 6,14,16
Y	JP 2001-94094 A (Hitachi, Ltd.), 06 April, 2001 (06.04.01), Full text; all drawings & US 2001/012671 A1 Full text; all drawings & US 2002/167088 A1 & KR 1039882 A & TW 471179 B	1-5,7-10,12, 15,18,20,23

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 October, 2004 (26.10.04)	09 November, 2004 (09.11.04)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2004)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/011670

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-267864 A (Nippon Telegraph And Telephone Corp.), 28 September, 2001 (28.09.01), Par. Nos. [0003] to [0005]; Fig. 12 (Family: none)	7,8,10-13, 15,19-21,24
Y	JP 2001-237648 A (Toshiba Corp.), 31 August, 2001 (31.08.01), Par. Nos. [0027] to [0030]; Figs. 1 to 2 (Family: none)	3-5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/011670

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions of claims 1-9, 10, 11-12, 13-16, 17-18, 19, 20, 21, 22-25 have a common matter relating to providing all the amplification stages constituting an amplification circuit in a single semiconductor chip and forming the respective amplification states by field effect transistors on the semiconductor substrate made of silicon. However, the search has revealed that this common matter makes not contribution over the prior art since it is disclosed in document WO 2002/056368 A1 (Reneissance Technology), 18 July, 2002 (18.07.02), p. 5, line 44 to p. 8, line 28. Accordingly, the aforementioned common matter cannot be a special technical feature within the meaning of PCT Rule 13.2, second sentence. (Continued to extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest.

☒ No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet(2)

Consequently, there exists no matter common to all the inventions of claims 1-9, 10, 11-12, 13-16, 17-18, 19-20, 21, 22-25.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００４／０１１６７０

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Ｉｎｔ．Ｃｌ．[7]　H01L27/04, H01L27/06, H03F3/189, H03F3/20, H01L29/78

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Ｉｎｔ．Ｃｌ．[7]　H01L27/04, H01L27/06, H03F3/189, H03F3/20, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００４年
日本国実用新案登録公報	１９９６－２００４年
日本国登録実用新案公報	１９９４－２００４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｘ Ｙ Ａ	ＷＯ　２００２／０５６３６８　Ａ１（株式会社ルネサステクノロジ）２００２．０７．１８，全文，全図　＆ ＴＷ　５３３５７８　Ｂ	17, 22, 25 1-5, 7-13, 15, 18-21, 23, 24 6, 14, 16
Ｙ	ＪＰ　２００１－９４０９４　Ａ（株式会社日立製作所） ２００１．０４．０６，全文，全図　＆ ＵＳ　２００１／０１２６７１　Ａ１，全文，全図　＆ ＵＳ　２００２／１６７０８８　Ａ１　＆ ＫＲ　１０３９８８２　Ａ　＆　ＴＷ　４７１１７９　Ｂ	1-5, 7-10, 12, 15, 18, 20, 23

☒ Ｃ欄の続きにも文献が列挙されている。　　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ２６．１０．２００４	国際調査報告の発送日 09.11.2004
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｌ　３１２５ 渕　真悟 電話番号　０３－３５８１－１１０１　内線　３４６２

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（２００４年１月）

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｙ	ＪＰ　２００１－２６７８６４　Ａ（日本電信電話株式会社） ２００１．０９．２８，段落【０００３】－【０００５】， 第１２図（ファミリーなし）	7, 8, 10-13, 15, 19-21, 24
Ｙ	ＪＰ　２００１－２３７６４８　Ａ（株式会社東芝） ２００１．０８．３１，段落【００２７】－【００３０】， 第１－２図（ファミリーなし）	3-5

国際調査報告	国際出願番号　ＰＣＴ／ＪＰ２００４／０１１６７０

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第８条第３項（ＰＣＴ１７条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1．☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

2．☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3．☐ 請求の範囲 _____ は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第３文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲１－９，１０，１１－１２，１３－１６，１７－１８，１９－２０，２１，２２－２５に係る発明の共通の事項は、増幅回路を構成する複数の増幅段の全てを同一の半導体チップに設け、複数の増幅段の各々をシリコンからなる半導体基板上の電界効果トランジスタで形成したことである。しかしながら上記共通の事項は、文献ＷＯ　２００２／０５６３６８　Ａ１（株式会社ルネサステクノロジ），２００２．０７．１８，第５頁第４４行－第８頁第２８行目に開示されており、上記共通の事項は先行技術の域をでないから、ＰＣＴ規則１３．２の第２文の意味において、上記共通の事項は特別な技術的特徴ではない。
それ故、請求の範囲１－９，１０，１１－１２，１３－１６，１７－１８，１９－２０，２１，２２－２５に係る発明全てにおいて共通の事項はない。

1．☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。

2．☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。

3．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。

4．☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。

☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。