(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
G02F 1/136

(45) 공고일자 1996년08월07일
(11) 공고번호 96-010722

(21) 출원번호	특1991-0019896	(65) 공개번호	특1992-0012992
(22) 출원일자	1991년11월09일	(43) 공개일자	1992년07월28일
(30) 우선권주장	90-415722 1990년12월10일 일본(JP)		

가부시키가이샤 한도오따이 에네루기 겐큐쇼 야마자끼 순페이
일본국 가나가와껜 아쓰기시 하세 398

(72) 발명자 히르키 마사아키
일본국 가나가와껜 아쓰기시 하세 398 반찌 가부시키가이샤 한도오따이 에네루기 겐큐쇼(내)
마세 아키라
일본국 가나가와껜 아쓰기시 하세 398 반찌 가부시키가이샤 한도오따이 에네루기 겐큐쇼(내)
(74) 대리인 황의만

심사관 : 강해성 (책자공보 제4589호)

(54) 박막 트랜지스터 및 그를 이용한 활성 매트릭스 전기 광학 장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

박막 트랜지스터 및 그를 이용한 활성 매트릭스 전기 광학 장치

[도면의 간단한 설명]

제1도는 종래 활성 매트릭스 액정 전기 광학 장치의 회로의 실시예를 도시한 도면, 디스플레이의 매트릭스는 2×2와 상응한다.

제2도는 본 발명에 따라 활성 매트릭스 액정 전기 광학 장치의 회로의 실시예를 도시한 도면, 디스플레이의 매트릭스가 2×2와 상응한다.

제3a도-제3F도는 본발명에 적용할 수 있는 TFT의 제조공정을 도시한 개략 단면도.

제4a도는 본 발명에 따라 활성 매트릭스 액정 전기 광학 장치의 2×2와 상응한 전극 또는 TFT의 배열의 실시예를 도시한 평면도.

제4b도, 제cC도는 제4a도에서 A-A'와 B-B'선으로 표시된 위치와 각각 상응한 단면도.

제5도는 본 발명에 따라 활성 매트릭스 액정 전기 광학 장치의 구동 시간인 신호 라인으로 입력한 구동 신호파형을 도시한 도면.

제6a도는 바람직한 제2실시형태에 따라 활성 매트릭스 액정 전기 광학 장치의 2×2와 상응한 전극 및 TFT배열의 다른 실시예를 도시한 평면도.

제6b도는 제6c도는 제6a도에서 C-C'와 D-D'선으로 표시된 위치와 각각 상응한 단면도.

제7a도-제7g도는 바람직한 제3실시형태와 상응한 TFT의 제조공정을 도시한 단면도.

제8a도는 본 발명의 제3실시형태에 따라 활성 매트릭스 액정 전기 광학 장치의 일부를 도시한 평면도.

[발명의 상세한 설명]

본 발명은 활성(Active: 액티프형)전기 광학 장치, 즉 활성 액정 전기 광학 장치에 관한 것으로, 특히 각 화소에 두 개의 박막 게이트 절연형 전계효과 트랜지스터(이후 TFT라함)가 제공된 장치에 관한 것으로서, 그 장치는 본 발명에서 개량된 트랜스퍼게이트(modified transfer gate)(MTG)의 구조

를 갖는 콤플리멘터리 박막 트랜지스터(complementary thin film transistor)(이후 C/TFT라함)로 명명된다.

종래에, TFT를 활용한 활성형 액정전기 광학 장치가 종래에 잘 알려져 왔다. 이 장치에 있어, 비정질 또는 다결정성 반도체가 TFT에 사용된다. 한편 P채널 또는 n채널 TFT는 그것의 각 화소에 사용된다. 즉, n채널 TFT(이후 NTFT라함)가 일반적으로 화소와 직렬연결된다. 그것의 일반적인 실시예가 제1도에 도시되어 있다.

제1도는 매트릭스(matrix)형태에서 액정 전기 광학 장치의 등가회로를 도시한 것으로서 NTFT는 직렬로 액정(1)과 연결된다. 알반적으로 640×480와 같은 큰 매트리스 장치 또는 1260×960매트릭스 장치가 사용되는 반면 도면에서는 2×2의 매트릭스 배열의단순한 실시예가 동일상황에서 보여주고 있다. 전압이 주변회로(3)(4)로부터 각 화소에 공급된다. 화소는 전압에 따라 온(ON) 또는 오프(OFF)된다. TFT의 온/오프 특성이 좋을 때 일반적으로 높은 콘트라스트(contrast)의 액정 전기 광학 장치가 제조될 수 있다.

그러나 액정 전기 광학 장치가 실제로 제조되었을 때, TFT의 출력인 전압 V_{LC}(5), 즉 액정에 대한 입력(이후 액정전위라함)이 1(고)이 되어야 할 때 1(고)이 되지않고 반면에 그것이 0(저)이 되어야할 때 0(저)이 되지 않는 경우도 종종있다. 이런 불편은 온/오프조건에서 비대칭상태로 되는 화소에 신호(signal)를 제공하는 스위치 장치인 TFT의 경우에 일어난다. 액정(1)은 근본적으로 절연되고 TFT가 오프되면 액정전위(V_{LC})는 부유하게 된다. 액정(1)은 커패시터(copacitor)와 등가적이기 때문에 액정전위(V_{LC})는 커패시터에 축적된 전하를 바탕으로 하여 결정될 수 잇다.

액정의 저항이 R_{LC}(6)에서 비교적 작게될 때, 또는 누전이 먼지 또는 이온 불순물의 존재로 인해 일어날때, 또는 핀홀(pinhole)이 제1도에 도시된 바와 같이 R_{GS}(7)에서 TFT의 게이트 절연막에 형성될 때 , 전하는 그것으로부터 누출되어 V_{LC} 가 불안정조건으로 되고, 한 패널(panel)내에 200,000~5,000,000만큼의 화소를 갖는 액정 전기 광학 장치에서 고수득율이 성취될 수 없다. 액정 물질(1)에 대해 특히 TN(Twisted Nematic)액정이 일반적으로 이용된다.

액정의 배향을 위해, 연마된 배향 조절막이 각 전극에 제공된다.

연마과정에서 발생된 정전기로 인해 약한 유전파괴가 일어나고, 누전이 화소전극 및 전선 같은 인접한 콘덕터(conductor)사이에서 일어나거나 누전이 약한 게이트 절연막에서 일어난다. 활성 액정 전기 광학 장치에 대해, 한 개의프레임(frame)에서 최초값과 동일한 값으로서 액정 전위의 일정한 레벨을 유지하는 것이 특히 중요하다. 그러나, 실제로, 이것은 TFT부분의 많은 결점때문에 항상 그렇지 않다. 액정물질이 강유전체 액정인 경우에 있어 전류를 증가시키는 것이 필요하다.

그 목적을 위해,TFT는 전류 마진(margin)을 증가시키기 위해 크기에 있어서 증가되었으며, 이것이 단점이 된다.

본 발명의 목적은 안정동작을 전기 광학 장치에 제공하는데 잇다.

본 발명의 다른 목적은 1과0의 안정된 구동 신호 레벨로 장치를 구동시킬 수 있는 콤플리멘터리 트랜지스터로 이루어진 전기 광학 장치를 제공하는데 있다.

전술한 것과 다른 목적을 성취하기 위해, 전기 광학 장치는 그것의 기재상에 화소 전극 섬을 구비하고, 게다가 제1신호라인과 제2신호라인을 구비하며, P채널 TFT와 N채널 TFT를 포함하는 콤플리멘터리 트랜지스터를 구비하여 P채널 TFT의 입력/출력단자 중 하나와 n채널 TFT의 입력 입력/출력단자 중 하나가 전극섬에 연결되는 반면 P채멀 TFT의 입력/출력단자 중 다른 하나와 n채널 TFT의 입력/출력단자 중 다른 하나가 제1신호라인에 연결되고 P채널 및 n채널 TFT의 게이트전극이 제2신호라인에 연결된다.

메트릭스 디스플레이장치는 기재상에 상기 구조의 수를 증가시킴으로써 얻어질 수 있다. 본 발명에 따른 콤플리멘터리 박막 트랜지스터(이후 C/TFT라함)는 N채널 매트릭스 박막 트랜지스터(이후 NTFT라함)의 입력/출력단자 중 하나와 P채널 박막 트랜지스터(이후 PTFT)의 입력/출력단자중 하나가 서로 연결되고, P채널과 N채널 박막 트랜지스터의 게이트 전극이 서로 연결되며, 연결된 단자들이 소오스 및 드레인 전극으로서 작동되는 콤플리멘터리 박막 트랜지스터이다. 본 발명의 일반적인 전기 광학 장치의 등가회로가 제2도에 도시되어 있다. 제2도에 도시된 주변 회로(20)(21)에 의해 구동된 2×2매트릭스 실시예에 있어서, PTFT(22)의 소오스 및 드레인의 한쪽(24)과 NTFT(23)의 소오스 및 드레인의 한쪽(25)이 하나의 신호라인V_{DD}(26)에 연결되는 반면, 다른 쪽이 화소 전극에 연결되고, 게이트(27),(28)는 다른 신호라인V_{GG}(29)에 연결된다.

그와 같은 구조를 형성함으로써, 액정 전기 광학 장치를 얻게 되는데, 이것은 PTFT(22) 및 NTFT(23)를 포함한 C/TFT의 온/오프시간에서 화소전극에 인가된 전위가 1또는 0으로 고정되기에 충분히 안정하게끔 허용하며, 이로써 레벨이 하나의 프레임내에서 드리프트(DRIFT)되지 않는다.

본 발명의 한 부분을 형성하는 콤플리멘터리 게이트 절연형 전계효과 트랜지스터를 각 화소상에 제공하여 디스플레이 부분의 화소에 인가된 전압을 조절함으로써, 분명한 온/오프특성을 갖는 액정 전기 광학 장치가 얻어진다.

바람직한 실시형태1

제3도와 제4도에 따르면, 바람직한 실시형태 1에 따라 디스플레이 장치가 언급될 것이다. TFT의 제조공정은 제3도를 이용하여 설명되었다. PTFT(22)의 제조방법이 여기서 주요 주제이며 NTFT(23)은 기본적으로 이것과 동일한 공정으로 제조되었다.

제3도에 따르면 산화실리콘막(41)은 대략600℃온도의 열처리에 내성을 갖는 AN유리 또는 파이렉스

유리와 같은 유리기재상에 블록층을 마그네트론 RF(고주파) 스퍼터링에 의해 1000-3000Å의 두께로 만들었다. 그 공정조건은 100% 산소분위기, 막의 형성온도 150℃,출력 400-800W와 압력 0.5Pa이다.

타겟트로 석영 또는 단결정 실리콘을 사용한 경우에 중착비는 30-100Å/MIN였다. 실리콘막(42)은 LPCVD(저압 화학 진공증착) 스퍼터링 또는 플라즈마 CVD에 의해 산화 실리콘막(41)상에 형성되었고 제3a도에 도시된 구조를 얻기 위해 알려진 포토리소 그래피(photolithography)에 의해 패터닝된다.

실리콘막이 LP CD에 의해 형성되는 경우에 있어, 450℃-550℃,예를 들면 530℃인 결정화를 위한 온도보다 낮은 100-200℃온도에서 디실란(disilane:Si_2H_6) 또는 트리실란(trisilane:Si_3H_3)이 CVD장치에 공급된다. 반응로의 압력은 30-300Pa이고 증착률은 50-250Å/min이었다. 거의 동일한 레벨로 NTFT와 PTFT의 한계 전압(V)을 조절하기 위해, 붕소는 디보란(diborane)을 사용하여 1×10^{14}-$1\times10^{17}cm^{-3}$ 의 농도로 막 형성 시기에 첨가될 수 잇다.

실리콘막이 스퍼터링에 의해 제조된 경우에 있어서, 스퍼터링 전 챔버의 배압은 1×10^{-5} Pa이하이고 그 제조는 타겟트로서 단결정 실리콘을 사용하여 20-80%의 수소 분위기에 아르곤을 주입시켜 수행하였다. 예를 들면 20%아르곤과 80%수소, 증착온도 150℃,고주파 13.56MHZ, 스퍼터링 출력 400-800W와 압력 0.5Pa에서 실행되었다.

실리콘막이 플라즈마 CVD에 의해 형성되는 경우에 있어, 온도는 예를 들면, 300℃였고 모노실란(SiH_4)또는 디실란(Si_2H_6)이 사용되었으며, 그것은 PCVD장치에 주입되어 막형성을 위해 13.56MHZ의 고주파를 적용시켰다.

이런 방법에 의해 형성된 피복막은 아래에 언급된 것처럼 다음 공정에서 결정화 공정을 받게 된다. 피복막에 포함된 산소의 농도는 결정화 공정을 촉진하기 위해 바람직하게는 $7\times10^{19}cm^{-3}$ 이하이고, 더욱 바람직하게는 $1\times10^{19}cm^{-3}$이하이다.

이런 실시형태에 따라 얻게된 피복막상에 SIMS(secondary ion mass spectometry : 2차 이온 질량 분석)의 결과에 따라 불순물의 레벨은 산소에 대해 $8\times10^{18}cm^{-3}$, 탄소에 대해 $3\times10^{16}cm^{-3}$, 수소에 대해 $4\times10^{20}cm^{-3}$였으며, 그것은 $4\times10^{22}cm^{-3}$으로 한정된 실리콘과 비교해서 1원자 %였다.

비정질 실리콘막이 12-70시간동안, 예를 들면 600℃인 비산화 분위기내, 즉 질소 또는 수소 분위기내에서 500-3000Å의 범위인 두께로 제조된 후, 중간온도 열처리가 450-700℃의 온도에서 실행되었다.

비정질 산화 실리콘막이 실리콘막아래 기재표면상에 형성되기 때문에 특별한 코아(core)가 열처리동안 존재하지 않고 전체가 균일하게 가열되어 어닐링된다. 그 막은 중착되었을 때 단순히 그 안에 수소를 혼합한 비정질 구조를 갖는다. 어닐링을 수반함으로써 실리콘막은 다른 상태의 고차수의 비정질 구조로 변형되며, 그 한 부분은 결정상태를 보여준다.

특히 전술한 방법(LPCVD, 스퍼터링, 플라즈마 CVD)에 의해 형성된 피복막의 비교적 높은 차수영역은 결정성 영역으로 결정화되기 쉽다. 그러나 실리콘원자들은 결합이 그 결합 사이에 존재하는 실리콘 원자에 의해 영역사이에 형성되기 때문에 서로 끌어당긴다.

막 결정도의 관찰에 있어, 레이저 라만 스펙트로스코피(laser Raman Spectroscopy)결과는 $522cm^{-1}$ 의 단결정 실리콘 피크보다 낮은 주파수로 이동된 피크를 보인다. 중간 대역폭(half band width)을 기초로 하여 계산된 뚜렷한 그레인(Grain)크기는 미세결정의 레벨인 50-500Å이다. 클러스트(cluster)구조를 갖는 고결정화도의 영역은 숫적으로 다수이며, 각 실리콘을 통해 각 클러스터가 서로 고정된 반-비정질 구조의 피복이 형성되었다.

그결과, 그 막은 그안에 실질적으로 어떤 그레인 입계(grain boundary)도 존재하지 않는다고 말할 수 있는 상태를 보여준다. 캐리어 이동도는 그레인 입계가 뚜렷하게 존재하는 다결정성 실리콘의 이동도보다 더 크게된다. 즉, 홀(hall)이동도(μh)=10-200㎠/Vsec, 전자 이동도(μe)=15-300㎠/Vsec가 얻어질 수 있다.

다른 한편으로, 다결정성 실리콘은 상기 언급된 것처럼 중간온도 어닐링 대신 900-1200℃ 온도범위의 고온 어닐링 방법으로 막의 다결정화에 의해 형성될 수 있다. 이런 경우에 있어, 코아로부터의 고체 상태 성장으로 야기된 막내의 불순물 분리로 인해, 산소, 탄소 및 질소 같은 불순물은 그레인 입계(GB)에서 증가된다. 즉, 벽이 그레인 입계에 형성됨으로써, 결정내의 이동도는 클지라도 그레인 입계의 벽은 캐리어 이동을 방해한다. 결과로서, 특히 10㎠/Vsec이상 이동도를 성취하기 어렵다.

그러나, 탄소(C),질소(N) 또는 산소(O) 같은 불순물의 농도를 반비정질 반도체의 농도의 수십분의 일까지 감소시킴으로써 30-300㎠/Vsec의 고이동도를 얻을 수 있다.

상기 언급된 것처럼, 본발명에 따른 실시형태에 있어서, 반비정질 또는 반결정 또는 결정 구조를 갖는 실리콘 반도체가 사용되어 산화 실리콘이 그 위에 500-2000Å예를 들면 1000Å범위의 두께인 게이트 절연막(43)으로서 형성되었다. 제조조건은 불록층으로서의 산화 실리콘막(41)의 조건과 동일하다. 피복막에 플르오르의 적은량이 막의 형성동안 첨가될 수 있다.

게다가 그것의 상면에 $1-5\times10^{20}cm^{-3}$ 의 인으로 도핑된 실리콘막, 또는 이 실리콘막 및 그위에 형성된 몰리크덴(Mo), 텅스텐(W), MoS_2 도는 WS_2 막의 다층막을 형성하였고 그것을 포토마스크를 사용하여 게이트 전극(27)을 형성하였다. 채널길이 10㎛,게이트 전극으로서 인(P) 도핑 실리콘 0.2㎛, 그위에 몰리브덴을 0.3㎛의 두께로 형성한 제3b도의 형성을 얻었다.

제3c도에 따르면, 포토레지스트가 포토마스크를 사용하여 형성되었다. 그리고 PTFT를 위해 붕소가

이온 주입에 의해 소오스 및 드레인(31)에 $1\times10^{15}cm^{-2}$의의 도즈량으로 첨가되었다.

인이 NTFT를 위한 소오스(25)와 드레인(33)을 형성하기 위해 이온주입 또는 플라즈마 도핑에 의해 $1\times10^{15}cm^{-2}$의 도즈량으로 첨가되었다. 이 실시형태에 있어, PTFT(22)와 NTFT(23)가 제4도에 도시된 것처럼 병렬이기 때문에, 하나의 전도성 형태의 TFT는 다른 전도성 형태의 TFT에 이온주입을 수행했을 때 포토레지스트 또는 그 유사한 것으로 마스크되다. 이온주입이 게이트 절연막(43)을 통해 두 경우에 실행되었다. 반면에 제3b도에 따르면, 마스크(mask)로서 게이트 전극(27)을 갖는 실리콘막상의 산화실리콘이 제거될 수 있고, 그런후 붕소 또는 인이 실리콘막에 직접 이온주입될 수 있다.

열어닐링이 불순물을 활성시키기 위해 10~50시간동안 600℃에서 다시 수행되었다. NTFT의 소오스(25) 및 드레인(33)이 제4도의 PTFT의 소오스(24) 및 드레인과 마찬가지로 활성에 의해 각각 n^+형과 p^+형으로 얻어졌다.

게이트 전극(27) 아래 채널형성영역(44)이 고이동도의 결정반도체로서 얻어졌다. 이렇게 자기정합방법의 이용에 더하여, 제4도에 조시된 C/TFT(30)는 그것의 제조동안700℃이상의 온도로 증가시킴없이 제조될 수 있다. 그렇기때문에, 석영같은 비싼 기재를 이용하는 것이 필요치않다. 그 결과로서 본 발명의 공정은 큰 디스플레이영역을 갖는 액정디스플레이 장치의 제조에 적용될 수 있다. 제3a도와 제3d도에 따르면, 열어닐링이 두 번 실행되었으나. 제조시간을 단축시키기 위해 두 어닐링이 제3d도와 관련된 하나의 어닐링으로 대체되는 요구된 특성에 따라, 제3a도와 관련된 어닐링은 생략될 수 있다.

제3e도에 따르면, 산화실리콘막은 상기 언급된 스퍼터링에 의해 층간 절연막(45)으로서 형성되었다. 산화 실리콘막 형성은 광 CVD 또는 LPCVD에 의해 수행될 수 있다. 층간 절연막(45)의 두께는 예를 들면,0.2~0.4㎛였다. 그 형성후에 전극용 창 (46)이 포토마스크(photomask)를 이용하여 형성되었다. 알루미늄이 그것의 전표면에 걸쳐 스퍼터링에 의해 형성되고, 전극(26) 및 접점(contact, 48)을 형성하기 위해 포토마스크를 사용하여 패터닝되었다.

게다가, 인듐 주석 산화물막(indium tin oxide film)이 스퍼터링에 의해 중착되었고, 제4a도에 도시된 바와 같이 화소전극(32)을 얻기 위해 포토마스크를 이용한 에칭(eching)에 의해 패터닝되었다. 제4A도에 도시된 것처럼 두 개의 TFT(22)(23)는 콤플리멘터리 트랜지스터이다.

제4a도에 도시된 것처럼, TFT(22),(23)의 출력단자는 액정장치의 화소전극(32)에 연결되었다. ITO는 150℃까지 실온에서 중착되었고, 산소분위기 또는 200~400℃인 분위기에서 어닐링되었다.

이렇게 하여 PTFT(22),NTFT(23)와 투명 전도성 막의 전극(32)이 동일 유리기재(40)상에 형성되었다. TFT의 특성이 아래 표에 간단하게 언급되었다.

[표 1]

	이동도 $\mu(cm^2/Vs)$	Vth(한계전압)
PTFT	20	−3
NTFT	30	+3

이렇게 하여 제조된 반도체를 사용함으로써, 일반적으로 불가능하게 받아들여졌던 TFT에 큰 이동도가 성취되었다. 액정 전기 광학 장치용 콤플리멘터리 TFT와 제2, 제3, 제4도에 도시된 것과 같은 즉, MTG-C/TFT가 처음으로 형성되었다.

제4도에 따르면, X축 방향의 배선(이후 X라인이라 함), 즉, V라인(26), V라인(50), V라인(51)이 형성되었다.

Y축방향에 있어 Y축 방향의 배선(이후 Y라인이라함), 즉 V라인(29), V라인(52)이 형성되었다. 제4A도는 평면도이고, 그것의 A-A'종단면이 제4b도에 도시되었고, 제4c도에 B-B종단면이 도시되었다.

NTFT(23)와 PTFT(22)가 C/TFT(30)를 형성하기 위해 Y라인 V(29)와 X-라인 V(26)의 교차점 근처에 구비되었다. 동일구조를 갖는 C/TFT는 제4a도에 도시된 매트릭스구조를 얻도록 다른 화소에 대해 형성되었다. C/TFT(30)를 구성하는 NTFT(23)와 PTFT(22)에 있어서, 소오스와 드레인 영역은 투명 전도성막(32)으로 이루어진 화소전극(32)에 연결되었고 매트릭스 구조를 갖는 한 개의 신호라인(26)에 접점(48)과 전극을 통해 연결되었다.

다른 한편으로는, NTFT(23),PTFT(22)의 게이트 전극(27)(28)이 다른 신호라인(29)의 게이트 배선에 연결되었다. 따라서 픽셀(pixel)이 두 개의 X라인(26)(50)과 Y-라인(29)(52)에 의해 둘러싸인 공간의 내측면상의 투명 전도성막(32)과 C/TFT(30)의 밖으로 형성되었다. 수직 수평으로 그 구조를 반복함으로써, 2×2매트릭스의 한 예 또는 640×480 또는 1280×960 같은 확장된 큰 디스플레이의 영역의 액정 전기 광학 장치가제조되었다.

제4도는 액정 전기 광학 장치내에 액정을 삽입시킨 한 개의 기재 구조를 도시하고 있다. 배향조절막이 상기 한 개의 기재상에 형성되고 배향처리되며, 상기 하나의 기재 및 다른 화소전극(55)을 갖는 다른 기재는 종래의 방법으로 일정한 간격으로 병렬로 배치되었다. 액정물질은 이런 실시형태에 따른 액정 전기 광학 장치를 완성시키기 위해 그 안에 주입되었다. TN액정이 액정물질로서 이용될 때 각 기재사이의 간격이 약 10㎛이고 연마처리된 배향조절막은 두 기재상에 형성된 투명 전도성 막위

에 형성되야 한다.

강유전성 액정이 액정물질로서 이용될 때, 셀(CELL)의 간격이 1.5~3.5㎛ 예를 들면, 2.3㎛인 동안 구동전압은 예를 들면, ±2V이며 배향막은 대향전극(55)에만 제공되고 연마처리된다. 분산형 액정 또는 폴리머 액정이 이용될 때, 배향조절막이 불필요하고, 스위칭 속도를 증가시키기 위해 ±10~±15로 구동전압이 결정되었으며, 셀 간격 즉, 액정이 삽입된 한쌍의 기재간격은 1~10㎛만큼 얇은 두께이다.

분산형 액정이 이용될 때 특히, 편광판이 불필요하므로 액정장치에 의해 전달된 빛의 양은 전송모드와 마찬가지로 반사모드에서 증가될 수 있다. 게다가, 액정은 본 발명에 따른 구동장치(C/TFT)를 사용함으로써 한계전압을 갖지 않기 때문에, 큰 콘트라스트(contrast)를 얻게 되는데, 그 이유는 본 발명에 따른 구동장치가 명확한 한계전압을 갖기 때문이다. 그러면서, 인접 화소와의 손상된 간섭 또는 혼선이 제거되었다.

이런 실시형태에 있어, 고 이동도의 반도체가 반도체장치로서 이용되었으나, 다른 결정성 구조의 반도체가 대신 이용될 수 있다는 것이 뚜렷하다.

이런 실시 형태에 있어, 액정 전기 광학 장치가 언급되었으나, 본 발명에 따른 개량된 트랜스퍼 게이트 C/TFT가 화소전극에 전압이 인가되는 다른 전기 광학 장치용으로 이용될 수 있다는 것이 뚜렷하며, 그것에 의해 약간의 디스플레이 구동을 이루게 된다.

본 발명의 현저한 특징은 두 개의 TFT가 콤플리멘터리 구조로 하나의 화소에 제공되고, 전극(32)의 전위인 액정 전위 V는 PTFT가 온(on)이고 NTFT가 오프(off)인 경우 또는 PTFT가 오프이고 NTFT가 온인 경우의 레벨로 고정된다는 것이다. 이 실시형태의 구동원리는 제2도와 제5도를 이용하여 아래에 설명되었다. 제2도는 이 실시형태의 구동원리를 설명하는 견지에서의 2×2매트릭스 구조의 등가회로를 보여준다. 그 도면에 도시된 신호라인 V(29),V(52),V(26)과 V(50)에 신호전압을 인가함으로서, 전압은 종래의 액정디스플레이를 구동하기 위해 제2도의 액정(1)에 인가되었다.

제5도는 점(A)에 존재하는 액정에 전압을 인가하기 위해 대향전극(55)과 마찬가지로 신호라인 V(29),V(52)와 V(26)과V(50)에 인가된 구동신호 전압의 파형 챠트(chart)를 나타낸다.

제5도에 도시된 것처럼, 한 프레임(frame)은 2×2매트릭스이 경우에 두 개로 분할되었다. 이 경우에 액정(1)에 실제로 인가된 전압은 블록(A)전압으로서 표시된다.

디지털 구동(ON/OFF구동)이 제5도에 도시된 전압의 인가에 의해 실행되지만, V과 V에 인가된 신호전압은계조정도에 적당한 것으로 수정되어야 한다. 예를 들면, 제2도에 도시된 경우에 있어 점(A)에서 액정의 투과율이 크게 된다면, 고전압의 신호전압이 액정의 투과율에 따라 제5동에서 V에 인가될 것이다. 반면에 액정의 투과율이 반대로 작게 된다면 저 전압의 신호전압이 인가될 것이다.

VV에 인가된 신호전압이 C/TFT의 한계전압 V보다 더 커야한다. 즉, V≫V이다.

게다가, 제5도에 도시된 것처럼, 대향전극에 대해 네거티브 전위로 V을 인가하는 것은 네거티브 전위 V의 인가가 블록(A) 전압을 크게 만들기 때문에 액정의 빛 투과율과 인가된 전압 사이 관계를 이용함으로써 수행되는 계조 디스플레이에 유용하다. 그리고, V의 절대값이 액정의 한계전압의 절대값보다 크지 않는 것이 바람직하다.

바람직한 실시형태 2

제6a도 내지 제6c도에 따라, 바람직한 제2실시형태에 따른 액정 전기 광학 장치가 설명될 것이다. 투명전도성막으로 만들어진 화소전극(32)이 제1실시형태에서 마지막으로 형성된 반면에, 제2실시형태에서 투명 전도성 막이 기재의 블록층(blocking layer,41)상에 처음 형성되었고, 화소전극(32)을 얻기 위해 패터닝되었다.

그렇기 때문에, 단선을 일으킬 염려는 전혀 없다. 그리고 화소전극(32)의 패터닝후 P채널 트랜지스터와 N채널 트랜지스터가 기재상에 형성되므로, 트랜지스터는 화소전극(32)의 패터닝에 의해 손상되지 않는다. 다른 제조공정과 그 장치의 구조는 제1실시예와 동일하며, 따라서 여기서 생략하였다.

바람직한 실시형태 3

이 실시형태에 있어서, 제8도에 도시된 바와 같이 양극 플레이트 기술(anode plate technique)(양극산화기술(anodic oxidation technique)을 이용하는 콤플리멘터리 구조에서 수정된 트랜스퍼 게이트 TFT가 제공된 액정 전기 광학 장치가 채택되었다.

이 실시형태에 따른 TFT의 제조는 근본적으로 제1실시형태에 따른 제조와 동일하고, 그 공정은 제3도에 도시된 것과 거의 동일한 방법으로 진행되었으나, 금속물질이 게이트전극용으로 이용되었으며, 산화막은 금속물질로 만들어진 게이트전극을 산화시킴으로써 양극산화 기술에 의해 절연막으로 형성되었다.

제8도에 도시된 바와 같이 PTFT(95)와 NTFT(96)의 게이트는 공동 게이트 라인(107)에 연결되었고, 소오스 또는 드레인영역이 다른 신호 라인(102)에 연결되어 함께 연결되는 반면, 다른 소오스 또는 드레인 영역이 공통으로 화소전극(108)에 연결되었다.

제7A도~제7G에 따르면, 산화실리콘막이 블록층(99)으로서 마그네트론 RF(고주파) 스퍼터링에 의해 1000~3000Å까지 유리기재상에 형성되었다. 공정조건은 100%산소분위기, 15℃의 중착온도, 400~800W의 출력과 0.5Pa의 압력이었다. 타겟트로서 석영 또는 단결정 실리콘을 사용한 경우에 중착물은 30~100Å/min이었다. 실리콘막(97)은 LPCVD(저압 화학 기상 중착, Low pressure Chemical Vapor Deposition), 스퍼터링, 또는 플라즈마 CVD에 의해 블록층(99)상에 형성되었다.

제7a에 따르면, 포토에칭(photo-etching)이 오른쪽에 NTFT영역 뿐만 아니라 도면의 왼쪽에 PTFT영역

을 형성하기 위해 제1포토마스트①로 산화막상에서 실행되었다.

산화 실리콘막은 500~2000Å, 예를 들면, 700Å에서 게이트 절연막(103)으로서 형성되었다. 제조 조건은 블록층으로서의 산화 실리콘막(99)의 조건과 동일하였다. 알루미늄과 실리콘의 합금막은 게이트 전극(107)용 막으로서 종래의 스퍼터링에 의해 3000Å~1.5㎛, 예를 들면 1㎛의 두께로 게이트 절연막(103)상에 형성되었다.

게이트 전극 물질로서 규화 알루미늄(aluminum silicide)이외에 몰리브덴(Mo), 텅스텐(W), 티탄(Ti),탄탈(Ta)과 크롬(Cr)이 이런 종류를 실리콘과 혼합시킨 합금, 이런종류의 합금과 마찬가지로 사용될 수 있다. 또한 실리콘층과 금속층으로 이루어진 다층막이 게이트 전극용으로 사용될 수 있다.

산화 실리콘막은 절연막으로서 3000~1㎛, 예를 들면 6000Å에서 게이트 전극물질 위에 형성되었고, 실질적으로 절연막과 게이트 전극물질이 제7B도에서 도시된 바와 같이 절연막(106)과 게이트 전극(107)을 형성하기 위해 제2포토마스크②에 의해 형성되었다.

전술한 단계에 의해 형성된 구조는 9:1의 비율로 프로필렌 글리콜과 3% 주석산 용액으로 이루어진 AGW전해질에 담겨지며 알루미늄 규화물의 게이트 전극이 전원으 양극에 연결되고, 대향음극(counter cathode)으로서 플라티늄을 사용하여 DC전원이 인가되었다. 각 게이트 배선을 위해 게이트 전극이 연결되고, 연결단자는 모든 게이트 배선이 삽입되어 기재단부의 인접부에 연결되는 방법으로 구비되었으며, 제7C도에 도시된 것처럼 게이트 전극의 측표면의 인접부에 양극산화막(100)을 형성하기 위해 양극 산화가 실행되었다.

에틸렌글리콜 또는 프로필렌 글리콜등이 황산, 질산 및 인산 같은 강산용액, 또는 주석산 또는 구연산에 첨가된 혼합산 및 그 유사한 것이 양극 산화에 이용된 용액으로서 일반적으로 이용되었다. 여러 요구에 따라 염 또는 알칼리 용액이 요구된 용액의 PH를 조절하기 위해 그것과 함께 혼합될 수 있다.

양극 산화는 정전류 모드로 2.5mA/㎠의 전류밀도에서 30분동안 전류를 흐르게 함으로써 수행되었고, 다음에 게이트 전극의 측표면의 인접부에 두께 2500Å의 산화 알류미늄을 형성하기 위해 정전압 모드로 5분공정을 수행하였다. 상기 산화 공정과 동일한 조건하에 제조된 표본을 사용하여 행한 산화 알루미늄의 절연특성 실험은 10Ω㎝의 저항, 2×10V/㎝의 유전 강도와 같은 특성을 나타내었다.

주사 전자 현미경(SEM)에 의해 표본의 표면을 관찰한다면, 표면상 불균일성은 약 8000배까지 확대될 때 관찰되었으나 미세 구멍이 관찰되지 않아 좋은 절연피복의 증거를 보여준다.

절연막(103)이 제7D도에 도시된 것처럼 에칭에 의해 제거된 후 , 붕소가 PTFT에 사용된 불순물로서 1~5×10㎝의 도즈량으로 이온주입에 의해 기재의 전표면에 첨가되었다. 그 도핑농도는 약 10㎝이고, PTFT에 대한 소오스 및 드레인 영역이 따라서 형성되었다.

이 실시형태에 있어 이온 도핑(doping)은 표면 절연막의 제거후 실행되었지만, 반도체막상의 절연막(103)을 통한 도핑이 적당한 조건에 의해 실행될 수 있다.

포토 레지스터(110)가 제7E도에 도시된 것처럼 PTFT영역을 덮기 위해 제2포토마스크③을 사용하여 형성되었고, 실질적으로 인이 1~5×10㎝의 도즈량으로 이온 주입에 의해 NTFT의 소오스 및 드레인영역에 첨가되었다. 도핑 농도는 약 10㎝이었다. 이온 도핑공정은 기재에 대해 비스듬한 이온주입 방향에서 실행되었다. 불순물은 양극산화막 아래의 영역에 도달하고 소오스 및 드레인 영역(104)(105)의 단부는 거의 게이트 전극의 단부와 정합된다. 충분한 절연 효과가 다음 공정에서 형성된 전극 배선에까지 양극산화막(100)에 의해 확보되며, 그 사실은 다른 절연막의 형성을 필요로 하지
않는다.

레이저광은 즉시 수행되는 활성화 공정을 위해 소오스 및 드레인 영역에 조사되었고, 게이트 전극으로 이용된 금속물질의 확산에 주의할 필요는 전혀 없으며, 고신뢰성의 TFT가 따라서 제조되었다. 이들 모두의 전체 표면상에, 알루미늄이 스퍼터링에 의해 형성되었고, 전극리드(102)가 제4포토마스크④에 의해 알루미늄을 패터닝함으로써 얻게된 후, 게이트 전극(107)의 측표면의 인접부에 있는 양극산화막(100) 뿐만 아니라 전극(102)으로부터 돌출된 반도체막, 게이트전극(107)상의 절연막(106)은 에칭에 의해 제거되었고, TFT를 형성하기 위해 완전한 장치 분리가 실행되었다.

이 제조공정에 있어, 콤플리멘터리 TFT는 네 개의 마스크로 제조되었다.

제7g도에 도시된 것처럼, 두 개의 TFT는 콤플리멘터리 트랜지스터이고, ITO(인듐 주석 산화물)가 액정 장치의 한 개의 화소의 전극에 두 TFT의 출력단부를 연결하도록 스퍼터링에 의해 형성되었다. 화소전극(108)을 형성하기 위해 제5포토마스크⑤로 에칭되었다.

이렇게 하여, 제8a도,제8b도,제8c도에 도시된 배열 및 구조를 갖는 개량된 트랜스퍼 게이트 TFT를 형성하였다. 제8B도는 제8A도의 F-F'단면과 상응한 단면도이다. 반면에 제8(C)도는 제8(A)도의 E-E'단면에 상응하는 단면도이다. 제8B도와 제8C도에서 분명하게 나타난 것처럼, 층간 절연막(106)은 게이트 전극(107)상에 존재하는 것을 결코 실패하지 않고, 게이트 배선(107)의 리드와 소오스 또는 드레인 배선(102)의 리드는 게이트 배선(107)의 리드와 소오스 또는 드레인 배선의 리드의 교차점에서 서로 충분히 절연되었고, 따라서 교차점에서 배선용량의 발생이 억제되었다.

이렇게 하여, 활성 장치 기재는 배선의 인접부에서의 용량이 훨씬 적고 게이트 절연막의 인접부에서의 단락 회로의 가능성이 훨씬적으며 그리고 콤플리멘터리 TFT를 가지며, 이런 실시형태의 활성 장치 기재는 제1실시형태에 따른 활성 장치 기재보다 적은 수의 마스크로 그리고 이방성 에칭의 고도의 공정 기술의 사용없이 형성되었다.

전술된 단계에 의해 형성된 기재와 대향전극이 위에 형성되고 배향조절막이 추가로 형성된 제2기재(대향기재)가 결합되어 STN액정이 종래 방법에 의해 기재사이에 주입되며, 그것에 의해 활성 매트릭

스 STN액정 전기 광학 장치가 완성되었다.

액정 전기 광학 장치에 대한 예시된 적용이 상기 언급된 모든 경우에 언급되었으나, 본 실시예에 제한되는 것은 결코 아니며, 기타 장치와 삼차원 IC장치등에 대한 적용이 가능한 것이 분명하다.

이런 실시형태에 의해, 종래 경우보다 훨씬 적은 수의 마스크를 이용한 TFT장치의 제조가 가능하게 되었다. 이 구조의 장치의 응용으로 만들어진 반도체를 제조함으로써, 제조공정은 마스크의 수가 더 작게 되므로 생산 수율이 개선되어 용이해졌고, 낮은 제조비용의 반도체 응용장치가 따라서 제공되었다. 이 실시형태는 게이트 전극용 금속물질을 사용하여 금속물질을 양극산화하는 방법에 의해 그 표면상에 산화막을 제공하는 것을 특징으로 하고 등급 분리를 갖는 3차원 배선을 제공하는 것을 특징으로 한다. 게다가 게이트 전극과 그 게이트 전극의 측표면에 제공된 산화막이 소오스 및 드레인 영역으로의 리드 접촉을 방해하지 않기 때문에 , TFT는 더 작게 되거나 채널 영역이 리드에 더 근접하게 된다. 따라서, 장치의 주파수 특성의 감소와 온(ON)저항의 증가를 방해했다.

이 실시형태에 언급된 것처럼 알루미늄이 게이트 전극물질로 사용될 때, H가 알루미늄의 촉매 효과로 인해 장치 형성 공정의 어닐링시기에 게이트 산화막에서 H로 바뀌었고, 따라서 게이트 산화막내의 수소는 감소되었으며 계면 상태 밀도(Qss)는 실리콘 게이트가 대신 사용되었을 때와 비교해서 감소되었고, 그것에 의해 장치 특성이 개선되었다. 소오스 및 드레인 영역에 연결된 전극의 접촉 뿐만 아니라 TFT의 소오스 및 드레인 영역은 자기 정합방법으로 형성되었기 때문에, TFT에 요구된 장치의 영역이 감소되고 집적도가 그것에 의해 개선될 수 있다. TFT가 액정 전기 광학 장치의 활성장치로서 이용될 때 액정판넬의 구경비가 개선되었다.

상기 언급된 바의 특성을 띤 구조를 갖는 TFT는 둘 또는 그 이상의 마스크를 적게 사용함으로써 제조되었다. 이상 몇가지 실시형태의 설명은 단순한 설명을 위한 것이다. 이 둘이 본 발명을 한정할 수는 없으며 상기 교시내용으로 비추어 여러 가지 수정이나 변경이 가능할 것이다. 실시형태는 본 말명의 원리와 그 적용을 설명하기 위하여 선택된 것이므로 본 발명의 기술분야에 정통한 자라면 여러 가지 실시형태와 수정형태를 이용하여 본 발명을 더욱 효과적으로 이용할 수 있는 것이다.

(57) 청구의 범위

청구항 1

절연 표면을 갖는 기재 : 적어도 소오스 및 드레인 영역과 그 사이에 위치된 채널영역을 포함하며, 상기 절연표면상에 형성된 반도체층;상기 반도체층상에 직접 형성된 게이트 절연층; 상기 게이트 절연층상에 직접 형성된 게이트 전극을 포함하며, 상기 게이트 전극이 양극 산화 가능한 물질을 포함하고, 상기 게이트전극의 적어도 한측 표면이 상기 게이트 전극의 양극 산화물로 덮히고 상기 게이트 전극의 최상부 표면이 게이트 전극의 상기 양극 산화물에 비해 성분이 다른 절연 물질과 직접 접촉하고, 상기 채널영역과 상기 소오스 및 드레인 영역사이의 각각의경계가 상기 게이트 전극의 한측 표면과 정합되는 것을 특징으로 하는 박막 트랜지스터.

청구항 2

제1항에 있어서, 게이트 전극의 최상부 표면상의 상기 절연물질이 이산화 실리콘인 것을 특징으로 하는 박막 트랜지스터.

청구항 3

제1항에 있어서, 상기 게이트 전극이 알루미늄, 몰리브덴, 텅스텐, 티탄, 탄탈 및 크롬으로 구성된 그룹으로 부터 선택된 금속을 함유한 실리콘을 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 4

제1항에 있어서, 상기 게이트 전극이 알루미늄, 몰리브덴, 텅스텐, 티탄, 탄탈 및 크롬으로 구성된 그룹으로부터 선택된 금속을 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 5

제1항에 있어서, 상기 절연물질이 상기 게이트 전극의 상기 최상부 표면과 직접 접촉하는 것을 특징으로 하는 박막 트랜지스터.

청구항 6

절연 표면을 갖는 기재 : 상기 절연 표면상에 직접 형성되며, 적어도 한쌍의 불순물 반도체 영역과 그 사이에 위치된 채널영역을 포함하는 반도체층; 상기 채널 반도체층상에 직접 형성된 게이트 절연층; 상기 게이트 절연층상에 직접 형성되며, 양극 산화 가능한 물질을 포함하는 게이트 전극을 포함하며,상기 게이트 전극의 적어도 한 측표면이 상기 게이트 전극의 양극 산화물로 덮히고 상기 게이트 전극의 최상부 표면이 게이트 전극의 상기 양극 산화물에 비해 성분이 다른 절연 물질과 직접 접촉하고, 상기 불순물 반도체 영역이 상기 반도체층의 상부 표면으로 부터 그의 바닥 표면에까지 연장하는 것을 특징으로 하는 박막 트랜지스터.

청구항 7

제6항에 있어서, 게이트 전극의 최상부 표면상의 상기 절연물질이 이산화 실리콘인 것을 특징으로 하는 박막 트랜지스터.

청구항 8

제6항에 있어서, 상기 게이트 전극이 알루미늄, 몰리브덴, 텅스텐, 티탄, 탄탈 및 크롬으로 구성된

그룹으로부터 선택된 금속을 함유한 실리콘을 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 9

제6항에 있어서, 상기 게이트 전극이 알루미늄, 몰리브덴, 텅스텐, 티탄, 탄탈 및 크롬으로 구성된 그룹으로부터 선택된 금속을 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 10

제6항에 있어서, 상기 절연물질이 상기 게이트 전극의 상기 최상부 표면과 직접 접촉하는 것을 특징으로 하는 박막 트랜지스터.

청구항 11

절연 표면을 갖는 기재: 상기 절연 표면상에 형성된 적어도 하나의 픽셀: 및 상기 픽셀에 연결된 적어도 하나의 박막 트랜지스터로서, 상기 박막 트랜지스터가 (a)기재의 절연 표면상에 형성되며 소오스 및 드레인 영역과 그 사이에 위치된 채널영역을 포함하는 반도체층, (b)상기 반도체층 상에 형성되어 직접 인접해 있는 게이트 절연층과 (c)상기 게이트 절연층상에 형성되어 직접 인접해 있는 게이트 전극을 포함하는 적어도 하나의 박막 트랜지스터를 포함하고, 상기 게이트 전극의 적어도 한 측표면이 상기 게이트 전극의 양극 산화물로 덮히고 상기 게이트 전극의 최상부 표면이 게이트 전극의 상기 산화물에 비해 성분이 다른 절연 물질과 직접 접촉하고, 상기 채널영역과 상기 소오스 및 드레인 영역 사이의 각각의 경계가 상기 게이트 전극의 한 측표면과 정합된 것을 특징으로 하는 활성 매트릭스형의 전기 광학 장치의 픽셀에 형성된 박막 트랜지스터.

청구항 12

제11항에 있어서, 게이트 전극의 최상부 표면상의 상기 절연물질이 이산화 실리콘인 것을 특징으로 하는 박막 트랜지스터.

청구항 13

제11항에 있어서, 상기 게이트 전극이 알루미늄, 몰리브덴, 텅스텐, 티탄,탄탈 및 크롬으로 구성된 그룹으로부터 선택된 금속을 함유한 실리콘을 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 14

제11항에 있어서, 상기 게이트 전극이 알루미늄,몰리브덴, 텅스텐, 티탄,탄탈 및 크롬으로 구성된 그룹으로부터 선택된 금속을 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 15

제11항에 있어서, 상기 절연물질이 상기 게이트 전극의 상기 최상부 표면과 직접 접촉하는 것을 특징으로 하는 박막 트랜지스터.

청구항 16

절연 표면을 갖는 기재: 상기 절연 표면상에 형성된 적어도 하나의 픽셀 전극: 상기 픽셀에 형성된 적어도 하나의 박막 트랜지스터로서, 상기 박막 트랜지스터가 (a)기재의 절연 표면상에 형성되며 소오스 및 드레인 영역과 그 사이에 위치된 채널영역을 포함하는 반도체층, (b)상기 반도체층 상에 형성되어 직접 인접해 있는 게이트 절연층과 (c)상기 게이트 절연층상에 형성되어 직접 인접해 있는 게이트 전극을 포함하는 적어도 하나의 박막 트랜지스터; 하나의 방향으로 상기 기재상에 형성되어 상기 게이트 전극에 연결 된 제1배선; 및 상기 제1배선에 직교하는 방향으로 상기 기재상에 형성된 제2배선을 포함하고, 상기 게이트 전극의 적어도 한 측표면이 상기 게이트 전극의 양극 산화물과 직접 접촉하고, 상기 게이트 전극의 최상부 표면이 게이트 전극의 상기 산화물에 비해 성분이 다른 절연 물질과 직접 접촉하고, 상기 채널영역과 상기 소오스 및 드레인 영역 사이의 각각의 경계가 상기 게이트 전극의 한 측표면과 정합된 것을 특징으로 하는 활성 매트릭스형의 전기 광학 장치의 픽셀에 형성된 박막 트랜지스터.

청구항 17

제16항에 있어서, 상기 제2배선이 상기 박막 트랜지스터의 소오스 및 드레인 영역중 하나에 연결되는 것을 특징으로 하는 박막 트랜지스터.

청구항 18

제16항에 있어서, 게이트 전극의 최상부 표면상의 상기 절연물질이 이산화 실리콘인 것을 특징으로 하는 박막 트랜지스터.

청구항 19

제16항에 있어서, 상기 게이트 전극이 알루미늄, 몰리브덴, 텅스텐, 티탄, 탄탈 및 크롬으로 구성된 그룹으로부터 선택된 금속을 함유한 실리콘을 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 20

제16항에 있어서, 상기 게이트 전극이 알루미늄, 몰리브덴, 텅스텐, 티탄, 탄탈 및 크롬으로 구성된 그룹으로 부터 선택된 금속을 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 21

제16항에 있어서, 상기 절연물질이 상기 게이트 전극의 상기 최상부 표면과 직접 접촉하는 것을 특징으로 하는 박막 트랜지스터.

청구항 22

절연 표면을 갖는 기재:상기 표면상에 매트릭스형으로 형성된 다수의 픽셀 전극: 및 상기 픽셀 전극에 제공된 다수의 박막 트랜지스터로서, 상기 박막 트랜지스터들의 각각이 (a) 기재의 절연 표면상에 형성되며 소오스 및 드레인 영역과 그 사이에 위치된 채널영역을 포함하는 반도체층. (b)상기 반도체층 상에 형성되어 직접 인접해 있는 게이트 절연층과 (c) 상기 게이트 절연층상에 형성되어 직접 인접해 있는 게이트 전극을 포함하는 다수의 박막 트랜지스터를 포함하고, 상기 게이트 전극의 적어도 한 측표면이 상기 게이트 전극의 산화물로 덮히고 상기 게이트 전극의 최상부 표면이 게이트 전극의 상기 산화물에 비해 성분이 다른 절연물질과 직접 접촉하고, 상기 채널영역과 상기 소오스 및 드레인 영역 사이의 각각의 경계가 상기 게이트 전극의 한 측표면과 정합된 것을 특징으로 하는 활성 매트릭스 전기 광학 장치.

청구항 23

제22항에 있어서, 상기 산화물이 상기 게이트 전극의 양극 산화물에 의해 형성된 것을 특징으로 하는 박막 트랜지스터.

청구항 24

제22항에 있어서, 게이트 전극의 최상부 표면상의 상기 절연물질이 산화 실리콘인 것을 특징으로 하는 활성 매트릭스 전기 광학 장치.

청구항 25

제22항에 있어서, 상기 게이트 전극이 알루미늄, 몰리브덴, 텅스텐, 티탄,탄탈 및 크롬으로 구성된 그룹으로부터 선택된 금속을 함유한 실리콘을 포함하는 것을 특징으로 하는 활성 매트릭스 전기 광학 장치.

청구항 26

제22항에 있어서, 상기 게이트 전극이 알루미늄, 몰리브덴, 텅스텐, 티탄,탄탈 및 크롬으로 구성된 그룹으로부터 선택된 금속을 포함하는 것을 특징으로 하는 활성 매트릭스 전기 광학 장치.

청구항 27

제22항에 있어서, 상기 절연물질이 상기 게이트 전극의 상기 최상부 표면과 직접 접촉하는 것을 특징으로 하는 활성 매트릭스 전기 광학 장치.

청구항 28

안에 형성된 적어도 한쌍의 불순물 영역과 그 영역 사이에 위치된 채널영역을 포함하는 반도체층: 상기 반도체층에 인접해 있는 게이트 절연층; 및 상기 게이트 절연층상에 인접 해 있는 게이트 전극을 포함하며, 상기 게이트 전극이 양극산화 가능한 물질을 포함하고, 상기 게이트 전극의 적어도 한 측표면이 상기 게이트 전극의 양극 산화물로 덮혀 있고, 상기 불순물 반도체 영역이 상기 반도체층의 상부 표면으로부터 그 바닥 표면에까지 연장하는 것을 특징으로 하는 절연 표면상에 형성된 박막 트랜지스터.

청구항 29

제28항에 있어서, 상기 게이트 전극이 알루미늄, 몰리브덴, 텅스텐, 티탄, 탄탈 및 크롬으로 구성된 그룹으로부터 선택된 금속을 함유한 실리콘을 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 30

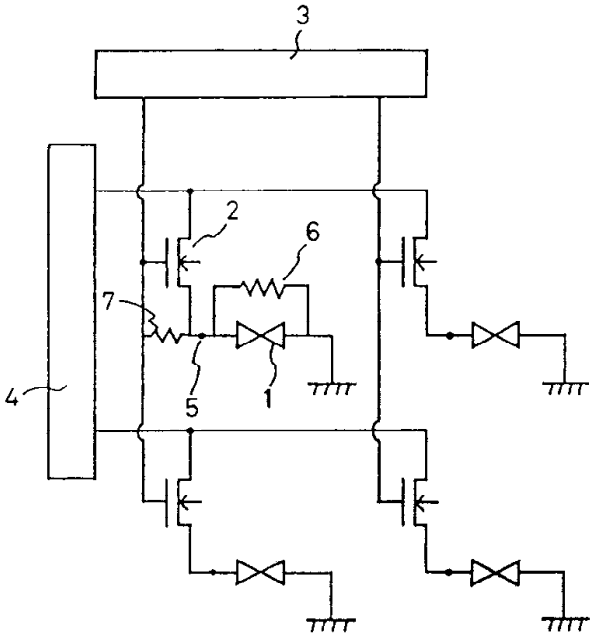
제28항에 있어서, 상기 게이트 전극이 알루미늄, 몰리브덴, 텅스텐, 티탄, 탄탈 및 크롬으로 구성된 그룹으로부터 선택된 금속을 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 31

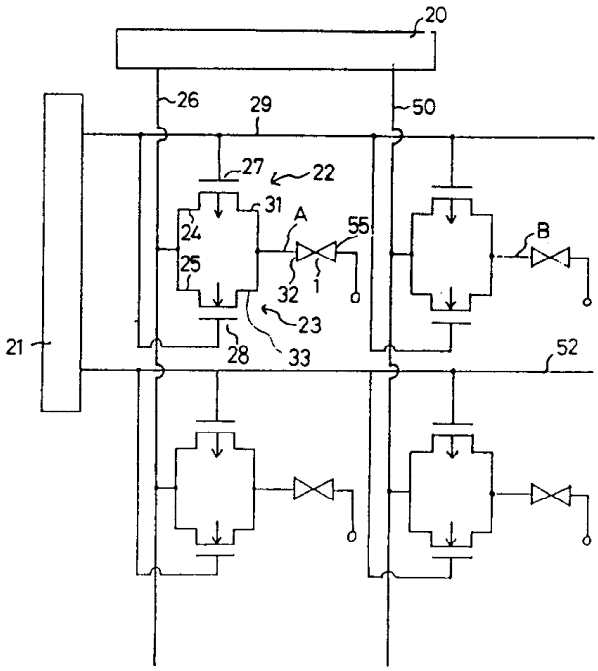
적어도 소오스 및 드레인 영역과 그 사이에 위치된 채널영역을 포함하는 반도체층; 상기 반도체층에 인접해 있는 게이트 절연층; 및 상기 게이트 절연층에 인접해 있는 게이트 전극을 포함하며, 상기 게이트 전극이 양극 산화 가능한 물질을 포함하고, 상기 게이트 전극의 적어도 한 측표면이 상기 게이트 전극의 양극 산화물로 덮히고, 상기 절연 표면과 소오스 및 드레인 영역 사이의 각각의 경계가 상기 게이트 전극의 한 측표면과 실제로 정합되는 것을 특징으로 하는 절연 표면상에 형성된 박막 트랜지스터.

도면

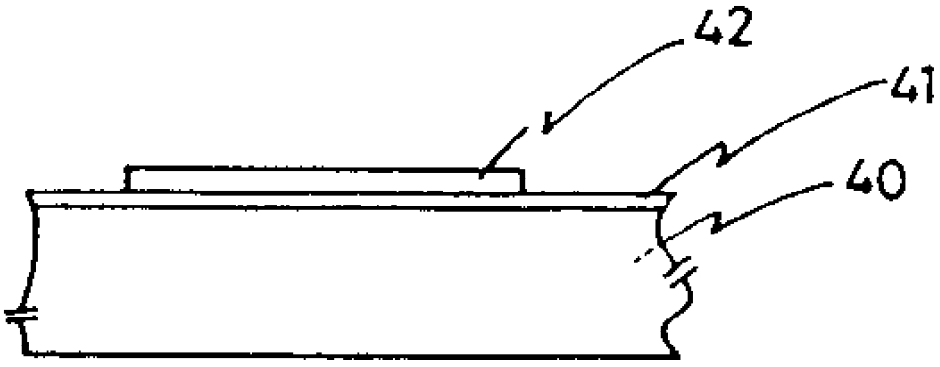
도면1



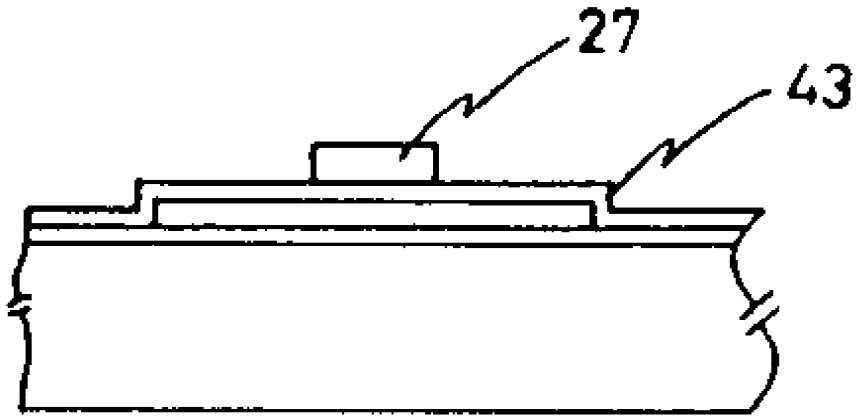
도면2



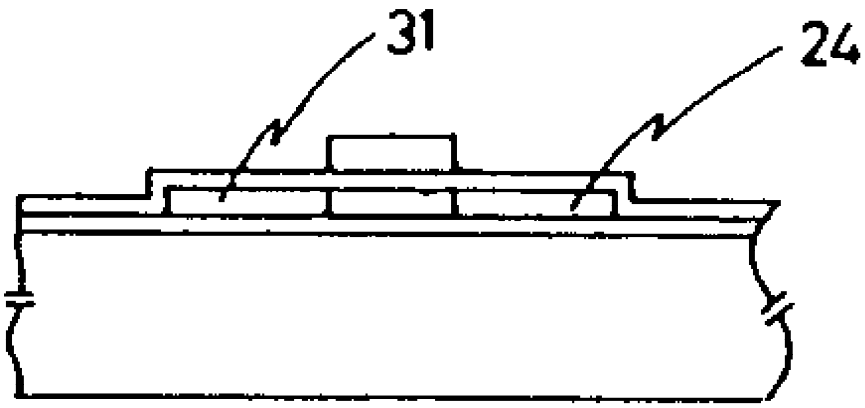
도면3-A



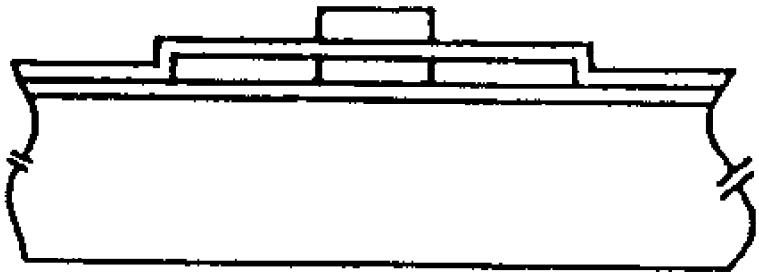
도면3-B



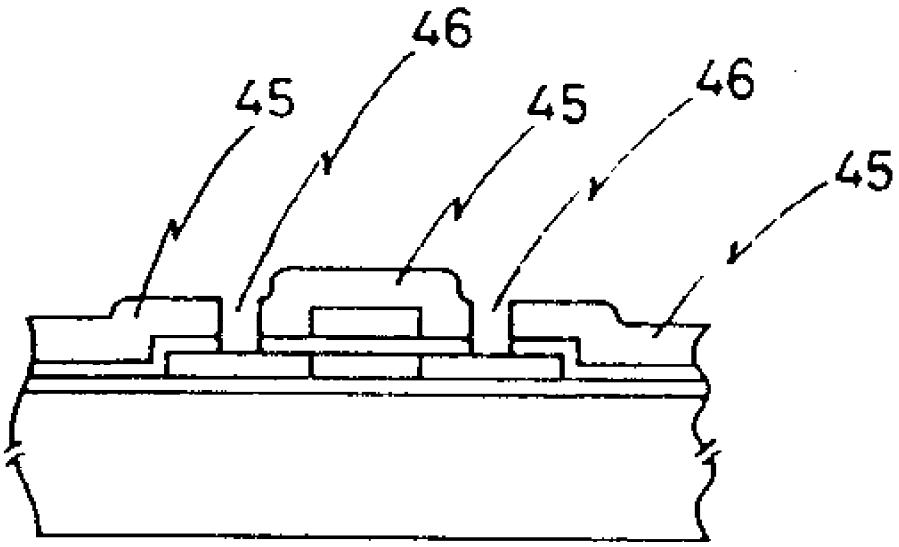
도면3-C



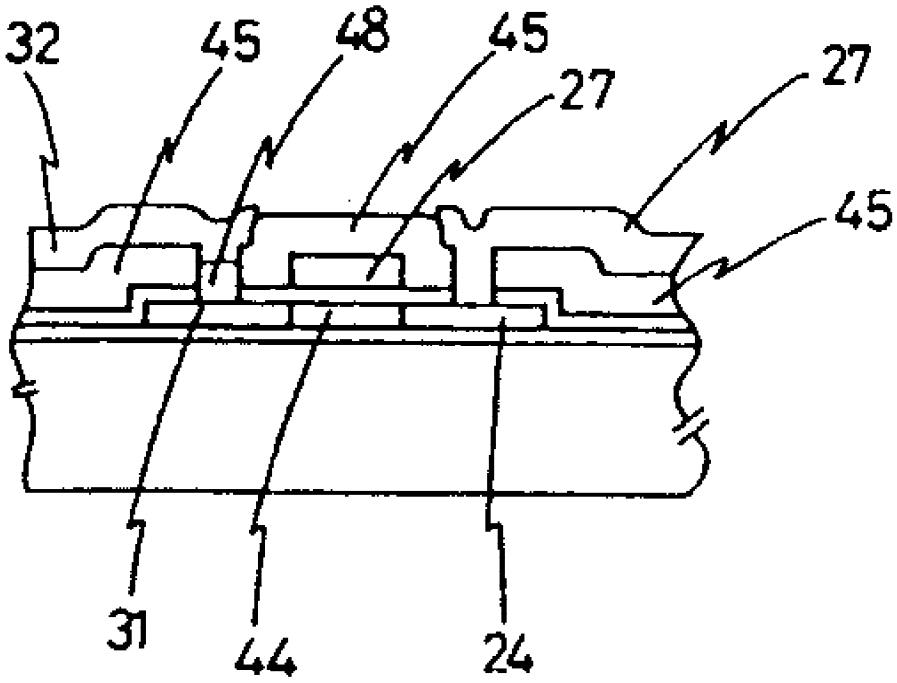
도면3-D



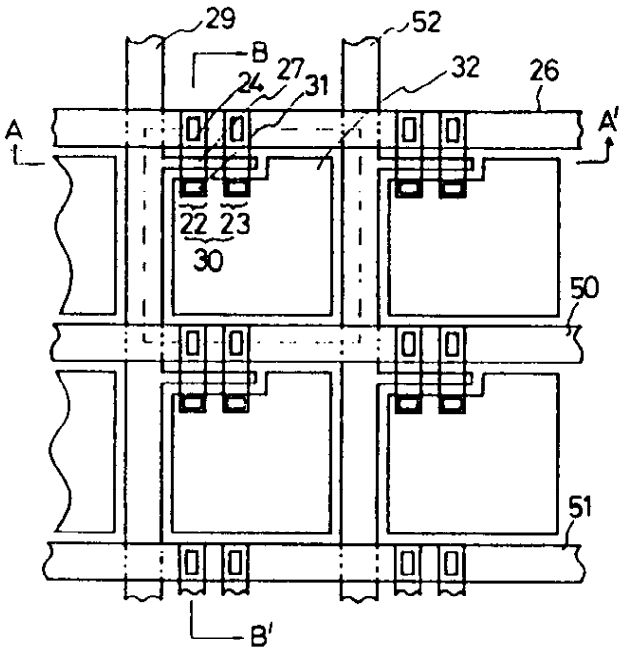
도면3-E



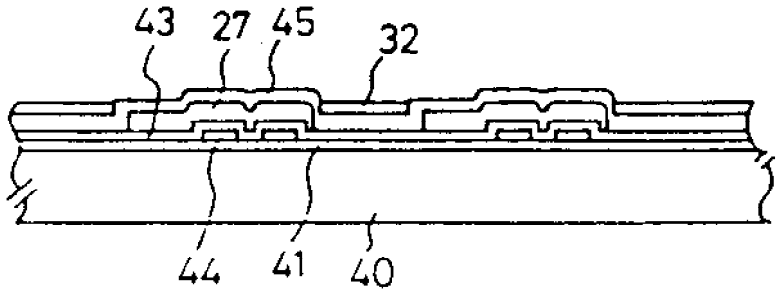
도면3-F



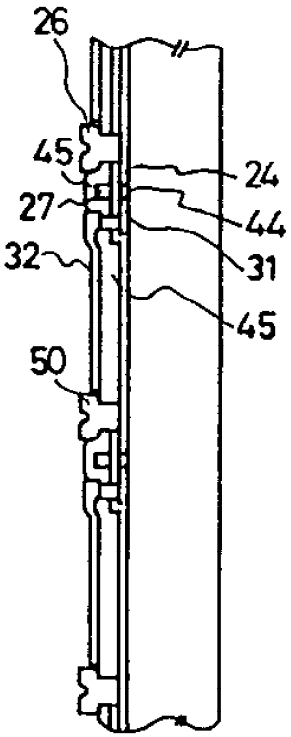
도면4-A



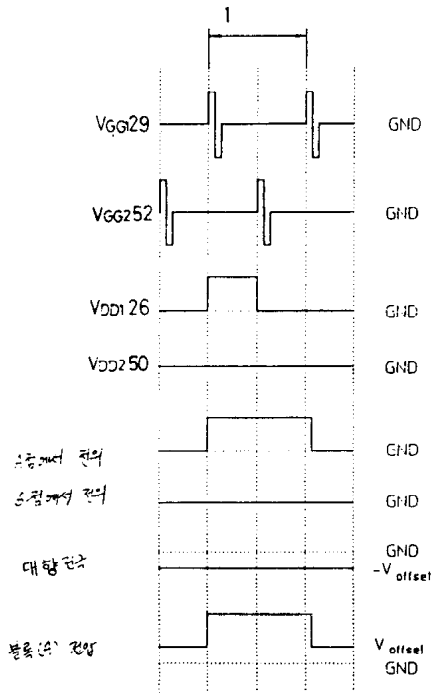
도면4-B



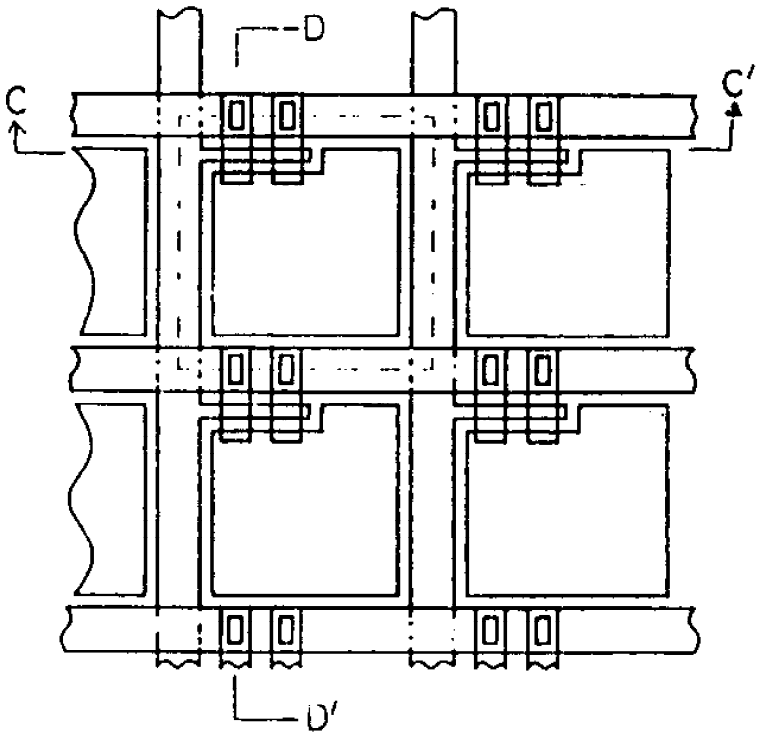
도면4-C


26
45
27
32
50
24
44
31
45

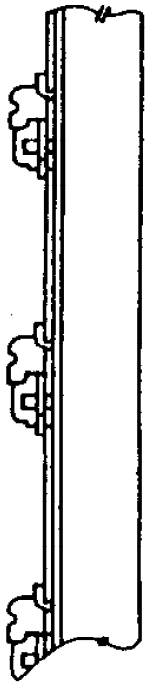
도면5


1
VGG129
GND
VGG252
GND
VDD126
GND
VDD250
GND
GND
GND
GND
-Voffset
Voffset
GND

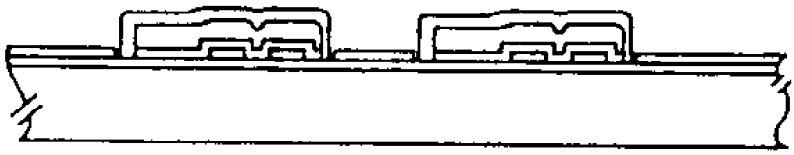
도면6-A



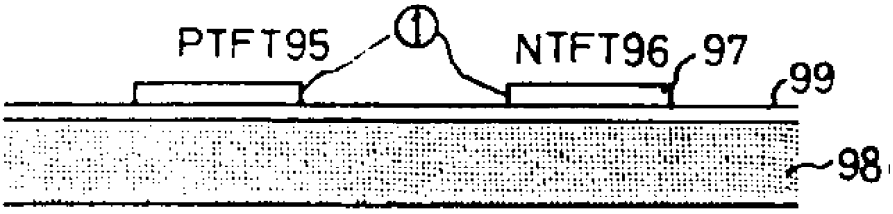
도면6-B



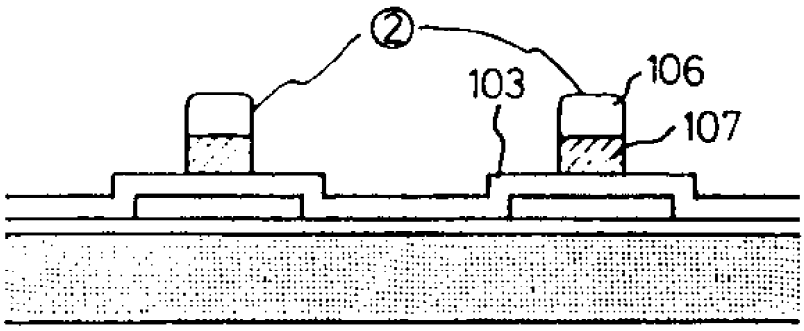
도면6-C



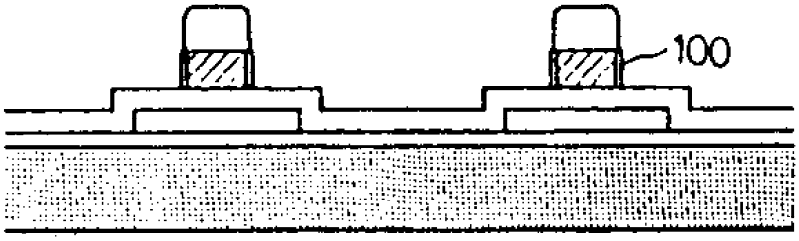
도면7-A



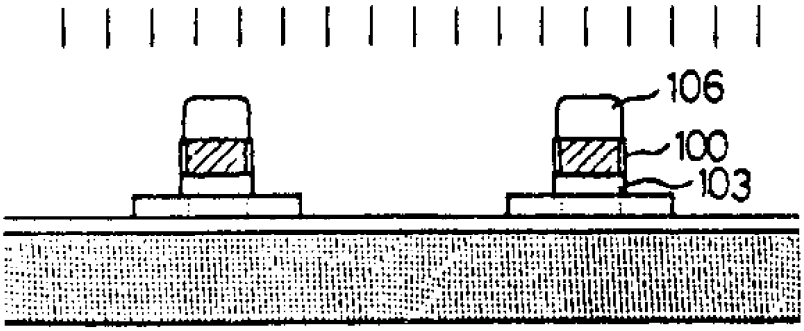
도면7-B



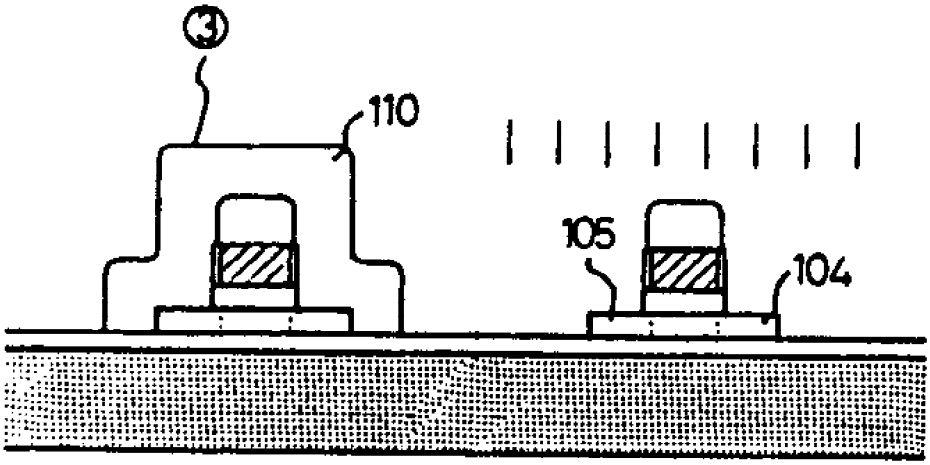
도면7-C



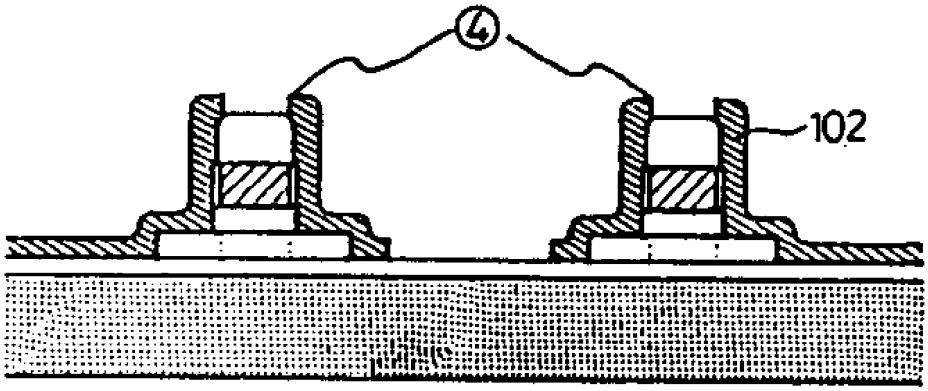
도면7-D



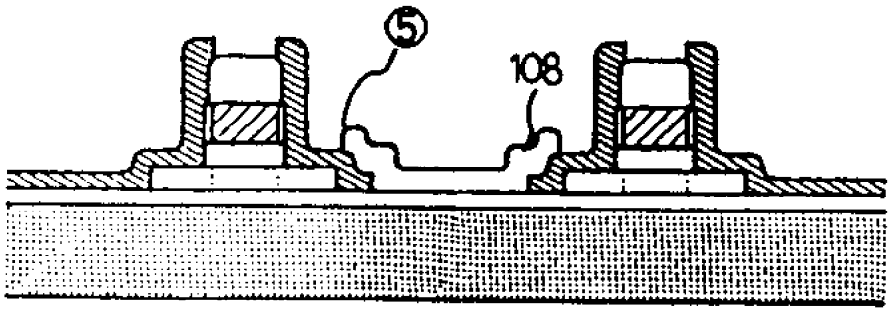
도면7-E



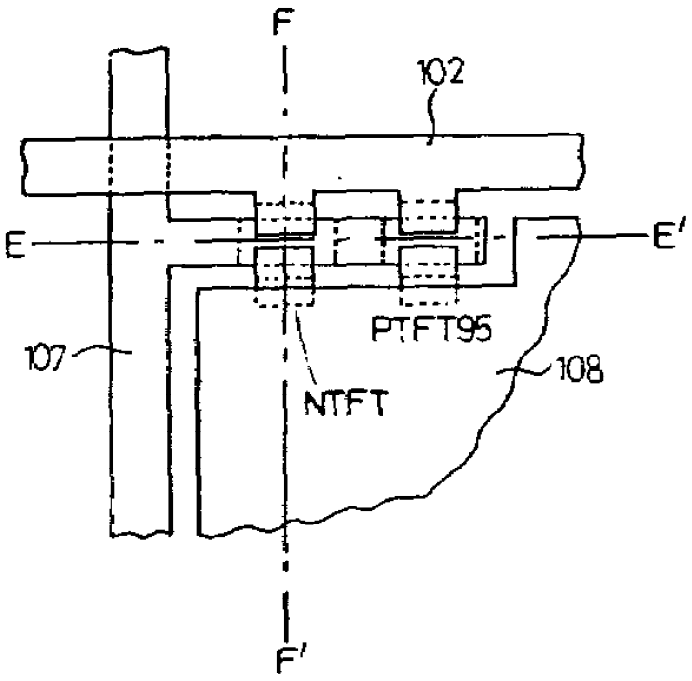
도면7-F



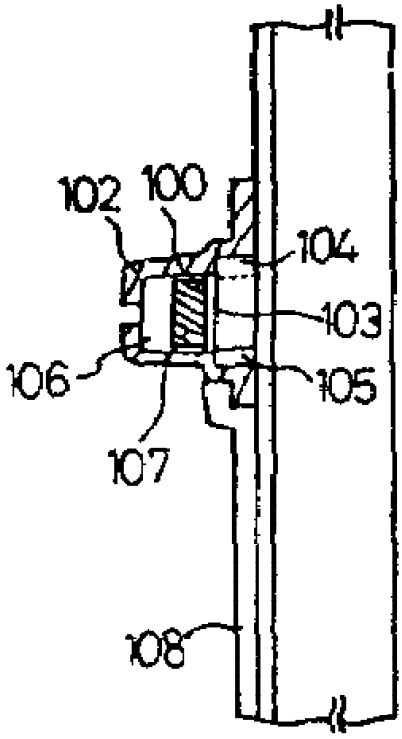
도면7-G



도면8-A



도면8-B



도면8-C

