

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 4 月 10 日(10.04.2014)



(10) 国際公開番号
WO 2014/054345 A1

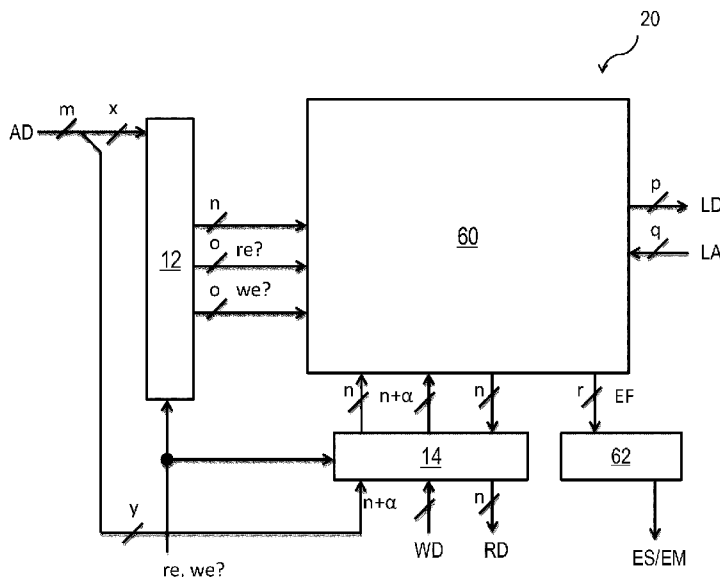
- (51) 国際特許分類:
H03K 19/177 (2006.01) G11C 29/42 (2006.01)
G11C 13/00 (2006.01) H01L 27/105 (2006.01)
- (21) 国際出願番号: PCT/JP2013/072127
- (22) 国際出願日: 2013 年 8 月 20 日(20.08.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-219901 2012 年 10 月 1 日(01.10.2012) JP
- (71) 出願人: 太陽誘電株式会社(TAIYO YUDEN CO., LTD.) [JP/JP]; 〒1100005 東京都台東区上野 6-16-20 Tokyo (JP).
- (72) 発明者: 石黒 隆(ISHIGURO Takashi); 〒1100005 東京都台東区上野 6 丁目 16 番 20 号 太陽誘電株式会社内 Tokyo (JP). 下舞 賢一(SHIMOMAI Kenichi); 〒1100005 東京都台東区上野 6 丁目 16 番 20 号 太陽誘電株式会社内 Tokyo (JP). 弘中 哲夫(HIRONAKA Tetsuo); 〒7313166 広島県広島市安佐南区大塚東 3 丁目 4 番 1 号 広島市立大学内 Hiroshima (JP). 谷川 一哉(TANIGAWA

- Kazuya); 〒7313166 広島県広島市安佐南区大塚東 3 丁目 4 番 1 号 広島市立大学内 Hiroshima (JP).
- (74) 代理人: 高橋 真二(TAKAHASHI Shinji); 〒1580081 東京都世田谷区深沢 4-8-7 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: Provided is a reconfigurable semiconductor device equipped with a plurality of storage units constituting an array and connected to each other by address lines or data lines. The storage units operate as logic elements when truth table data is written that is configured so that a logical operation of input values specified by a plurality of addresses is output to a data line, and/or operate as connecting elements when truth table data is written that is configured so that an input value specified by an address is output to the data line connected to the address of another storage unit. The storage units comprise: a plurality of memory cells for holding the truth table data and the error check bits of the truth table data; and an error detection unit for reading first data constituting part of the truth table data and a first error check bit of the first data and determining whether or not an error has occurred in the first data.

(57) 要約: 再構成可能な半導体装置であって、アレイを構成するとともに互いにアドレス線又はデータ線で接続する複数の記憶部を備え、記憶部は、複数のアドレスで特定された入力値の論理演算を、データ線に出力するように構成される真

理値表データを書き込むと、論理要素として動作し、及び/又は、あるアドレスで特定された入力値を、他の記憶部のアドレスに接続するデータ線に出力するように構成される真理値表データを書き込むと、接続要素として動作し、記憶部は、真理値表データ及び真理値表データのエラーチェックビットを保持する複数のメモリセルと、真理値表データの一部を構成する第1データと、第1データの第1エラーチェックビットを讀出して、第1データにエラーが発生したか否かを判断するエラー検出部とを備える再構成可能な半導体装置を提供する。

WO 2014/054345 A1

WO 2014/054345 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, 添付公開書類:
MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関し、特に、再構成可能な半導体装置及びそのエラー検出方法に関する。

背景技術

[0002] F P G A (F i e l d P r o g r a m m a b l e G a t e A r r a y) など、回路構成を、再構成可能な P L D (P r o g r a m m a b l e L o g i c D e v i c e) が広く使用されている（例えば、下記特許文献 1）。出願人又は発明者は、メモリで回路構成を実現する「M P L D (M e m o r y B a s e d P r o g r a m m a b l e L o g i c D e v i c e)」（登録商標）を研究および開発している。M P L D は、例えば、下記特許文献 2 に示される。M P L D は、メモリ機能、L U T (L o o k U p T a b l e) 機能、スイッチ機能の全てを有する M L U T (M u l t i L o o k U p T a b l e) で構成されていて、この M L U T をアレイ状に並べ、相互接続することによって F P G A とほぼ同等の機能を実現している。

[0003] また、M P L D は、M L U T を論理要素と配線要素の双方として使用することによって、論理領域と配線領域に柔軟性をもたせたデバイスであり、メモリ間の接続に専用の切り替え回路を有する F P G A と異なる。

[0004] 半導体の微細化が進む F P G A において宇宙線やノイズに起因するソフトウェアに対応することは重要な問題になってきている。メモリセルが永久的に機能しないハードエラーとは対照的に、メモリセルにおける誤った情報が再プログラミングによって補正され得るため、ソフトウェアと名付けられている。F P G A の揮発性メモリで構成される構成情報メモリにおけるソフトウェアは F P G A の動作を本来の動作から違うものに変え、深刻な問題にな

る恐れがある。そのため、ソフトエラーを検出する方法として、メモリセル内に、構成データに加えて、エラーチェック用のビットを格納し、それらのデータを周期的に読出して、エラーを検出するECCユニットを備えるプログラマブルデバイスが開示されている（下記特許文献3）。

先行技術文献

特許文献

[0005] 特許文献1：米国特許第5815726号明細書

特許文献2：特開2009-194676号公報

特許文献3：特開2007-293856号公報

発明の概要

[0006] しかしながら、提案されているFPGAのエラー検出ユニットは、周期的にソフトエラーをチェックする処理がなされる。従って、開示の技術では、エラー発生後、周期的にソフトエラーチェックがなされた場合にエラーが検出されるので、エラーの発生と同時にエラー検出することができない。そのため、エラーが生じたデータで、半導体装置が動作処理するので、堅牢性に欠ける。

[0007] 本発明の一実施形態に係る半導体装置は、データ出力時にデータのエラーを検出することで、半導体装置の堅牢性を向上させることを目的とする。

[0008] 上記課題を解決する形態は、下記の項目に記載のようなものである。

[0009] 1. 再構成可能な半導体装置であって、

アレイを構成するとともに互いにアドレス線又はデータ線で接続する複数の記憶部を備え、前記記憶部は、複数のアドレスで特定された入力値の論理演算を、データ線に出力するための真理値表データを記憶して、論理回路として動作し、及び／又は、あるアドレスで特定された入力値を、他の記憶部のアドレスに接続するデータ線に出力するための真理値表データを記憶して、接続回路として動作するように構成され、

前記記憶部は、

前記真理値表データ及び前記真理値表データのエラーチェックビットを保

持する複数のメモリセルと、

前記真理値表データの一部を構成する第1データと、前記第1データの第1エラーチェックビットを讀出して、前記第1データにエラーが発生したか否かを判断するエラー検出部とを備える、ことを特徴とする再構成可能な半導体装置。

半導体装置は、データ出力時にデータのエラーを検出することで、半導体装置の堅牢性を向上させる。

2. 前記記憶部はさらに、前記エラー検出部により検出されるエラービットを訂正して、出力するエラー訂正部を備える、項目1に記載の再構成可能な半導体装置。

半導体装置は、エラービットを訂正して出力することで、半導体装置の正常動作を継続する。

3. 前記エラーチェックビットは、冗長ビットであり、

前記エラー検出部は、前記第1データ及び前記第1エラーチェックビットを復号して、前記第1データのエラー発生を判断する、項目1又は2に記載の再構成可能な半導体装置。

4. 前記記憶部は、少なくとも3つ以上のデータ線を備える、項目3に記載の再構成可能な半導体装置。

FPGAでは、出力ビット数は、1又は2である。そのため、エラー検出のため冗長ビットをメモリに備えようとする、冗長ビットが、構成データと比して大きいため、メモリ容量が倍増してしまう。一方、本実施形態に係る半導体装置は、少なくとも3つ以上のデータ線を備える多出力である点で、FPGAと大きく異なる。従って、メモリ領域の相対的増加を制限でき、コストアップを抑える。これにより、記憶部でのエラー検出又は訂正が可能になる。

5. 前記記憶部は、前記エラー検出部から出力されるデータを保持するとともに、クロックに同期して動作するステージレジスタを備える、項目1～4の何れか1項に記載の再構成可能な半導体装置。

エラー検出又は訂正により、レイテンシは上がるが、読出しを同期させる

ことで、パイプライン処理することで、スループットを上げることができる。

6. 前記半導体装置は、

前記各記憶部からのエラー信号を受け取り、エラーを信号を外部出力するエラー出力するエラー出力部を備える、項目1～5の何れか1項に記載の再構成可能な半導体装置。

単に、エラー検出、又は、訂正ではなく、エラーを外部に報告することで、半導体装置のメンテナンスが可能になる。

7. 前記半導体装置は、

前記各記憶部からのエラー信号を受け取り、エラー信号をエンコードしてエラーが生じた記憶部を特定するエラー出力部を備える、項目1～5の何れか1項に記載の再構成可能な半導体装置。

エラーが生じた記憶部を特定することで、当該記憶部を使用禁止とすることで、再構成可能な半導体装置の堅牢性を上げることができる。

項目 8. 前記メモリセルの記憶素子は、相変化膜である項目1～7の何れか1項に記載の再構成可能な半導体装置。

相変化膜は、メモリセルごとに抵抗値バラつくことがある。これは、高抵抗から低抵抗に相変化させたつもりでも、高抵抗のままのようなことが生じるので、エラー検出部は、相変化膜を利用したメモリセルに好適である。

9. 再構成可能な半導体装置におけるエラー検出方法であって、前記半導体装置は、アレイを構成するとともに互いにアドレス線又はデータ線で接続する複数の記憶部を備え、前記記憶部は、真理値表データ及び前記真理値表データのエラーチェックビットを保持する複数のメモリセル、を備え、前記記憶部は、複数のアドレスで特定された入力値の論理演算を、データ線に出力するための真理値表データを記憶して、論理回路として動作し、及び／又は、あるアドレスで特定された入力値を、他の記憶部のアドレスに接続するデータ線に出力するための真理値表データを記憶して、接続回路として動作するように構成され、

前記真理値表データのうち第 1 真理値表データと、前記第 1 真理値表データの第 1 エラーチェックビットを読み出し、

前記第 1 真理値表データにエラーが発生したか否かを判断する、ことを特徴とするエラー検出方法。

10. 前記エラー検出部により検出されるエラービットを訂正して、出力することをさらに有する、項目 9 に記載のエラー検出方法。

11. 前記エラーチェックビットは、冗長ビットであり、

前記第 1 真理値表データ及び前記第 1 エラーチェックビットを復号して、前記第 1 真理値表データのエラー発生を判断する、項目 9 又は 10 に記載のエラー検出方法。

12. 出力されるデータを保持するとともに、クロックに同期して動作する、項目 9 ～ 11 の何れか 1 項に記載のエラー検出方法。

13. 前記各記憶部からのエラー信号を受け取り、エラーを信号を外部出力するエラー出力する、項目 9 ～ 12 の何れか 1 項に記載のエラー検出方法。

14. 前記各記憶部からのエラー信号を受け取り、エラー信号をエンコードしてエラーが生じた記憶部を特定する、項目 9 ～ 12 の何れか 1 項に記載のエラー検出方法。

15. 前記メモリセルの記憶素子は、相変化膜である項目 9 ～ 14 の何れか 1 項に記載のエラー検出方法。

[0010] 本発明の一実施形態に係る半導体装置は、記憶部の各々がエラー検出部を備えるため、記憶部からのデータ出力時にエラー検出を行うので、半導体装置の堅牢性を向上させることができる。

図面の簡単な説明

[0011] [図1]本実施形態に係る半導体装置の全体構成の第 1 例を示す図である。

[図2]MLUT アレイの一例を示す図である。

[図3]本実施形態に係るMLUTの一例を示す図である。

[図4]ハミング符号の一例を示す図である。

[図5]メモリセルアレイの一例を示す図である。

[図6]A T D付きM L U Tの一例を示す図である。

[図7]M L U Tのエラー検出フローの一例を示す図である。

[図8A]一実施形態に係るメモリセルの断面図である。

[図8B]相変化膜の抵抗値のバラツキの一例を示す図である。

[図9]メモリセル回路の一例を示す図である。

[図10]論理要素として動作するM L U Tの一例を示す図である。

[図11]論理回路として動作するM L U Tの一例を示す図である。

[図12]図 1 1 に示す論理回路の真理値表を示す図である。

[図13]接続要素として動作するM L U Tの一例を示す図である。

[図14]図 1 3 に示す接続要素の真理値表を示す図である。

[図15]4つのA D対を有するM L U Tによって実現される接続要素の一例を示す図である。

[図16]1つのM L U Tが、論理要素及び接続要素として動作する一例を示す図である。

[図17]図 1 6 に示す論理要素及び接続要素の真理値表を示す。

[図18]A D対を有するM L U Tによって実現される論理動作及び接続要素の一例を示す図である。

発明を実施するための形態

[0012] 以下、図面を参照して、本実施形態に係る〔1〕M P L D、〔2〕M L U T、〔3〕M L U Tのエラー検出フロー、〔4〕P R A Mを用いたM L U T、及び〔5〕M L U Tの論理動作について順に説明する。

[0013] 〔1〕M P L D

図 1 は、本実施形態に係る半導体装置の全体構成の一例を示す図である。M P L Dは、F P G Aとほぼ同等の機能を備えているデバイスであるが、その構造が異なる。F P G AはL U Tとスイッチブロック、コネクションブロックなどによって構成され、論理資源と配線資源の割合は固定である。これに対し、M P L Dは、M L U Tと呼ばれる論理素子、配線素子の双方として利

用可能な素子を並べた構成となっている。この構成により、全体の面積における論理領域の割合を高めることができる。

[0014] 図1に示す20は、再構成可能な半導体装置としてのMPLDである。MPLD20は、記憶部としてのMLUT30を複数個、アレイ状に配置したMLUTアレイ60、MLUT30のメモリ読出し動作、書込み動作を特定する行デコーダ12、列デコーダ14、及び、エラー出力部62を有する。

[0015] MLUT30は、メモリで構成される。メモリの記憶素子には、真理値表とみなされるデータがそれぞれ記憶されることで、MLUT30は、論理要素、又は、接続要素、又は、論理要素及び接続要素として動作する論理動作を行う。

[0016] MPLD20の論理動作では、実線で示される論理用アドレスLA、及び論理用データLDの信号を使用する。論理用アドレスLAは、論理回路の入力信号として使用される。そして、論理用データLDは、論理回路の出力信号として使用される。MLUT30の論理用アドレスLAは、隣接するMLUTの論理動作データLDのデータ線と接続している。

[0017] MPLD20の論理動作により実現される論理は、MLUT30に記憶される真理値表データにより実現される。いくつかのMLUT30は、AND回路、加算器などの組み合わせ回路としての論理要素として動作する。他のMLUTは、組み合わせ回路を実現するMLUT30間を接続する接続要素として動作する。MLUT20が、論理要素、及び接続要素を実現するための真理値表データの書き換えは、メモリへの書き込み動作によりなされる。

[0018] MPLD20の書き込み動作は、書込用アドレスAD、及び書込用データWDによりなされ、読出し動作は、書込用アドレスAD、及び読出用データRDによりなされる。

[0019] 書込用アドレスADは、MLUT20内のメモリセルを特定するアドレスである。書込用アドレスADは、m本の信号線で、2のM乗の数Nのメモリセルを特定する。MLUTデコーダ12は、m本の信号線を介してMLUTアドレスを受け取るとともに、MLUTアドレスをデコードして、メモリ動作の

対象となるMLUT30を選択し特定する。メモリ動作アドレスは、メモリの読出し動作、書き込み動作、両方の場合で使用され、m本の信号線を介して、デコーダ12、14でデコードされて、対象となるメモリセルを選択する。なお本実施形態においては、後述するが、論理用動作アドレスLAのデコードは、MLUT内のデコーダにより行う。

[0020] 行デコーダ12は、リード・イネーブル信号RE、ライト・イネーブル信号WE等の制御信号に従って、書込用アドレスADのmビットのうちxビットをデコードし、デコードアドレスnをMLUT30に対して出力する。デコードアドレスnは、MLUT30内のメモリセルを特定するアドレスとして使用される。

[0021] 列デコーダ14は、書込用アドレスADのmビットのうちyビットをデコードし、行デコーダ12と同様の機能を有して、デコードアドレスnをMLUT30に対して出力するとともに、書込用データWDの出力、及び、読出用データRDを入力する。

[0022] なお、MLUTのアレイがs行t列である場合、MLUTアレイ60からは $n \times t$ ビットのデータがデコーダ14に入力される。ここで、各行毎のMLUTを選択するために行デコーダはo行分のre, weを出力する。つまり、o行は、MLUTのs行に相当する。ここでoビットのうち、1ビットだけをアクティブにすることで、特定のメモリセルのワード線が選択される。そしてt個のMLUTがnビットのデータを出力するため、 $n \times t$ ビットのデータがMLUTアレイ60から選択され、そのうち1列を選択するのにデコーダ14が使われる。

[0023] 本実施形態では、書込用データとして $n + \alpha$ が使用される。nは真理値表データとして使用され、 α は、エラー検出に使用されるエラーチェックビットである。エラーチェックビットの生成は、MPLD30外部でもよい。

[0024] エラー出力部62は、MLUT30から出力されるエラーフラグEFを受け取り、MPLDに単にエラーが発生するエラー信号ESを出力したり、エ

ラーを生じたMLUTを特定するエラー信号EMを出力する。エラー出力部62が、MLUTを特定することなくエラー信号ESを出力する場合、エラー出力部62は、各MLUTからのエラーフラグを和演算するOR回路である。エラー出力部62が、エラーとなったMLUTを特定するエラー信号ESを出力する場合、エンコーダ回路となる。複数のエラーとなったMLUTを特定する場合は、エラー出力部はシフト回路となり、エラーMLUTを特定するビットマップを信号ESからシフトアウトする。

[0025] 図2は、MLUTアレイの一例を示す図である。MLUTアレイ30は、図示されるように、MLUT30をアレイ状に配置したものである。MLUT30として用いるメモリはアドレス線の幅とデータ線の幅が等しい。図2の右上のようにアドレス線とデータ線の1ビットずつを対にして、擬似的な双方向線を定義する。この擬似的な双方向線をMPLDにおいては「AD対」と呼ぶ。アドレス線の幅とデータ線の幅がNビットのメモリを用いることで、AD対をN本もつMLUTが実現される。MPLDの論理としての動作は、MLUT30を構成するメモリに書き込まれたデータを真理値表とみなすことによって実現される。そのため、MLUTは宇宙線やノイズに対するソフトエラーを受ける可能性がある。

[0026] [2] MLUT

図3～図5を参照して、本実施形態に係るMLUTを説明する。図3は、本実施形態に係るMLUTの一例を示す図である。MLUT30は、メモリセルアレイ110、アドレスデコーダ120、エラー検出部70、マルチプレクサ72、エラー訂正部73、レジスタ71、74、デマルチプレクサ76を有する。マルチプレクサ72は、論理動作と書き込み動作を選択するモード選択信号modeに従って、論理用アドレス入力LAと、書込用アドレスADとを選択する。

[0027] なお、レジスタ74は、外部クロックに同期したステージレジスタであってもよい。これにより、パイプライン処理を行うことができる。例えば、デコーダ、リード／ライト、ECC動作は外部クロックに非同期にして、レ

ジスタ 74 のみを外部クロックに同期させて、パイプラインを生成して、スループットの向上を図ることができる。

[0028] デマルチプレクサ 76 は、モード選択信号 *mode* に従って、入力信号を、論理動作データ LD 及び書込用アドレス AD の何れかとして出力する。アドレスデコーダ 120 は、*n* 本のアドレス信号線から受け取ったアドレス信号をデコードし、2 の *n* 乗本のワード線にデコード信号であるワード線選択信号を出力する。

[0029] エラー検出部 70 は、メモリセルアレイ 110 から真理値表データの一部を構成するデータとエラーチェックビットを読み出し、読出したデータにエラーが発生したか否かを判断する。判断後、エラー検出部 70 は、エラー検出信号をエラーフラグ EF として出力するとともに、データを後段に出力する。エラー検出部 73 は、読出しデータ及び 1 エラーチェックビットを復号して、読出しデータのエラー発生を判断する。本実施形態においては MLUT 30 は、エラー検出部 70 のみを備えてもよいし、エラー検出部 70 及びエラー訂正部 73 の両者をそなえてもよい。

[0030] MPLD では *N* ビットのアドレス線と *N* ビットのデータ線を用いた微細メモリから構成される論理セルで構成されるため、論理入力に対する論理出力を一意に決定することができる。このため誤り検出訂正 (ECC: Error Correction Codes) が適用可能となり、MPLD において構成情報がハードエラーまたはソフトエラーにより不健全な状態になったとしても ECC により論理出力を訂正できる。

[0031] 誤り検出訂正

本実施形態では、ECC としてハミング符号を用いる。ハミング符号とは、データの誤りを検出・訂正できる線型誤り訂正符号のひとつである。一般にハミング符号は、ある整数 *m* に対し、以下の式 1 及び 2 で構成される。

[0032] 符号長 : $n = 2^m - 1$. . . 式 1

情報数 : $k = n - m$. . . 式 2

[0033] ここで情報数とは元のデータのビット数、符号長とは生成される符号のビ

ット数である。m = 3 の場合は n = 7、k = 4 となり、4 ビットのビット列を 7 ビットの符号語に置き換えるハミング符号が形成される、この場合を (7, 4) ハミング符号という。ハミング符号は検査行列と生成行列と呼ばれる二つの行列を用いて処理が行われる。なお各行列計算で用いられる加算は全て排他的論理和であることに注意する。まず検査行列について述べる。この行列は m 行 n 列の行列で、全ての列要素がゼロではなく、かつ相違であるという条件がある。(7, 4) ハミング符号の検査行列 H の一例を以下に示す。(7, 4) ハミング符号の検査行列 H の一例を以下に示す。

[0034] [数1]

$$H = \begin{bmatrix} 1 & 0 & 1 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 1 & 1 & 0 & 0 & 1 \end{bmatrix}$$

[0035] 次に生成行列について述べる。生成行列 G とは以下の式 3 の条件を満たす非零の行列である。

$$H G^T = G H^T = 0 \quad \dots \text{式 3}$$

ここで、G^T は G の転置行列を表す。組織符号の場合、G は以下の式 4 で表される。

$$G = [I_k \ A^T] \quad \dots \text{式 4}$$

上記の例で示した H に対する G は以下のようになる。

[0036] [数2]

$$G = \begin{bmatrix} 1 & 0 & 0 & 0 & 1 & 1 & 0 \\ 0 & 1 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 1 & 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 1 & 1 & 1 & 1 \end{bmatrix}$$

[0037] 符号化

符号化では生成行列 G と送信したいデータ m₁ . . . m_k との乗算を行う。先ほどの例で取り上げた G を生成行列として、ビット列

1 0 1 1 を符号化する場合を考える。このとき生成される符号は、となり、1 0 1 1 1 0 0 が生成された符号である。

[0038] [数3]

$$\begin{bmatrix} 1 & 0 & 1 & 1 \end{bmatrix} \cdot \begin{bmatrix} 1 & 0 & 0 & 0 & 1 & 1 & 0 \\ 0 & 1 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 1 & 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 1 & 1 & 1 & 1 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 1 & 1 & 1 & 0 & 0 \end{bmatrix}$$

[0039] 誤り訂正と復号

誤り訂正と復号では、復号は検査行列 H と受信したデータの積を求めることで行われる。今、受信データ Y を受け取ったとする。このとき Y に誤りが存在しない場合は $Y = x G$ であるといえる。ここで x とは符号化される前のビット列である。この Y と H の転置行列との積を求めると H と G の関係式より、式 5 が求められる。

$$Y \cdot H^T = x (G \cdot H^T) = 0 \quad \dots \text{式 5}$$

すなわち受信語と検査行列の積が零ベクトルであるなら誤りが無いことになり、非零であるなら誤りを含むことになる。また、誤りベクトル e_i は、以下の式 6 で示される。

$$Y \cdot H^T = e_i \cdot H^T \quad \dots \text{式 6}$$

ここで、 e_i は、ここで e_i とは i 番目のビットが 1、それ以外のビットが 0 のビット列である。ここで e_i は i 番目のビットのみ 1 であるので、すなわち H の i 番目の列が出力されることになる。よってこの出力が H の何列目と一致するかを比べることにより誤りの位置が検出され、その部分のビットを反転することで誤りを訂正できる。

[0040] 例として上記の符号語が送信され、1 1 1 1 1 0 0 が受信されたとする。

この受信データは1 1 1 1 1 0 0に誤りを含む、このデータを復号する。受信データとHの転置行列の積を求めると以下ようになる。

[0041] [数4]

$$\begin{bmatrix} 1 & 1 & 1 & 1 & 1 & 0 & 0 \end{bmatrix} \cdot \begin{bmatrix} 1 & 0 & 1 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 1 & 1 & 0 & 0 & 1 \end{bmatrix}^T = \begin{bmatrix} 0 & 1 & 1 \end{bmatrix}$$

[0042] エラーがなければ、零ベクトルとなるところ、エラーが生じているので、零ベクトルとならない。この出力を転置すると、Hの2列目と同じ値であることがわかる。よって誤りは2列目であり、2列目のビットを反転させると1 0 1 1 1 0 0となり、元の符号語に訂正されたことがわかる。このようにして、エラーの訂正も可能になる。

[0043] 図4は、ハミング符号の一例を示す図である。mを冗長ビットを示す整数（任意）、nを符号長、kを情報数（元データ）とすると、ハミング符号では、図4に示す表のような関係が得られる。kが7ビットの場合、m=4で符号化し、11-7=4 b i tは(1 1 1 1)₂と仮定し、メモリには7+4（冗長ビット）の11 b i tを保持する。ECC回路70にて(1 1 1 1)₂を追加し、15 b i tで比較することで、エラーを検出できる。

[0044] このようにすることで、エラー検出部70は、冗長ビットを付加することで生成される符号ビットを、復号し、それが零ベクトルではない場合、誤りベクトルとして、エラーを検出することができる。さらに、上記式6で説明したように、誤りベクトルに対応するHの転置行列からエラーが生じたビットも特定できる。エラー訂正部73は、このようにして特定したエラービットを、反転させて、出力することで訂正されたビット列をデータ出力すること

とができる。

[0045] メモリセルユニットへの入力データは、 $(n + \alpha)$ ビットである。この入力データのうち、 n ビットは、データ（図4の k に相当する）として使用され、 α は、エラーチェックビットである。 α は例えば、 n ビットに対してハミング符号化等により生成した冗長ビットである。上記で説明したような冗長ビットの生成は、MPLD外部の処理でなされる。例えば、7ビットが出力データである場合、ハミング符号化によって4ビットが冗長ビットとして生成される。

[0046] 図5は、メモリセルアレイの一例を示す図である。メモリセルアレイ110は、冗長ビットを保持するメモリセル領域と、データを保持するメモリセル領域から構成される。図5に示す通常のメモリセル領域と比して、冗長ビットの分だけメモリ領域が拡大する。しかしながら、図4に示すように、冗長ビットは、情報数の増加と比して、少ないが、情報数が少ないと、冗長ビットの数は相対的に大きいことが分かる。つまり、冗長ビットによるメモリ領域の拡大は、FPGAの構成情報が論理回路を実現する時の使われ方のように小入力、小出力には向いておらず、MLUTのように少なくともデータの出力ビット数が3ビットを超えるようなメモリに有効であることが分かる。このように、MLUTは、多入力、多出力であるため、各MLUTにECC回路70を設けても、それによるコストアップを抑制することが可能である。

[0047] エラー検出部70は、図4の例で説明したように、復号化処理を行うことでエラー検出する。復号化したデータと、メモリから読出したデータとの一致が無い場合、エラー検出信号をエラーフラグEFとして出力するとともに、エラー訂正済み信号を、出力データとして出力する。このように、エラー検出部70は、メモリセルアレイから出力されたデータをECCによってエラーチェックし、ここで出力されたデータがMLUTのデータ出力となる。このような構成を取ることで、MLUTを構成するメモリセルアレイにソフトエラーが生じた場合でも、MLUTは正しい動作を行うことができる。

。

[0048] MLUT単位でエラー検出又は訂正を行うことにより、CRC (C y c l i c a l R e d u n d a n c y C h e c k) やTMR (T r i p l e M o d u l e R e d u n d a n c y) を実装したFPGAと同様に完全性を高めることができる。TMRでは回路規模が3倍に増加するのに対し、MLUTは小面積でエラー検出又は訂正が可能である。また、図1に示したエラー受信部62が、各MLUTから出力されるエラーフラグEFを受信し、外部出力する構成により、ディペンダブルシステムにおいて、突如故障するのではなく、故障して動かなくなる時期が近いことを警告するシステムを実現できる。これにより、エラーを検出したら、そのエラーMLUTを避けて再配線を行ったり、チップを交換する余裕をユーザに与えることで、真にディペンダブルなMPLDシステムが構築できる。

[0049] 図6は、ATD付きMLUTの一例を示す図である。図6に示すATD付きMLUT30Aは、アドレスデコーダ120に、アドレス変化検出部としてのATD回路(Address Transition Detect)121を備える。ATD回路は、アドレス入力端子に設けられ、アドレス入力端子に印加されるアドレス入力信号の変化を検知して、変化したアドレス信号を出力する回路である。

[0050] ATD回路はアドレス信号の変化を検出したときだけ、変化したアドレス信号を、アドレスデコーダ120Aに出力するので、アドレスデコーダ120Aは、アドレス信号が変化したときだけワード選択信号を出力し、アドレス信号が変化しないときはワード線選択信号を出力しない。このようにすることで、アドレス変化がない時は、ワード線選択信号が出力されないので、外乱ノイズによる書き込み誤動作を防止することができる。

[0051] これにより、ソフトエラーに対して、さらに堅牢性を上げることができる。なお、ここでは、誤り訂正手法としてハミング法の例を記載したが、これに限定されるものではない。

[0052] [3] MLUTのエラー検出フロー

次に、図7を用いて、MLUTのエラー検出フローの一例を説明する。ま

ず、デコーダ120で特定されたメモリセルから、エラー検出部70が、真値表データの一部を構成するデータおよびエラーチェックビットを読み出す(S101)。次に、エラー検出部70が、読出しデータにエラーが発生したか否かを判断する(S102)。エラーを検出していない場合(S102 NO)、エラー検出部70は読出したデータをそのまま後段の回路に出力する(S103)。エラーを検出した場合(S102 YES)、エラー検出部は、エラーフラグEFをエラー出力部62に出力する(S104)。エラー出力部62は、MLUT30から出力されるエラーフラグEFを受け取り、エラーを単に報告するエラー信号ES、又は、エラーを生じたMLUTを特定するエラー信号EMを外部に出力する(S105)。また、エラー訂正部73は、エラー検出部70により検出されるエラービットを訂正して、出力する(S106)。

[0053] [4] PRAMを用いたMLUT

図8Aは、一実施形態に係るメモリセルの断面図である。メモリセルの記憶素子は、相変化膜層41から構成される。本実施形態において、相変化膜層41は、化合物薄膜であるゲルマニウム、アンチモン、テルル（以下、「GST」）から構成される。なお、相変化膜41は、以下、「GST」として言及される。相変化膜層41の上面に、上部電極43、下面に、下部電極45及び絶縁層47がそれぞれ備えられる。上部電極43は、例えば、アルミニウムであり、絶縁層47は、例えば、二酸化ケイ素であり、下部電極45は、例えば、Ti/TiN/Alからなる貫通電極である。下部電極45の下部にはさらに半導体回路層50が設けられる。相変化膜層41は、上部電極43と下部電極45との間に電流を流すと、相が結晶性又はアモルファスに変わり、それに伴い抵抗値が変わる。相変化膜層41を融解温度以上に加熱し急冷するとアモルファス相（高抵抗）となる。相変化膜層41をある温度以上に加熱し徐冷すると結晶性相（低抵抗）となる。この抵抗値の違いにより生じる読出し時の状態電位を信号の0/1に対応させることで、相変化膜層41は、メモリセルの記憶素子として、記憶保持する。図8Aにお

いて、上部電極43と相変化膜41は、外部電極部を除くチップ全面を覆っており、パターニングされていない。

[0054] 相変化領域48は、アモルファス相から結晶相に相変化したに変化する領域である。絶縁層47の上部にある相変化膜層41は初期状態が高抵抗のアモルファス相なので、相変化領域48同士が短絡することを防いでいる。相変化膜層41は、相変化膜の一部をメモリセルの記憶素子として使用する。従来、PRAMは、相変化物質を絶縁保護する構成で実現されていたが、本実施形態にかかる相変化膜層41は、相変化物質を絶縁保護する必要が無いため、製造プロセスの簡略化が図れる。

[0055] 図8Bは、相変化膜の抵抗値のバラツキの一例を示す図である。本構成では相変化膜層41がパターニングされていないため、上部電極43と下部電極45の印加電圧によって相変化領域48A～48Cの大きさが異なる。その結果、相変化膜の抵抗値にバラツキが生じる。

[0056] 図8Bに示したように、一面成膜では、相変化領域48のサイズが印加電圧により変化し、相変化の抵抗値にバラツキがあるので、ある設定した高抵抗又は低抵抗で読み出すように回路の設計を行うと、正常に動作しない恐れがある。また構造上、相変化に必要な熱を得るために、ある一定の書込み電圧(VDD_W)が必要であり、読出しの際は、相変化が起こらない読出し電圧(VDD_R)で読出しを行わなければならない。以上の制約を考慮して、上記のメモリセルアレイ110のメモリセルを構成する。

[0057] 図9は、メモリセル回路の一例を示す図である。図9に示すメモリセル40は、5個のトランジスタとGSTで構成されており、具体的には、1つのPMOS (POSITIVE CHANNEL METAL OXIDE SEMICONDUCTOR) トランジスタ161と、4つのNMOS (NEGATIVE CHANNEL METAL OXIDE SEMICONDUCTOR) トランジスタ162～165と、相変化膜層41の一部から構成される抵抗であるGST166とで構成される。GST166はアレイにしたとき、互いが共通で接続できるようにしている。

- [0058] GST 166は、相変化膜層41の一部、つまり、図1に示す下部電極45の上部にある相変化膜層41により構成される。相変化膜層41が結晶性又はアモルファスに変わり、それに伴い抵抗値が変わることで、GST 166は、「0」又は「1」の状態を保持する記憶素子として機能する。
- [0059] PMOS 161のソースは、VDD（電源電圧端）に接続し、NMOS 162のソースは、VSS（接地電圧端）に接続している。PMOS 161と、NMOS 162は、それぞれのドレインを接続することで、CMOS（COMPLEMENTARY METAL OXIDE SEMICONDUCTOR）インバータとして動作する。CMOSインバータは、GST 166に保持される状態に従って出力される信号レベルを、センスし、NMOSトランジスタ163を介して、読出データ線RDATAに出力する。
- [0060] NMOSトランジスタ163は、ゲートが読出ワード線R__ROWに接続しており、ゲートに読出ワード線R__ROWからの信号を印加すると、CMOSインバータによってセンスされたGST 166の状態信号を出力する。上記のように、一面成膜は製造プロセスにおいて初期抵抗値にバラつきが生じる可能性がある。NMOSトランジスタ165は、ゲートがGST 166に接続し、ソースが低バイアスBIAS__Lに接続しており、ゲートに中バイアスBIAS__Mの電圧VDD__Mを印加することで、コンダクタンスを調整することにより、読出し動作におけるGST 166の抵抗値のバラつきを小さくする。そして、CMOSインバータによってGST 166の状態信号の出力をセンスして、電圧を増幅する。
- [0061] また、低バイアスBIAS__Lは、GST 166のNMOSトランジスタ165の電圧分割するときに分割電圧を上げ、PMOS 161と、NMOS 162で構成されたCMOSインバータの閾値に電圧分割の中心値を持っていくための電圧である。
- [0062] 周辺回路であるデータ線電圧制御部142は、入出力を反転する2つのインバータ181、182であり、書込データ線WDATA、読出データ線RDATAの線上に設ける。書き込み処理時は、書込データWDATAをイン

バータで反転信号／WDATAにすることで、書込データWDATAが「1」の時にVSSをインバータで作り出し、GST166に書き込みを行う。このようにして、選択された書込データ線WDATAの電圧は、書込み処理時にVSSに下げられる。

[0063] 相変化膜電圧制御部150は、メモリセルアレイ内の全てのGST166に接続する。書込み処理時には、メモリセルアレイ内の全てのGST166への供給電圧(WR_VDD)を書込み用電圧(VDD_W)に変え、読出し処理時には、GST166への供給電圧を読出し用電圧(VDD_R)に変える。

[0064] 書込データ線WDATAは、データ線電圧制御部142により、書込み動作時に、電圧が下がる。NMOSトランジスタ164は、ゲートが書込ワード線W_ROWに接続しており、ゲートに書込ワード線W_ROWからの信号を印加すると、書込データ線WDATAと、GST166とを電氣的に接続する。書込み動作では、書込データ線WDATAの電圧が降下すると同時に、GST166に、読出し電圧(VDD_R)より高い書込み電圧(VDD_W)が印加するので、GST166に相変化を生じさせる電圧が印加される。

[0065] 以上のように、相変化メモリをメモリセルに用いると、同チップでも、メモリセルごとに抵抗値バラつくため、安定した書き込みができない。例えば、高抵抗→低抵抗したつもりでも、高抵抗のまま書き込みに失敗した場合、検出できない等の問題が生じる。このようなハードエラーが生じた場合でも、本実施形態に係るMLUTの誤り訂正により、正常動作を継続するとともに、障害が生じたMLUTを特定できる。

[0066] [5] MLUTの論理動作

A. 論理要素

図10は、論理要素として動作するMLUTの一例を示す図である。図10に示すMLUTは、図11に示すMLUT又は図13又は7に示す半導体メモリ装置と同様な回路である。図10では、説明を簡単にするために、ア

ドレス切替回路 10A、及び出力データ切替回路 10B の記載は、省略される。図 10 に示す MLUT30A、30B は、4 つの論理用アドレス入力 LA 線 A0～A3 と、4 つの論理動作データ線 D0～D3 と、 $4 \times 16 = 64$ 個の記憶素子 40 と、アドレスデコーダ 9 とをそれぞれ有する。論理動作データ線 D0～D3 は、24 個の記憶素子 40 をそれぞれ直列に接続する。アドレスデコーダ 9 は、論理用アドレス入力 LA 線 A0～A3 に入力される信号に基づき、16 本のワード線のいずれかに接続される 4 つの記憶素子を選択するように構成される。この 4 つの記憶素子はそれぞれ、論理動作データ線 D0～D3 に接続され、記憶素子に記憶されるデータを論理動作データ線 D0～D3 に出力する。例えば、論理用アドレス入力 LA 線 A0～A3 に適当な信号が入力される場合は、4 つの記憶素子 40A、40B、40C、及び 40D を選択するように構成することができる。ここで、記憶素子 40A は、論理動作データ線 D0 に接続され、記憶素子 40B は、論理動作データ線 D1 に接続され、記憶素子 40C は、論理動作データ線 D2 に接続され、記憶素子 40D は、論理動作データ線 D3 に接続される。そして、論理動作データ線 D0～D3 には、記憶素子 40A～40D に記憶される信号が出力される。このように、MLUT30A、30B は、論理用アドレス入力 LA 線 A0～A3 から論理用アドレス入力 LA を受け取り、その論理用アドレス入力 LA によってアドレスデコーダ 9 が選択する 4 つの記憶素子 40 に記憶される値を、論理動作データ線 D0～D3 に論理動作データとしてそれぞれ出力する。なお、MLUT30A の論理用アドレス入力 LA 線 A2 は、隣接する MLUT30B の論理動作データ線 D0 と接続しており、MLUT30A は、MLUT30B から出力される論理動作データを、論理用アドレス入力 LA として受け取る。また、MLUT30A の論理動作データ線 D2 は、MLUT30B の論理用アドレス入力 LA 線 A0 と接続しており、MLUT30A が出力する論理動作データは、MLUT30B で論理用アドレス入力 LA として受け取られる。例えば、MLUT30A の論理動作データ線 D2 は、MLUT30A の論理用アドレス入

力L A線A 0～A 3に入力される信号に基づき、論理動作データ線D 2に接続される16個の記憶素子のいずれか1つに記憶される信号をMLUT30Bの論理用アドレス入力L A A 0に出力する。同様に、MLUT30Bの論理動作データ線D 0は、MLUT30Bの論理用アドレス入力L A線A 0～A 3に入力される信号に基づき、論理動作データ線D 0に接続される16個の記憶素子のいずれか1つに記憶される信号をMLUT30Aの論理用アドレス入力L A A 2に出力する。このように、MPLD同士の連結は、1対のアドレス線とデータ線とを用いる。以下、MLUT30Aの論理用アドレス入力L A線A 2と、論理動作データ線D 2のように、MLUTの連結に使用されるアドレス線とデータ線の対を「AD対」という。

[0067] なお、図10では、MLUT30A、30Bが有するAD対は4であるが、AD対の数は、特に後述するように4に限定されない。

[0068] 図11は、論理回路として動作するMLUTの一例を示す図である。本例では、論理用アドレス入力L A線A 0及びA 1を2入力NOR回路701の入力とし、論理用アドレス入力L A線A 2及びA 3を2入力NAND回路702の入力とする。そして、2入力NOR回路の出力と、2入力NAND回路702の出力を、2入力NAND回路703に入力し、2入力NAND回路703の出力を論理動作データ線D 0に出力する論理回路を構成する。

[0069] 図12は、図11に示す論理回路の真理値表を示す図である。図11の論理回路は、4入力のため、入力A 0～A 3の全ての入力を入力として使用する。一方、出力は、1つのみなので、出力D 0のみを出力として使用する。真理値表の出力D 1～D 3の欄には「*」が記載されている。これは、「0」又は「1」のいずれの値でもよいことを示す。しかしながら、実際に再構成のために真理値表データをMLUTに書き込むときには、これらの欄には、「0」又は「1」のいずれかの値を書き込む必要がある。

[0070] B. 接続要素

図13は、接続要素として動作するMLUTの一例を示す図である。図13では、接続要素としてのMLUTは、論理用アドレス入力L A線A 0の信

号を論理動作データ線D 1に出力し、論理用アドレス入力L A線A 1の信号を論理動作データ線D 2に出力し、論理用アドレス入力L A線A 2の信号を論理動作データ線D 3に出力するように動作する。接続要素としてのMLUTはさらに、論理用アドレス入力L A線A 3の信号を論理動作データ線D 1に出力するように動作する。

[0071] 図14は、図13に示す接続要素の真理値表を示す図である。図13に示す接続要素は、4入力4出力である。したがって、入力A 0～A 3の全ての入力と、出力D 0～D 3の全ての出力が使用される。図14に示す真理値表によって、MLUTは、入力A 0の信号を出力D 1に出力し、入力A 1の信号を出力D 2に出力し、入力A 2の信号を出力D 3に出力し、入力A 3の信号を出力D 0に出力する接続要素として動作する。

[0072] 図15は、AD 0、AD 1、AD 2、及びAD 3の4つのAD対を有するMLUTによって実現される接続要素の一例を示す図である。AD 0は、論理用アドレス入力L A線A 0と論理動作データ線D 0とを有する。AD 1は、論理用アドレス入力L A線A 1と論理動作データ線D 1とを有する。AD 2は、論理用アドレス入力L A線A 2と論理動作データ線D 2とを有する。そして、AD 3は、論理用アドレス入力L A線A 3と論理動作データ線D 3とを有する。図15において、1点鎖線は、AD対0の論理用アドレス入力L A線A 0に入力された信号がAD対1の論理動作データ線D 1に出力される信号の流れを示す。2点鎖線は、第2のAD対1の論理用アドレス入力L A線A 1に入力された信号がAD対2の論理動作データ線D 2に出力される信号の流れを示す。破線は、AD対2の論理用アドレス入力L A線A 2に入力された信号がAD対3の論理動作データ線D 3に出力される信号の流れを示す。実線は、AD対3の論理用アドレス入力L A線A 3に入力された信号がAD対0の論理動作データ線D 0に出力される信号の流れを示す。

[0073] なお、図15では、MLUT 30が有するAD対は4であるが、AD対の数は、特に4に限定されない。

[0074] C. 論理要素と接続要素の組合せ機能

図16は、1つのMLUTが、論理要素及び接続要素として動作する一例を示す図である。図16に示す例では、論理用アドレス入力LA線A0及びA1を2入力NOR回路121の入力とし、2入力NOR回路121の出力と、論理用アドレス入力LA線A2とを2入力NAND回路122の入力とし、2入力NAND回路122の出力を論理動作データ線D0に出力する論理回路を構成する。また同時に、論理用アドレス入力LA線A3の信号を論理動作データ線D2に出力する接続要素を構成する。

[0075] 図17に、図16に示す論理要素及び接続要素の真理値表を示す。図16の論理動作は、入力D0～D3の3つの入力を使用し、1つの出力D0を出力として使用する。一方、図17の接続要素は、入力A3の信号を出力D2に出力する接続要素が構成される。

[0076] 図18は、AD0、AD1、AD2、及びAD3の4つのAD対を有するMLUTによって実現される論理動作及び接続要素の一例を示す図である。図15に示すMLUTと同様に、AD0は、論理用アドレス入力LA線A0と論理動作データ線D0とを有する。AD1は、論理用アドレス入力LA線A1と論理動作データ線D1とを有する。AD2は、論理用アドレス入力LA線A2と論理動作データ線D2とを有する。そして、AD3は、論理用アドレス入力LA線A3と論理動作データ線D3とを有する。上述のように、MLUT30は、3入力1出力の論理動作と、1入力1出力の接続要素との2つの動作を1つのMLUT30で実現する。具体的には、論理動作は、AD対0の論理用アドレス入力LA線A0と、AD対1の論理用アドレス入力LA線A1と、AD対2の論理用アドレス入力LA線A2とを入力として使用する。そして、AD対0の論理動作データ線D0のアドレス線を出力と使用する。また、接続要素は、破線で示すようにAD対3の論理用アドレス入力LA線A3に入力された信号をAD対2の論理動作データ線D2に出力する。

[0077] 上記したように、MPLD内のMLUTは、複数のアドレス線を介して互

いに接続しているので、ワード選択信号を介して、外部ノイズがメモリセルに書き込まれる御動作が生じやすい。そのため、MLUTにATD回路があることにより、アドレスが変化したときだけ、メモリセルへの書込みが行われるので、外部ノイズの書込み誤動作を回避できる。

[0078] 以上説明した実施形態は典型例として挙げたに過ぎず、その各実施形態の構成要素の組合せ、変形及びバリエーションは当業者にとって明らかであり、当業者であれば本発明の原理及び請求の範囲に記載した発明の範囲を逸脱することなく上述の実施形態の種々の変形を行えることは明らかである。

請求の範囲

- [請求項1] 再構成可能な半導体装置であって、
- アレイを構成するとともに互いにアドレス線又はデータ線で接続する複数の記憶部を備え、前記記憶部は、複数のアドレスで特定された入力値の論理演算を、データ線に出力するための真理値表データを記憶して、論理回路として動作し、及び／又は、あるアドレスで特定された入力値を、他の記憶部のアドレスに接続するデータ線に出力するように構成される真理値表データを記憶して、接続回路として動作するように構成され、
- 前記記憶部は、
- 前記真理値表データ及び前記真理値表データのエラーチェックビットを保持する複数のメモリセルと、
- 前記真理値表データの一部を構成する第1データと、前記第1データの第1エラーチェックビットを読み出して、前記第1データにエラーが発生したか否かを判断するエラー検出部とを備える、ことを特徴とする再構成可能な半導体装置。
- [請求項2] 前記記憶部はさらに、前記エラー検出部により検出されるエラービットを訂正して、出力するエラー訂正部を備える、請求項1に記載の再構成可能な半導体装置。
- [請求項3] 前記エラーチェックビットは、冗長ビットであり、
- 前記エラー検出部は、前記第1データ及び前記第1エラーチェックビットを復号して、前記第1データのエラー発生を判断する、請求項1又は2に記載の再構成可能な半導体装置。
- [請求項4] 前記記憶部は、少なくとも3つ以上のデータ線を備える、請求項3に記載の再構成可能な半導体装置。
- [請求項5] 前記記憶部は、前記エラー検出部から出力されるデータを保持するとともに、クロックに同期して動作するステージレジスタを備える、請求項1～4の何れか1項に記載の再構成可能な半導体装置。

[請求項6] 前記各記憶部からのエラー信号を受け取り、エラー信号を外部出力するエラー出力部を備える、請求項1～5の何れか1項に記載の再構成可能な半導体装置。

[請求項7] 前記各記憶部からのエラー信号を受け取り、エラー信号をエンコードしてエラーが生じた記憶部を特定するエラー出力部を備える、請求項1～5の何れか1項に記載の再構成可能な半導体装置。

エラーが生じた記憶部を特定することで、当該記憶部を使用禁止とすることで、再構成可能な半導体装置の堅牢性を上げることができる。

[請求項8] 前記メモリセルの記憶素子は、相変化膜である請求項1～7の何れか1項に記載の再構成可能な半導体装置。

[請求項9] 再構成可能な半導体装置におけるエラー検出方法であって、前記半導体装置は、アレイを構成するとともに互いにアドレス線又はデータ線で接続する複数の記憶部を備え、前記記憶部は、真理値表データ及び前記真理値表データのエラーチェックビットを保持する複数のメモリセル、を備え、前記記憶部は、複数のアドレスで特定された入力値の論理演算を、データ線に出力するための真理値表データを記憶して、論理回路として動作し、及び／又は、あるアドレスで特定された入力値を、他の記憶部のアドレスに接続するデータ線に出力するための真理値表データを記憶して、接続回路として動作するように構成され、

前記真理値表データのうち第1真理値表データと、前記第1真理値表データの第1エラーチェックビットを読み出し、

前記第1真理値表データにエラーが発生したか否かを判断する、ことを特徴とするエラー検出方法。

[請求項10] 前記エラー検出部により検出されるエラービットを訂正して、出力することをさらに有する、請求項9に記載のエラー検出方法。

[請求項11] 前記エラーチェックビットは、冗長ビットであり、

前記第 1 真理値表データ及び前記第 1 エラーチェックビットを復号して、前記第 1 真理値表データのエラー発生を判断する、請求項 9 又は 10 に記載のエラー検出方法。

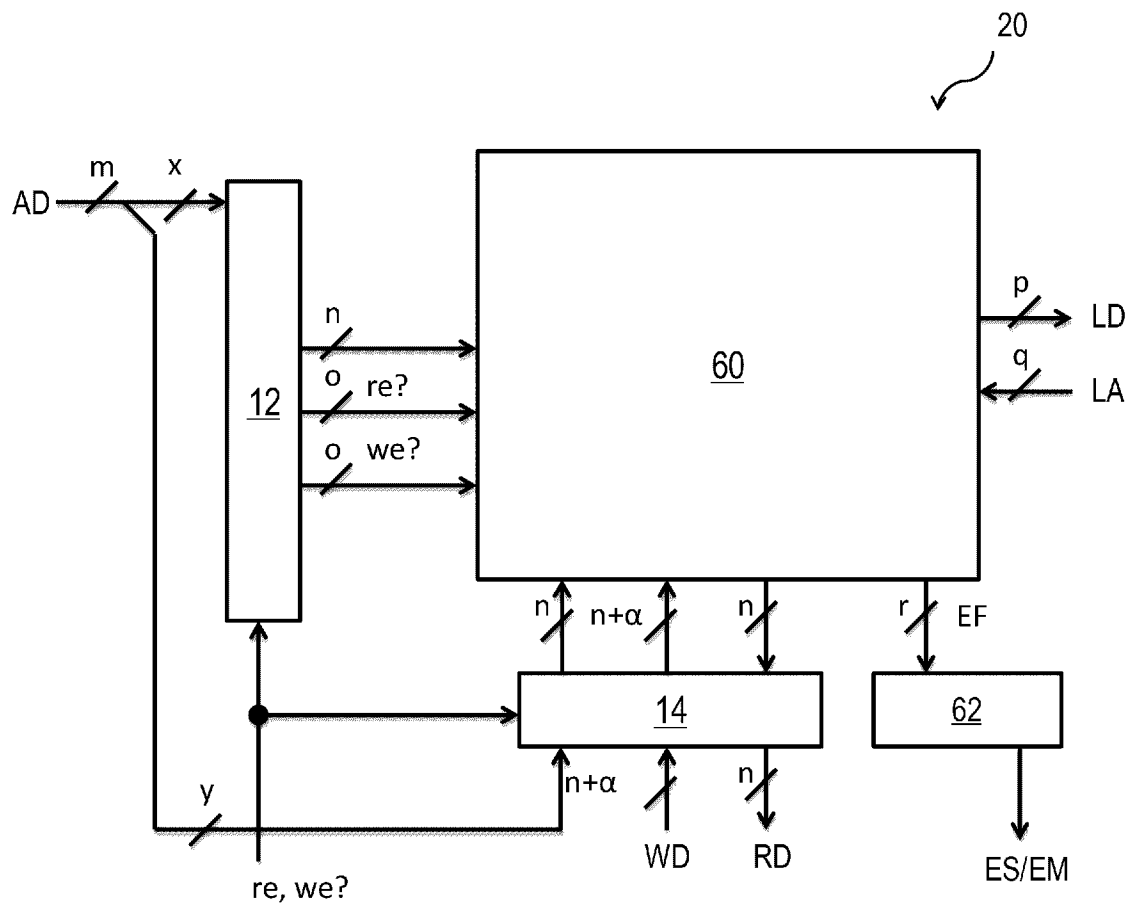
[請求項12] 出力されるデータを保持するとともに、クロックに同期して動作する、請求項 9 ～ 11 の何れか 1 項に記載のエラー検出方法。

[請求項13] 前記各記憶部からのエラー信号を受け取り、エラーを信号を外部出力するエラー出力する、請求項 9 ～ 12 の何れか 1 項に記載のエラー検出方法。

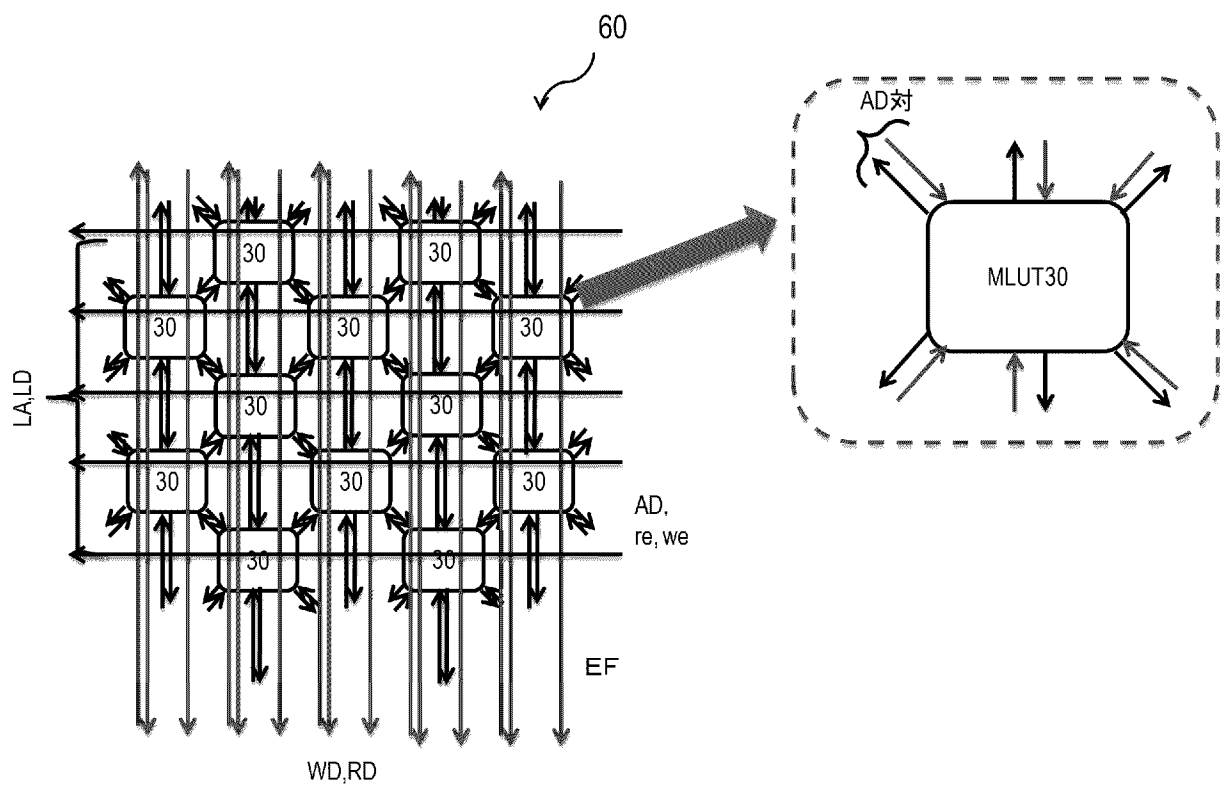
[請求項14] 前記各記憶部からのエラー信号を受け取り、エラー信号をエンコードしてエラーが生じた記憶部を特定する、請求項 9 ～ 12 の何れか 1 項に記載のエラー検出方法。

[請求項15] 前記メモリセルの記憶素子は、相変化膜である請求項 9 ～ 14 の何れか 1 項に記載のエラー検出方法。

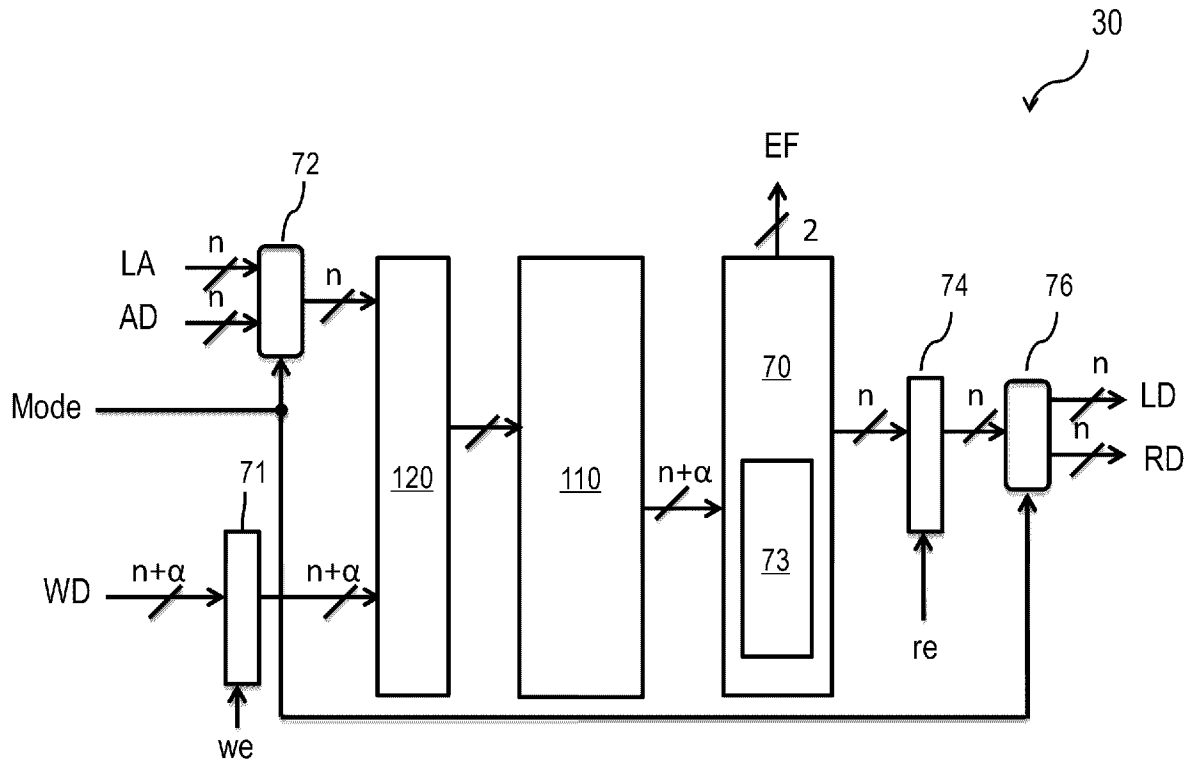
[図1]



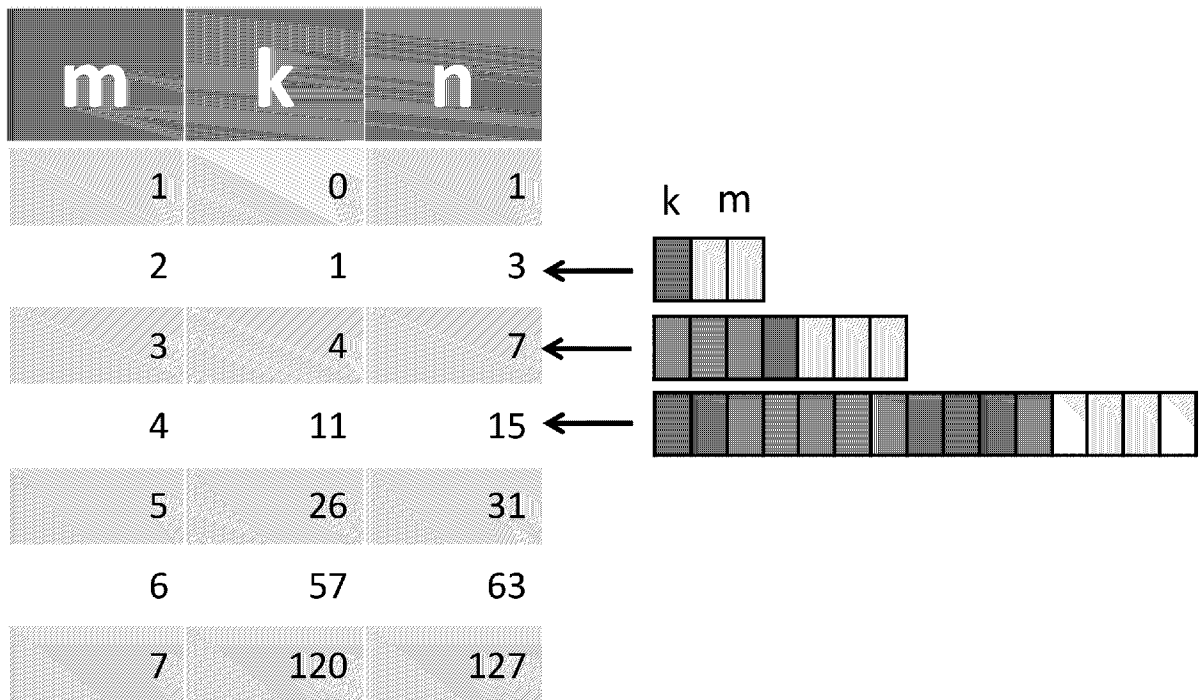
[図2]



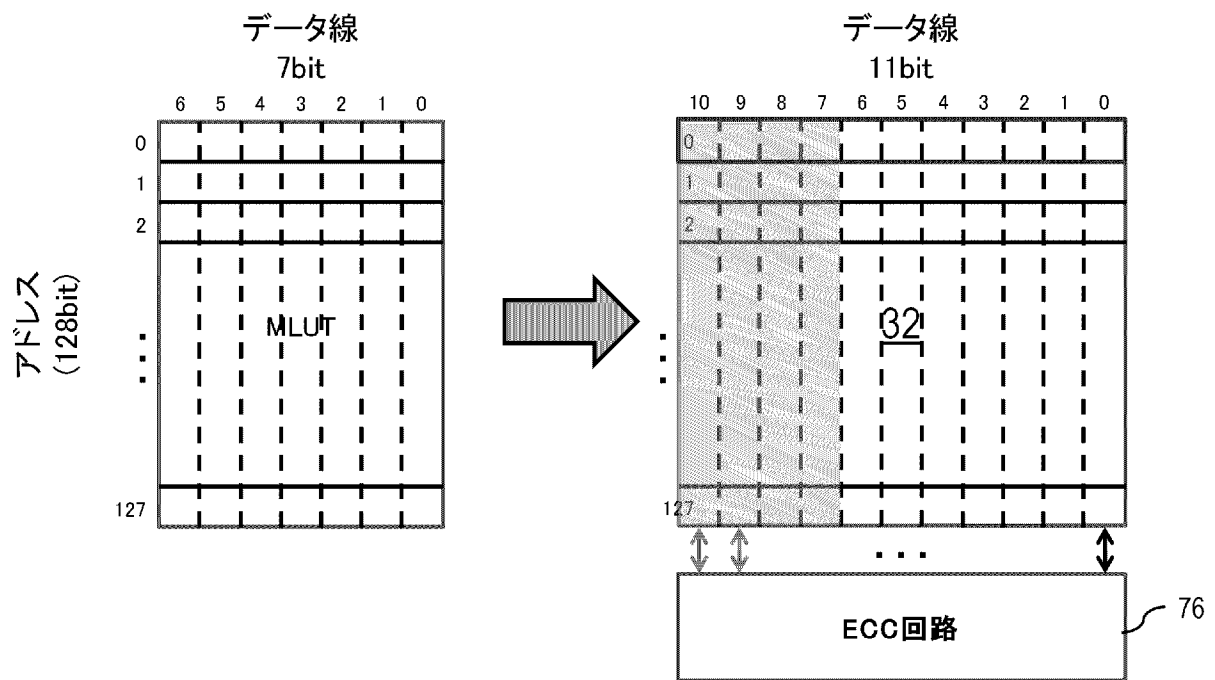
[図3]



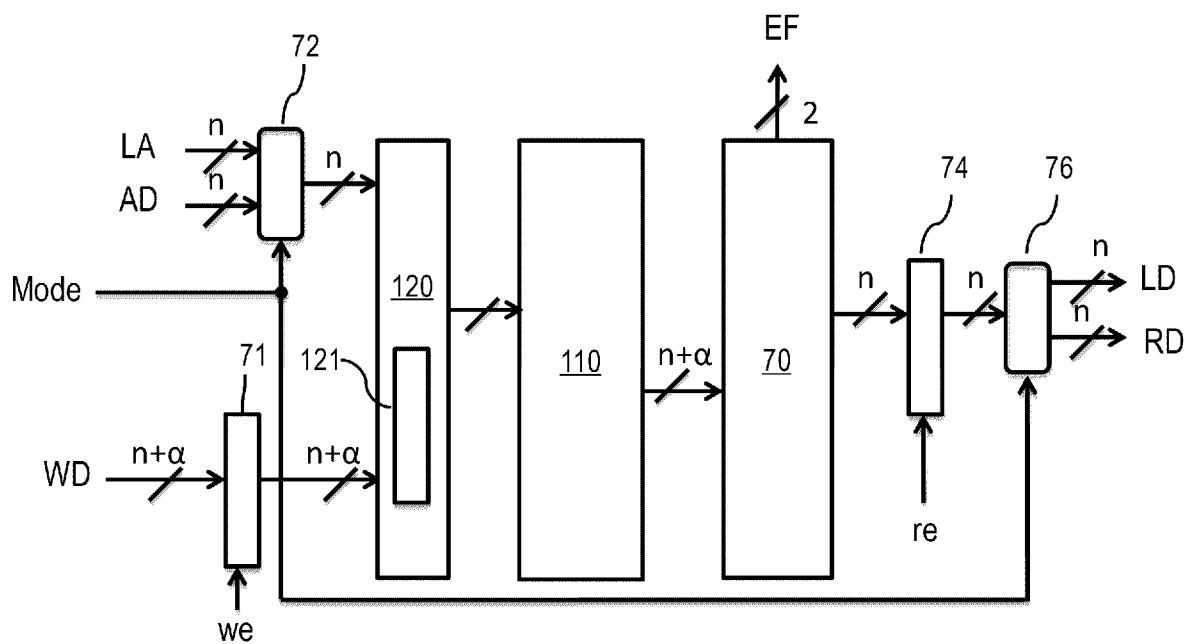
[図4]



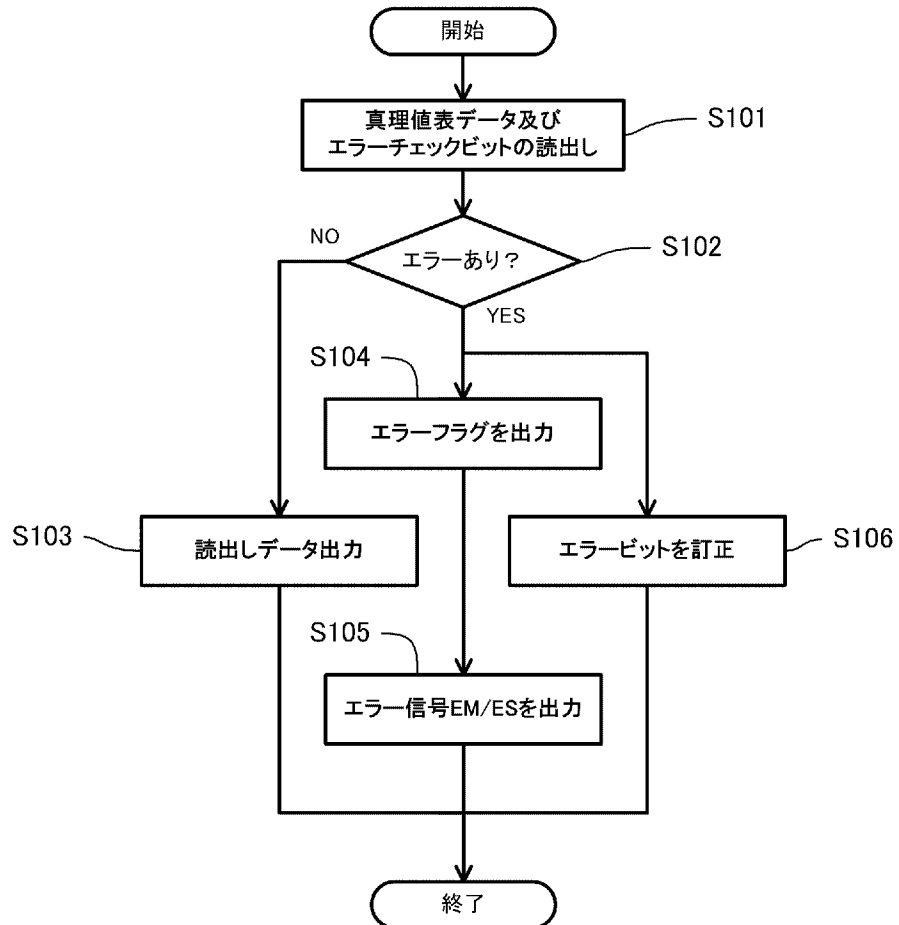
[図5]



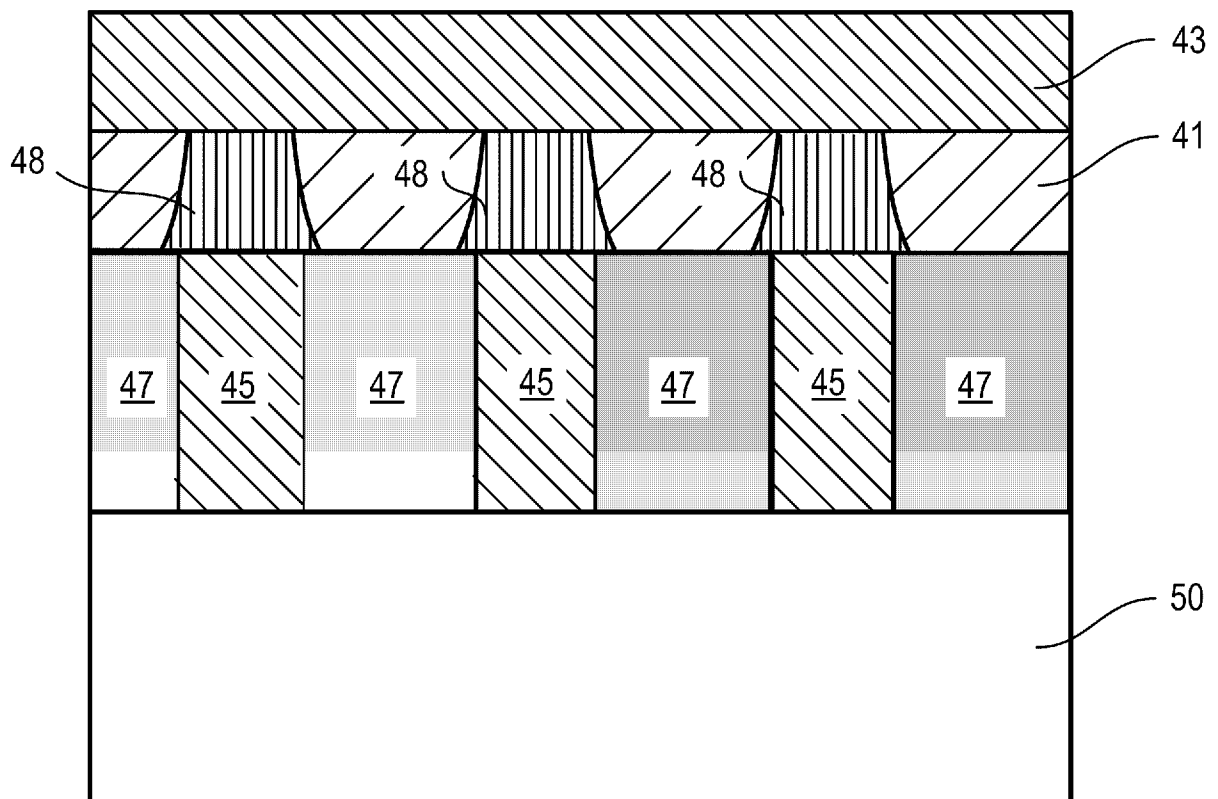
[図6]



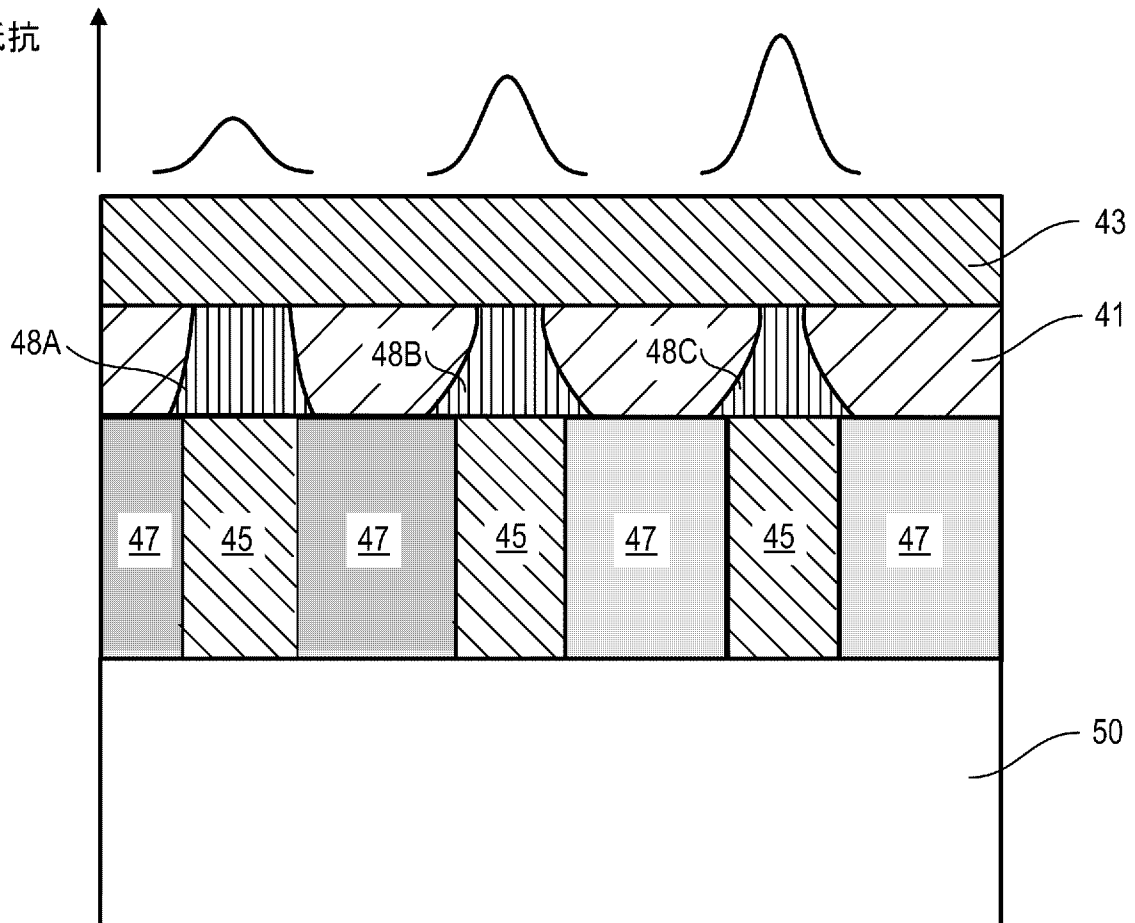
[図7]



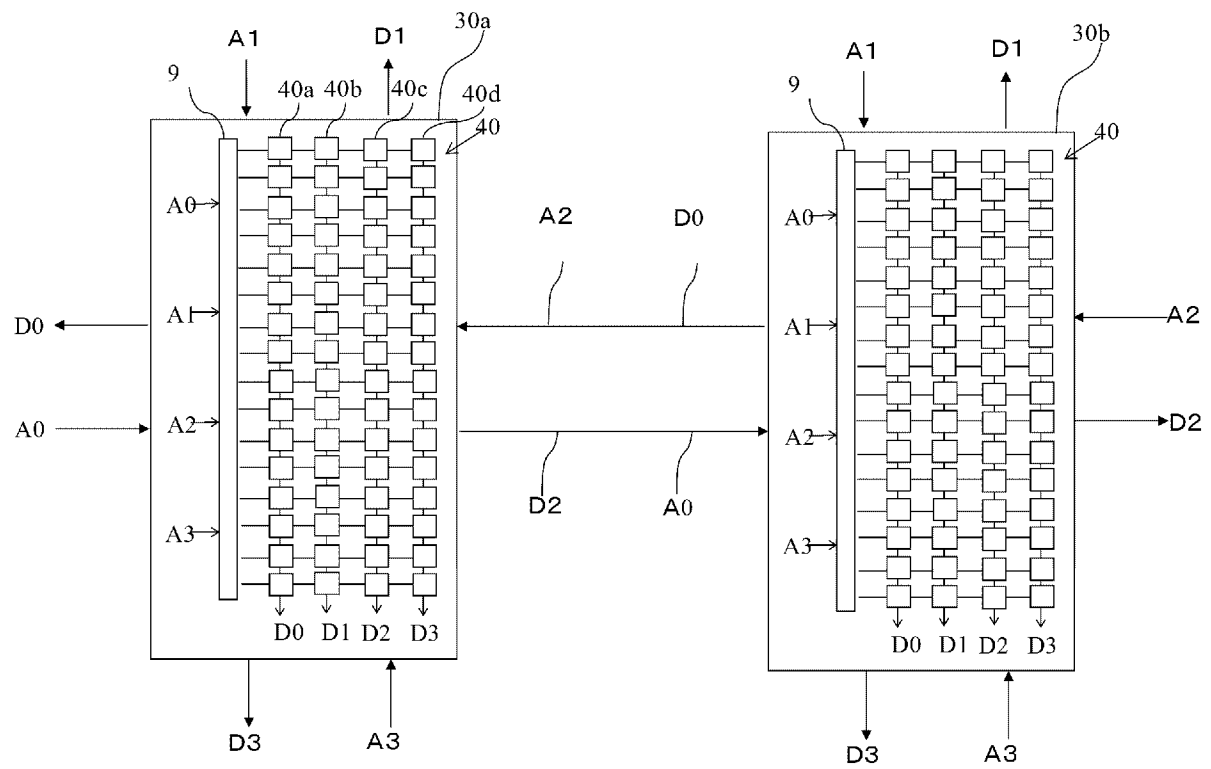
[図8A]



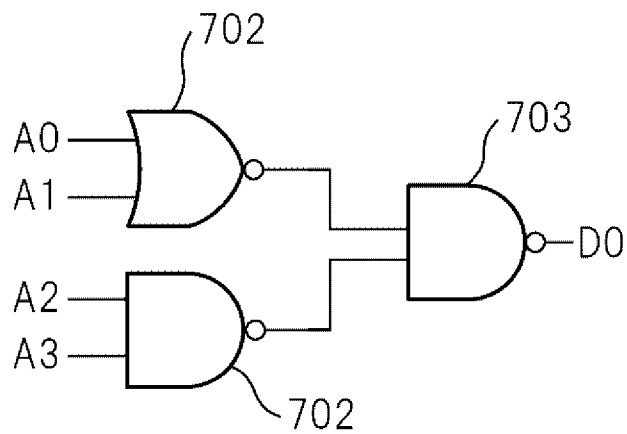
抵抗

[illegible]

[図10]



[図11]



[図12]

A0	A1	A2	A3	D0	D1	D2	D3
0	0	0	0	0	*	*	*
1	0	0	0	1	*	*	*
0	1	0	0	1	*	*	*
1	1	0	0	1	*	*	*
0	0	1	0	0	*	*	*
1	0	1	0	1	*	*	*
0	1	1	0	1	*	*	*
1	1	1	0	1	*	*	*
0	0	0	1	0	*	*	*
1	0	0	1	1	*	*	*
0	1	0	1	1	*	*	*
1	1	0	1	1	*	*	*
0	0	1	1	1	*	*	*
1	0	1	1	1	*	*	*
0	1	1	1	1	*	*	*
1	1	1	1	1	*	*	*

[図13]

A0 —————> D1

A1 —————> D2

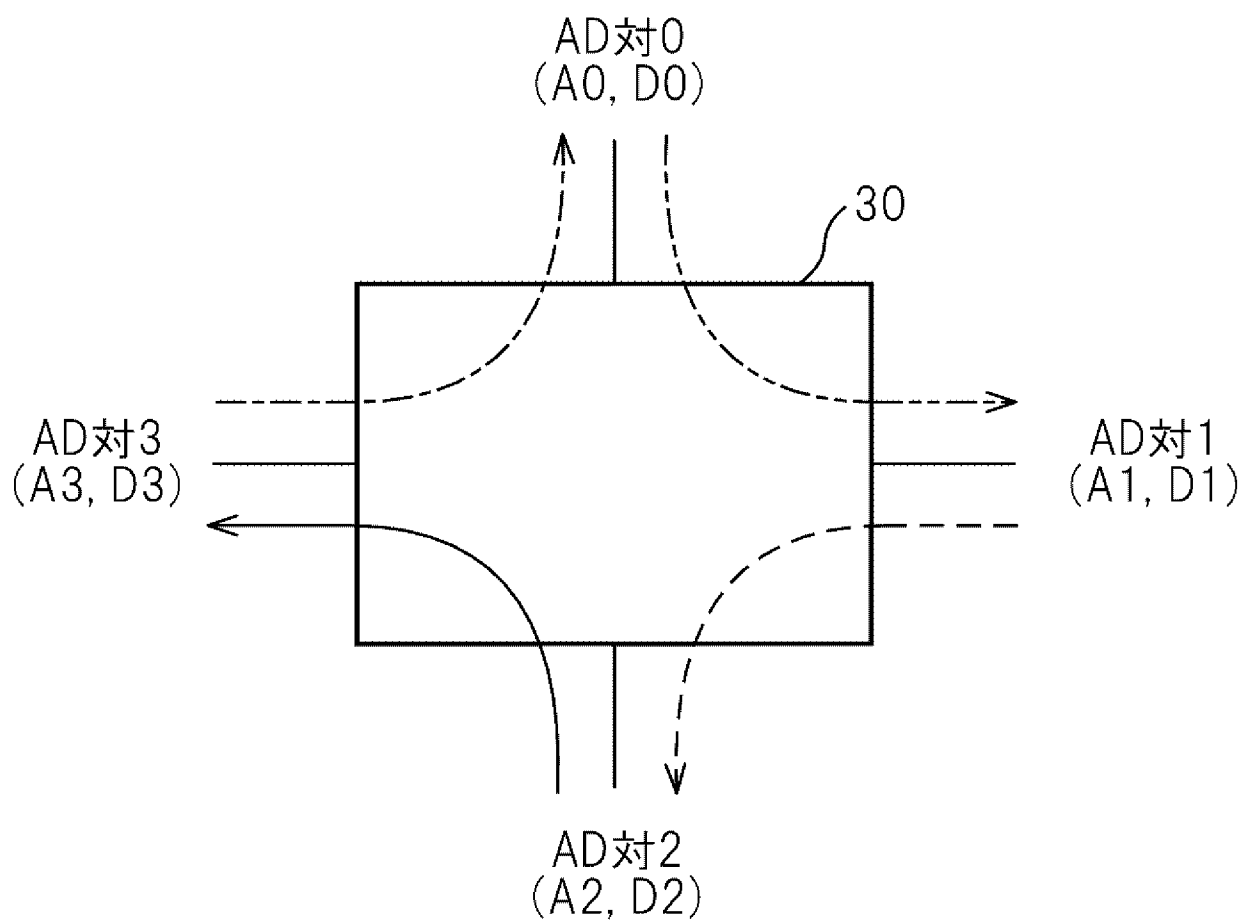
A2 —————> D3

A3 —————> D0

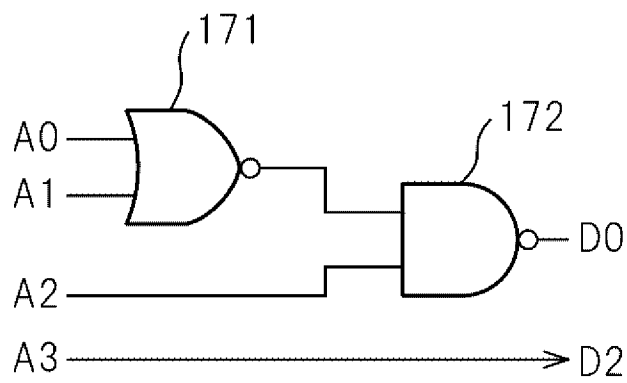
[図14]

A0	A1	A2	A3	D0	D1	D2	D3
0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0
0	1	0	0	0	0	1	0
1	1	0	0	0	1	1	0
0	0	1	0	0	0	0	1
1	0	1	0	0	1	0	1
0	1	1	0	0	0	1	1
1	1	1	0	0	1	1	1
0	0	0	1	1	0	0	0
1	0	0	1	1	1	0	0
0	1	0	1	1	0	1	0
1	1	0	1	1	1	1	0
0	0	1	1	1	0	0	1
1	0	1	1	1	1	0	1
0	1	1	1	1	0	1	1
1	1	1	1	1	1	1	1

[図15]



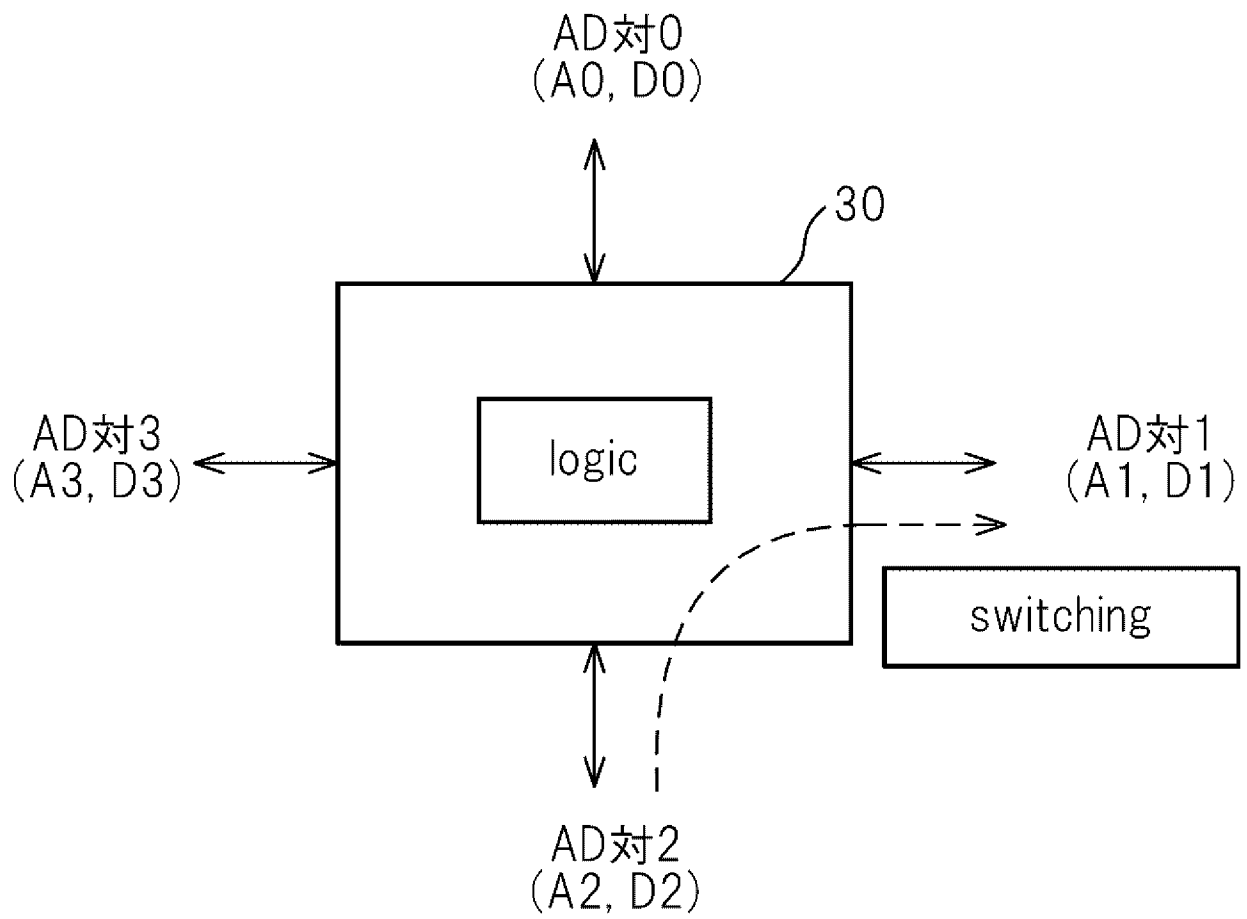
[図16]



[図17]

A0	A1	A2	A3	D0	D1	D2	D3
0	0	0	0	0	*	0	*
1	0	0	0	0	*	0	*
0	1	0	0	0	*	0	*
1	1	0	0	1	*	0	*
0	0	1	0	0	*	0	*
1	0	1	0	0	*	0	*
0	1	1	0	0	*	0	*
1	1	1	0	0	*	0	*
0	0	0	1	0	*	1	*
1	0	0	1	0	*	1	*
0	1	0	1	0	*	1	*
1	1	0	1	1	*	1	*
0	0	1	1	0	*	1	*
1	0	1	1	0	*	1	*
0	1	1	1	0	*	1	*
1	1	1	1	0	*	1	*

[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/072127

A. CLASSIFICATION OF SUBJECT MATTER

H03K19/177(2006.01)i, G11C13/00(2006.01)i, G11C29/42(2006.01)i,
H01L27/105(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K19/173-19/177, G11C13/00, G11C29/42, H01L27/105

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

Google scholar, IEEE xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Hirakawa, N. ; Yoshihara, M. ; Tanigawa, K. ; Hironaka, T. ; Sato, M., A PLD Architecture for High Performance Computing, Innovative Architecture for Future Generation High- Performance Processors and Systems (IWIA), 2008 International Workshop on, 2008, pages 35-42	1-15
A	JP 2007-293856 A (Altera Corp.), 08 November 2007 (08.11.2007), front page & US 2007/0283193 A1 & EP 1848001 A1 & DE 602007012165 D & CN 101063948 A	1-15

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 October, 2013 (25.10.13)

Date of mailing of the international search report
05 November, 2013 (05.11.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03K19/177(2006.01)i, G11C13/00(2006.01)i, G11C29/42(2006.01)i, H01L27/105(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03K19/173-19/177, G11C13/00, G11C29/42, H01L27/105

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Google scholar, IEEE xplore

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	Hirakawa, N. ; Yoshihara, M. ; Tanigawa, K. ; Hironaka, T. ; Sato, M., A PLD Architecture for High Performance Computing, Innovative Architecture for Future Generation High-Performance Processors and Systems (IWIA), 2008 International Workshop on, 2008, pages 35-42	1 - 1 5
A	JP 2007-293856 A (アルテラ コーポレイション) 2007.11.08, フロントページ & US 2007/0283193 A1 & EP 1848001 A1 & DE 602007012165 D & CN 101063948 A	1 - 1 5

☐ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 1 0 . 2 0 1 3

国際調査報告の発送日

0 5 . 1 1 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

柳下 勝幸

5 X

9 5 6 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6