

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2012-506154

(P2012-506154A)

(43) 公表日 平成24年3月8日 (2012. 3. 8)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 23/00 (2006. 01)	H O 1 L 23/00 B	
H O 1 L 25/065 (2006. 01)	H O 1 L 25/08 Z	
H O 1 L 25/07 (2006. 01)		
H O 1 L 25/18 (2006. 01)		

審査請求 有 予備審査請求 未請求 (全 14 頁)

(21) 出願番号	特願2011-532236 (P2011-532236)	(71) 出願人	595020643 クアルコム・インコーポレイテッド QUALCOMM INCORPORATED アメリカ合衆国、カリフォルニア州 92 121-1714、サン・ディエゴ、モア ハウス・ドライブ 5775
(86) (22) 出願日	平成21年10月15日 (2009. 10. 15)	(74) 代理人	100108855 弁理士 蔵田 昌俊
(85) 翻訳文提出日	平成23年6月15日 (2011. 6. 15)	(74) 代理人	100159651 弁理士 高倉 成男
(86) 国際出願番号	PCT/US2009/060764	(74) 代理人	100091351 弁理士 河野 哲
(87) 国際公開番号	W02010/045413	(74) 代理人	100088683 弁理士 中村 誠
(87) 国際公開日	平成22年4月22日 (2010. 4. 22)		
(31) 優先権主張番号	12/251, 802		
(32) 優先日	平成20年10月15日 (2008. 10. 15)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 スタック I C の静電放電 (E S D) 保護

(57) 【要約】

アセンブルされていないスタック I C デバイス (6 0) は、アセンブルされていない段を含む。(4 1) アセンブルされていないスタック I C デバイスは、アセンブルされていない段の上の第 1 のパターン形成されていない層 (6 1 0) をさらに含む。第 1 のパターン形成されていない層は、 E S D イベントからアセンブルされていない段を保護する。

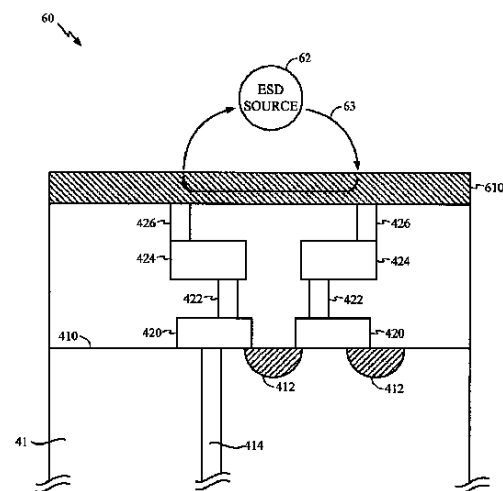


FIG. 6

【特許請求の範囲】**【請求項 1】**

アセンブルされていない段と、

前記アセンブルされていない段の上の第 1 のパターン形成されていない層であって、E S D イベントから前記アセンブルされていない段を保護する、前記第 1 のパターン形成されていない層と

を含む、アセンブルされていないスタック I C デバイス。

【請求項 2】

前記第 1 のパターン形成されていない層の厚さが、100 乃至 50000 オングストロームである、請求項 1 に記載のアセンブルされていないスタック I C デバイス。

10

【請求項 3】

前記第 1 のパターン形成されていない層が、金属層である、請求項 1 に記載のアセンブルされていないスタック I C デバイス。

【請求項 4】

前記第 1 のパターン形成されていない層の酸化を防止するために、前記第 1 のパターン形成されていない層の上に、第 2 のパターン形成されていない層をさらに含む、請求項 3 に記載のアセンブルされていないスタック I C デバイス。

【請求項 5】

前記第 1 のパターン形成されていない層が、段から段への接続に、後にパターン形成されうる、請求項 3 に記載のアセンブルされていないスタック I C デバイス。

20

【請求項 6】

前記第 1 のパターン形成されていない層が、半導体の層である、請求項 1 に記載のアセンブルされていないスタック I C デバイス。

【請求項 7】

前記第 1 のパターン形成されていない層が、段から段への接続に、後にパターン形成されうる、請求項 6 に記載のアセンブルされていないスタック I C デバイス。

【請求項 8】

前記第 1 のパターン形成されていない層が、絶縁体の層である、請求項 1 に記載のアセンブルされていないスタック I C デバイス。

【請求項 9】

前記第 1 のパターン形成されていない層が、段から段への接続を露出するように、後にパターン形成されうる、請求項 8 に記載のアセンブルされていないスタック I C デバイス。

30

【請求項 10】

前記第 1 のパターン形成されていない層が、段から段への接続を露出するように、後に除去されうる、請求項 8 に記載のアセンブルされていないスタック I C デバイス。

【請求項 11】

前記スタック I C デバイスの段を製造することと、

組立工場に移送する前に前記段の上にパターン形成されていない層を堆積させることであって、前記パターン形成されていない層は、E S D イベントから前記段を保護する、ことと

40

を含む、スタック I C デバイスを製造するための方法。

【請求項 12】

前記パターン形成されていない層を堆積させることは、絶縁層を堆積させることを含む、請求項 11 に記載の方法。

【請求項 13】

前記パターン形成されていない層を堆積させることは、二酸化ケイ素、窒化ケイ素、またはポリマーのうちの 1 つを堆積させることを含む、請求項 11 に記載の方法。

【請求項 14】

前記パターン形成されていない層を堆積させることは、導電層を堆積させることを含む

50

、請求項 11 に記載の方法。

【請求項 15】

前記パターン形成されていない層を堆積させることは、半導体の層を堆積させることを含む、請求項 11 に記載の方法。

【請求項 16】

スタック IC デバイスの段がスタック IC デバイ스에組み込まれるようにするために、ESD イベントから前記スタック IC デバイスの段を保護するパターン形成されていない層を変えることと、

前記スタック IC デバイスに、前記段を組み込むこととを含む、スタック IC デバイスを製造するための方法。

10

【請求項 17】

前記パターン形成されていない層を変えることは、絶縁体の層にパターン形成することを含む、請求項 16 に記載の方法。

【請求項 18】

前記パターン形成されていない層を変えることは、前記スタック IC デバイスの段から段への接続を露出するために前記パターン形成されていない層を除去することを含む、請求項 17 に記載の方法。

【請求項 19】

前記パターン形成されていない層を変えることは、前記スタック IC デバイスの段から段への接続を露出するために前記パターン形成されていない層にパターン形成することを含む、請求項 17 に記載の方法。

20

【請求項 20】

前記パターン形成されていない層を変えることは、半導体の層にパターン形成することを含む、請求項 16 に記載の方法。

【請求項 21】

前記パターン形成されていない層を変えることは、段から段への接続を作るために前記パターン形成されていない層にパターン形成することを含む、請求項 20 に記載の方法。

【請求項 22】

前記パターン形成されていない層を変えることは、導電体の層にパターン形成することを含む、請求項 16 に記載の方法。

30

【請求項 23】

前記パターン形成されていない層を変えることは、段から段への接続を作るために前記パターン形成されていない層にパターン形成することを含む、請求項 22 に記載の方法。

【請求項 24】

スタック IC デバイスをアセンブルする前に、ESD イベントからアセンブルされていないスタック IC デバイスを保護するための手段を含む、アセンブルされていないスタック IC デバイス。

【請求項 25】

前記スタック IC デバイスをアセンブルした後、前記保護するための手段は、第 1 の段を第 2 の段に接続するための手段を構成する、請求項 24 に記載のアセンブルされていないスタック IC デバイス。

40

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、概して、スタックされた集積回路 (ICs) に関する。より詳細には、本開示は、静電放電からスタック ICs を保護すること (shielding) に関する。

【背景技術】

【0002】

静電放電 (ESD : Electrostatic discharge) イベントは、日常生活の一般的な一部であり、より大きな放電の中には、人間の感覚によって検出可能なものもある。より小さ

50

な放電は、放電が起こる表面積に対する放電強度の比率が非常に小さいため、人間の感覚によって気づかれずにいる。

【 0 0 0 3 】

ICs は、過去数十年間にわたり、驚くほどのペースで縮小化されてきた。例として、ICs 中のトランジスタは、45nm まで縮小し、おそらく縮小し続けるであろう。トランジスタのサイズが縮小するにつれ、トランジスタ周辺の支持コンポーネントも同様に一般に縮小する。ICs の縮小は、表面積を減少させる。したがって、表面積に対する所与の放電強度の比率が、より小さいコンポーネントサイズで増加し、コンポーネントは、より広範囲の ESD イベントの影響を受けやすくなる。

【 0 0 0 4 】

ESD イベントは、第 1 の電荷の物体が、より低い第 2 の電荷の物体に接近または接触すると、起こる。その差が、単一のイベントとして放電される。2 つの物体がほぼ等しい電荷となるように、第 1 の物体から第 2 の物体への急激な電荷の移動が起こる。より低い電荷の物体が IC である場合、放電は、IC を通る最小抵抗経路を見つけようと試みる。典型的に、この経路は、相互接続を通して流れる。放電に関連づけられたエネルギーに耐えることのできない、この経路の任意の一部は、損傷を受ける。そのような損傷は、しばしばゲート酸化物において起こり、それは、概して、ICs において放電の影響を最も受けやすいリンクである。ゲート酸化物は、損傷すると、典型的には絶縁体から導電体变为るので、IC は、もはや所望されるように機能しない。ESD イベントによる別の損傷メカニズムは、デバイスにおけるショートを生み出すスルーシリコンビア (through silicon via) でのゲート酸化物の破断、または、デバイスにおける開路を生み出す相互接続での金属溶融を含む。

【 0 0 0 5 】

集積回路の製造が行われる製造現場は、製造中の集積回路での ESD を防止する手順を、十分に発達させ、実行してきた。たとえば、設計上の規則が、大きな電荷が製造中に蓄積しないことを保証するために、使用されている。慣例的に、ESD 保護構造は、基板にも組み入れられ、保護するデバイスに接続されている。これらの構造は、もしそうでなければ能動回路のために使用されるであろう、基板上のかなり多くの面積 (各 ESD バッファにつき数十乃至数百平方ミクロン) を消費する。しかしながら、ESD イベントは、IC の製造プロセス中にも起こりうる。IC におけるそのような損傷箇所を検出することは困難であり、そのような損傷が製造中に起こったという第 1 の徴候が現れるのは、典型的に、最終製品が望むように機能しないときである。結果として、膨大な量の時間と資源が、正常に機能しないデバイスの製造に費やされうる。

【 0 0 0 6 】

ICs の性能をさらに進歩させる 1 つの最近の発展は、集積回路をスタックして 3 - D 構造またはスタック IC を形成するようにしたことである。これは、複数のコンポーネントを、別の段の単一のチップに組み入れられるようにさせる。たとえば、メモリキャッシュは、マイクロプロセッサの一番上に組み入れられうる。結果として生じるスタック IC は、著しくより高密度のデバイス、および、著しくより複雑な製造方法を有する。スタック ICs における段から段への接続 (tier - to - tier connection) の密度が、100,000 / cm² を超えることが見込まれる。

【 0 0 0 7 】

スタック ICs では、製造者が、1 つの製造現場で、第 1 の IC 製造プロセスのセットを行い、第 2 の段についての第 2 の製造プロセスのセットを行う第 2 の製造現場へ、その IC の段を出荷する場合がある。そして、第 3 の現場が、スタック IC に段をアSEMBルする場合がある。集積回路の段が、製造現場の制御された環境を離れると、それらは、スタック IC 全体を無用なものにしうる可能性のある ESD イベントにさらされる。個々の段がスタック (すなわち、スタック IC を作るために、ともに結合) される前、段は、ESD イベントに対し特に弱い。

【 0 0 0 8 】

10

20

30

40

50

したがって、製造プロセス中に制御された環境の外へ移送される際、スタックされた集積回路の個々の段をＥＳＤイベントから保護する必要がある。

【発明の概要】

【０００９】

開示の一態様によると、アセンブルされていないスタックＩＣデバイスは、アセンブルされていない段（unassembled tier）を含む。アセンブルされていないスタックＩＣデバイスは、アセンブルされていない段の上に、第１のパターン形成されていない層をさらに含む。第１のパターン形成されていない層は、ＥＳＤイベントからアセンブルされていない段を保護する。

【００１０】

開示の別の態様によると、スタックＩＣデバイスを製造するための方法は、スタックＩＣデバイスの段を製造することを含む。この方法は、組み立て工場へ移送する前に、その段の上にパターン形成されていない層を堆積させることを、さらに含む。パターン形成されていない層は、ＥＳＤイベントから段を保護する。

【００１１】

開示のさらに別の態様によると、スタックＩＣデバイスを製造するための方法は、スタックＩＣデバイスの段をスタックＩＣデバイスに組み込まれるようにさせるために、ＥＳＤイベントからスタックＩＣデバイスの段を保護する、パターン形成されていない層を変えることを含む。この方法は、スタックＩＣデバイスに段を組み込むことをさらに含む。

【００１２】

開示のさらなる態様によると、アセンブルされていないスタックＩＣデバイスは、スタックＩＣデバイスをアセンブルする前に、ＥＳＤイベントからアセンブルされていないスタックＩＣデバイスを保護するための手段を含む。

【００１３】

前述したものは、以下の詳細な説明がよりよく理解されうるように、本開示の特徴および技術的利点をいくぶん広く述べている。開示される特許請求の主題を形成する追加の特徴および利点が、以下に説明される。開示される概念および特定の実施形態が、本開示と同一の目的を遂行するための他の構造を変更または設計するための基礎として、容易に利用されることが、当業者によって理解されるべきである。そのような等価の構造が、添付の特許請求の範囲に記載された開示の技術から逸脱しないということも、当業者によって認識されるべきである。さらなる目的および利点とともに、その構成および動作方法の両方について、開示の特徴であると確信される新規な特徴は、添付の図面と関連して考慮されると、以下の説明からよりよく理解されるであろう。しかしながら、図面の各々は、例示および説明のみの目的で提供され、本開示の限定の定義として意図されるものではないということが、明確に理解される。

【００１４】

本開示のより完全な理解のために、添付の図面とあわせて理解される以下の詳細な説明が、ここで参照される。

【図面の簡単な説明】

【００１５】

【図１】開示される実施形態が有利に用いられることができる例示的な無線通信システムを示すブロック図である。

【図２】回路ダイおよび回路を通るＥＳＤ経路を示すブロック図である。

【図３】ＥＳＤイベントによる損傷を防止するための従来の配列を示すブロック図である。

【図４】絶縁保護層を使用してＥＳＤイベントによる損傷を防止するための例示的な配列を示すブロック図である。

【図５】エッチング処理後の絶縁保護層を使用して、ＥＳＤイベントによる損傷を防止するための例示的な配列を示すブロック図である。

【図６】導電保護層を使用してＥＳＤイベントによる損傷を防止するための例示的な配列

10

20

30

40

50

を示すブロック図である。

【詳細な説明】

【0016】

図1は、開示の実施形態が有利に用いられうる例示的な無線通信システム100を示すブロック図である。例示のために、図1は、3つの遠隔ユニット120、130、および150と、2つの基地局140を示している。典型的な無線通信システムは、さらに多くの遠隔ユニットおよび基地局を有するということが認識されるであろう。遠隔ユニット120、130、および150は、ICデバイス125A、125B、および125Cを含み、それらは、ここに開示される回路を含む。ICを含む任意のデバイスは、基地局、スイッチングデバイス、およびネットワーク機器を含み、ここに開示される回路をさらに含みうるということが認識されるであろう。図1は、基地局140から遠隔ユニット120、130、および150へのフォワードリンク信号180と、遠隔ユニット120、130、および150から基地局140へのリバーシリンク信号190とを示す。

【0017】

図1において、遠隔ユニット120は、携帯電話として示され、遠隔ユニット130は、携帯用コンピュータとして示され、遠隔ユニット150は、無線ローカルループシステムにおける固定位置の遠隔ユニットとして示されている。たとえば、遠隔ユニットは、セル式電話、ハンドヘルド型のパーソナル通信システム（PCS）ユニット、携帯情報端末のような携帯データユニット、またはメーター示度機器のような固定位置のデータユニットであることができる。図1は、開示された教示による遠隔ユニットを示しているが、開示は、これらの例示的に示されたユニットに限定されるものではない。開示は、以下に説明するようなESD保護機構（ESD protection scheme）を含む任意のデバイスにおいて好適に用いられることができる。

【0018】

ここで図2を参照し、ICsにおける1つのESDの課題が説明される。図2は、回路ダイ、および回路を通るESD経路を示すブロック図である。デバイス20は、能動面210を有する基板21を含む。能動面210には、電界効果トランジスタ（FETs：field effect transistor）のPNP接合を作るのに使用されるドープ処理された領域212がある。能動面210の表面に構築されているのは、特定の集積回路の生産用の設計によって特定される多数の層である。たとえば、接触層220は、中間層224に結合されうる相互接続222に結合されうる。中間層224は、段から段への接続228に結合されうる相互接続226に結合されうる。さらに、スルーシリコンビア（TSV：through silicon via）214が示されているが、これは、接触層220に結合されうる。

【0019】

ウェーハの取り扱いおよび処理中に、デバイス20よりも相対的に高い電荷のESDソース23が、基板21に接近または接触する場合がある。たとえば、ESDソース23が、段から段への接続228のような露出した接続と接触する場合がある。露出した接続との接近または接触により、ESDソース23は、平衡状態に達するようにデバイス20に放電する。電流フロー24が、完全な回路を作るように形成される。電流フロー24は、デバイス20を通る最小抵抗経路に沿う。この例において、この経路は、段から段への接続228、相互接続226、中間層224、相互接続222、および接触層220を通りうる。そして、電流フロー24は、基板21を通してスルーシリコンビア214へ、さらに、接触層220、相互接続222、中間層224、相互接続226、および段から段への接続228を通して流れ、ESDソース23との閉路を作る。電流フロー24の経路にあるものは何でも、先に説明されたメカニズムによって、デバイス20の故障を生じうる損傷を被る可能性がありうる。

【0020】

ここで図3を参照し、ESDイベントによる損傷を防止するための従来の手段が考察される。説明のために、デバイス30は、デバイス20と同様の回路構成を有する。静電放電による損傷の防止は、接続312によって能動回路に接続されたESDデバイス310

によって達成される。ESDデバイスは、たとえば、順方向バイアス保護 (forward bias protection) のためのダイオード、および、逆バイアス保護 (reverse bias protection) のための追加のダイオードでありうる。静電放電イベントが起こり、デバイス30を通じて電流が送られると、ESDデバイスは、感度のよいコンポーネントからESDデバイス310に向けて電流を分流する最小抵抗経路を作り出す。デバイス30において、ESDイベントによる損傷は減少するが、さもないければ能動回路のために使用されるであろう面積を消費するという犠牲を払うことになる。さらに、ESDデバイス310は、デバイスの動作中、漏出電流によってパワーを消費する。バッテリーのパワーによって動作する通信デバイスにおいて、このパワー消費は、デバイスの動作を短くする。さらに、ESDデバイス310は、デバイス30のコンポーネントの寄生的な負荷 (parasitic load) となる。

10

【0021】

本開示の態様によると、デバイスとそのコンポーネントは、デバイスに薄膜コーティングを堆積 (deposit) させることによって、制御された環境外であっても、製造プロセス中にESD損傷から保護される。このコーティングは、絶縁体 (ケイ素酸化物、窒化ケイ素、またはポリマー、等)、半導体 (ケイ素、等)、または金属 (銅、等) であることができる。金属または半導体のコーティングは、ESDイベントによって生じる電流フローのために相対的に低抵抗の経路を供給することによって、電流が保護層の下の感度のよいコンポーネントに損傷を与えることを防止する。あるいは、絶縁体コーティングが、ESDイベントによる電流フローが保護層の下のコンポーネントを通ることを防止する。コーティングのいくつかの実施形態がさらに詳細に説明される。

20

【0022】

1つの実施形態によると、絶縁保護層が、ESDイベントからデバイスを保護するために使用される。絶縁保護層に使用されうるいくつかの材料は、ケイ素酸化物、窒化ケイ素、ポリマー、フォトレジスト、またはスピノンガラス (SOGs: spin on glasses) を含む。保護層の厚さは、回路設計および製造プロセスに基づいて異なりうる。1つの実施形態によると、層の厚さは、100乃至50000オングストロームである。追加のESD防止が所望される場合、厚さは増加しうる。より厚い絶縁層は、破損を経験し、かつ、ESDソースからデバイスへの電流フローを許すまでに、より大きな電位差に耐えることができる。ESD防止が十分であり、より迅速な製造プロセスが所望される場合、層はより薄くてもよい。より薄い絶縁層は、将来の処理において、より容易かつ迅速に除去またはパターン形成される。1つの実施形態において、層は、移送に機械的に耐えるのに十分な厚さである。

30

【0023】

ここで図4を参照し、絶縁保護層の保護性能が説明される。図4は、絶縁保護層を使用してESDイベントによる損傷を防止するための例示的な配列を示すブロック図である。説明のために、デバイス40は、デバイス20と同様の構成を有する。段から段への接続428の製造が完了した後、酸化物の層430が、デバイス40に堆積させられる。酸化物の層430は、パターン形成されておらず、連続する材料層のままである。

【0024】

絶縁保護層が堆積させられ、デバイスが第2の制御された環境 (たとえば、検査および組み立て工場) に移送された後、絶縁保護層は、スタックICのアセンブリの前に除去されうる。1つの実施形態によると、層は、ウェットまたはドライエッチングといった利用可能な方法を使用して取り除かれうる (stripped)。別の実施形態によると、保護層は、接触 (contact) が、絶縁保護層の下の段から段への接続に対して行われうるように、パターン形成されることもできる。絶縁保護層における開口部は、エッチングされ、下の段から段への接続を出現させる。そして、金属接触が、エッチングされた開口部に堆積させることができる。これらのエッチングされた開口部が、ここでさらに詳細に説明される。

40

【0025】

50

図5は、エッチング処理後の絶縁保護層を使用してESDイベントによる損傷を防止するための例示的な配列を示すブロック図である。説明のために、デバイス50は、デバイス40と同様の構成を有する。開口部510は、酸化物の層430にエッチングされる。段から段への接続428への接触は、追加の段を段50の上にスタックされるようにさせる開口部510を通して行われうる。

【0026】

別の実施形態によると、金属の保護層または半導体の保護層が、制御された環境外で、ESDイベントからデバイスを保護しうる。そのような配列において、最終接続層は、パターン形成されないままであり、パターン形成されていない金属層がデバイスの表面上に残る結果となる。層は、パターン形成されないままなので、ESDイベントにより生じる任意の電流は、ICを通らずに保護層を通して進む。最終接続は、第2の製造現場に移送された後に、保護金属層からパターン形成される。金属は、デバイスの設計によって、たとえば、銅またはアルミニウムであることができる。1つの実施形態では、ポリシリコン等の半導体材料が使用される。保護層の厚さは、移送に機械的に耐え、かつ、ESDソースから見込まれる電流密度に電氣的に耐えるのに十分な厚さであるべきである。

【0027】

ここで図6を参照し、導電保護層の保護性能が説明される。図6は、導電保護層を使用してESDイベントによる損傷を防止するための例示的な配列を示すブロック図である。説明のために、デバイス60は、デバイス20と同様の構成を有する。この例では、段から段への接続428は、製造されていない。その代わりに、保護金属層610が、デバイス60の表面上に残っている。デバイス60がESDソース62に接触すると、電流フロー63が、形成され、電流をESDソース62からデバイス60へ流れるようにさせる。保護金属層610が、最小抵抗経路であり、電流フロー63は、保護金属層610全体を通る。このようにして、保護金属層610の下のコポーネントへの損傷は減少する。

【0028】

金属保護層の場合、付加的なコストまたは手順が、製造プロセスに追加されることはない。典型的にはパターン形成されて相互接続を形成する金属層が、パターン形成されないままなので、連続する金属層が、ダイの表面上に残る。この金属層は、ダイが別の製造施設に到達し、その際に層が相互接続にパターン形成されるまで、保護層としての役割を果たす。絶縁保護層の場合、付加的な手順および層が遂行される。しかしながら、これらの層の付加的なコストは、ケイ素でESDデバイスを製造しないことから得られる節約、およびケイ素の占有面積における節約によって、相殺される。

【0029】

特定の回路が説明されたが、開示された回路のすべてが、開示を実現するために必要とされるわけではないということが当業者に理解されうる。さらに、開示に焦点を当て続けるために、特定の周知の回路は説明されていない。

【0030】

本開示およびその利点が詳細に説明されたが、さまざまな変更、代用、および代替が、添付の特許請求の範囲によって定義された開示技術から逸脱することなく、ここに行われることが可能であるということが理解されるべきである。さらに、本願の範囲は、明細書で説明された、プロセス、機械、製造、物の組成、手段、方法、およびステップの特定の実施形態に限定されることを意図しない。当業者が本開示から容易に理解するように、ここで説明された対応する実施形態と、実質的に同一の機能を実行する、または、実質的に同一の結果を達成する、現在すでに存在する、または後に開発される、プロセス、機械、製造、物の組成、手段、方法、またはステップが、本開示によって利用されうる。このように、添付の特許請求の範囲は、そのようなプロセス、機械、製造、物の組成、手段、方法、またはステップを、その範囲内に含むことが意図される。

【 図 1 】

図 1

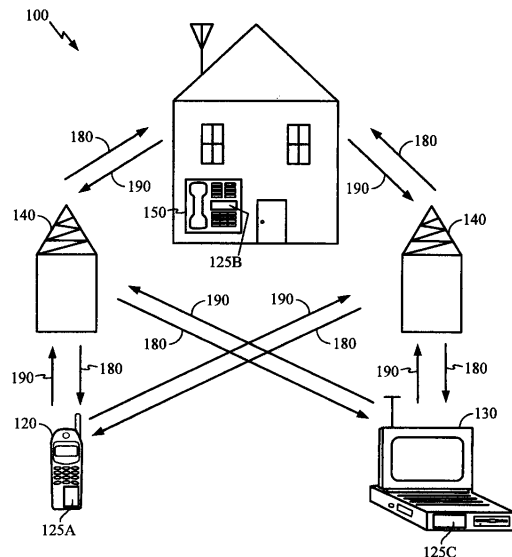


FIG. 1

【 図 2 】

図 2

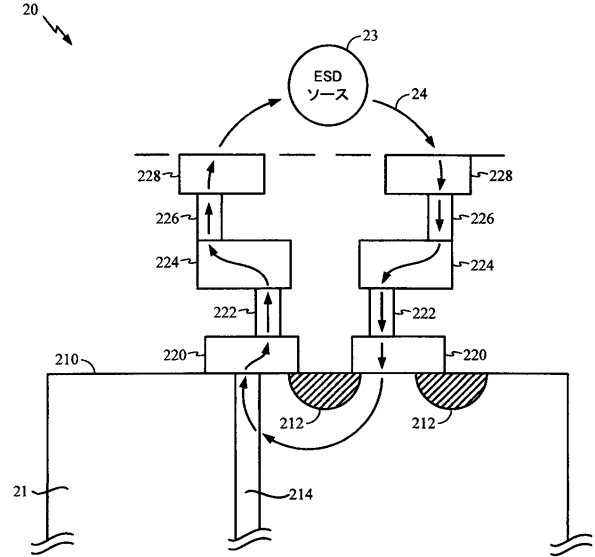


FIG. 2

【 図 3 】

図 3

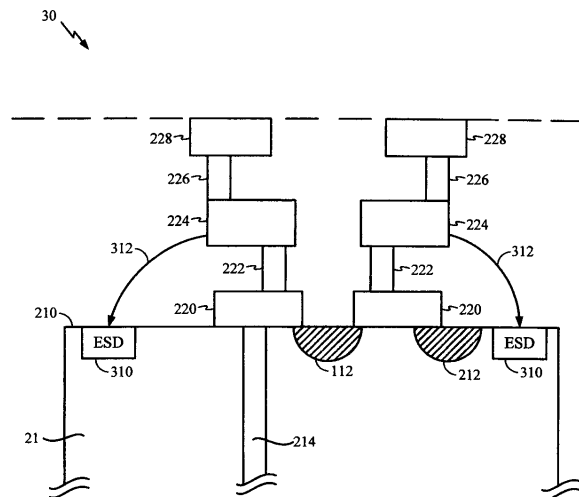


FIG. 3

【 図 4 】

図 4

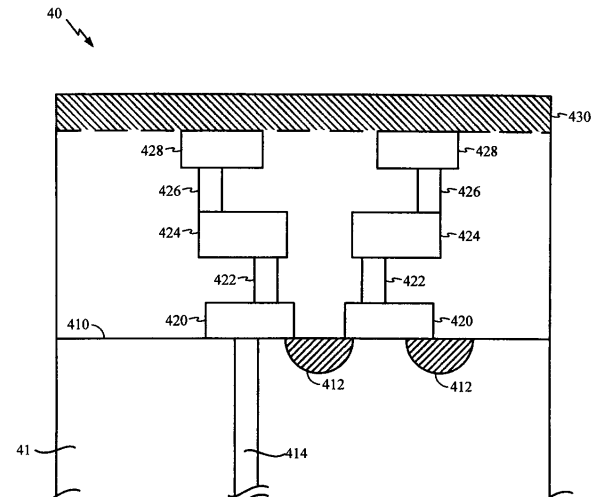


FIG. 4

【図 5】

図 5

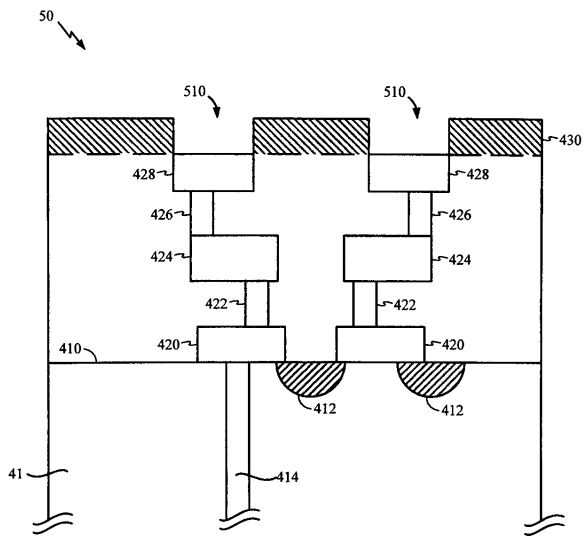


FIG. 5

【図 6】

図 6

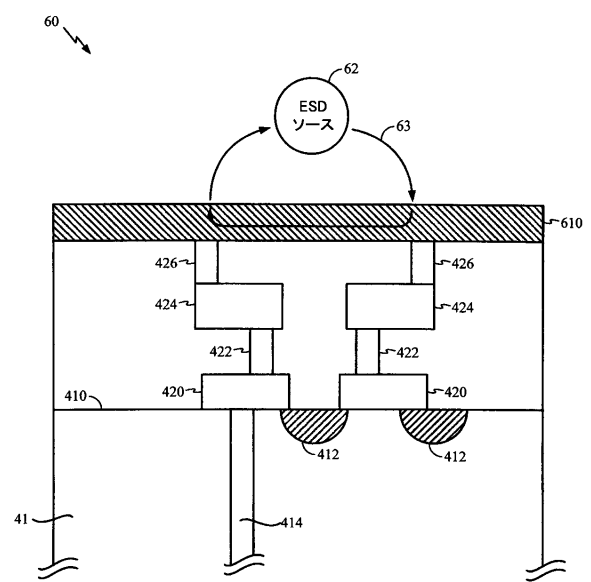


FIG. 6

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2009/060764

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L25/065 H01L23/60		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 448 095 A (HENNESSY JAMES M [US] ET AL) 5 September 1995 (1995-09-05) column 1, line 11 column 1, line 37 - column 2, line 36; figures 1-5	1-5, 8-14, 16-19, 22-25
X	US 4 883 543 A (GOSSEN JR RICHARD N [US] ET AL) 28 November 1989 (1989-11-28) column 1, line 56 - column 2, line 2; figures 3d,4d column 3, line 21 - column 5, line 28 ----- -/--	1,6-8, 11-13, 15-17, 20,21,24
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "G" document member of the same patent family		
Date of the actual completion of the international search 18 January 2010		Date of mailing of the international search report 01/02/2010
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Gospodinova, M

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2009/060764

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2004/121571 A1 (UCHIKOSHI KEN [JP] ET AL) 24 June 2004 (2004-06-24) paragraph [0085]; figure 14 paragraph [0080]	1, 8-13, 16-19, 24
X	WO 99/46820 A (ORYX TECHN CORP [US]) 16 September 1999 (1999-09-16) page 6, line 25 - page 8, line 9; figures 5, 6	1, 11-13, 16-19, 24
A	WO 2008/057837 A (INTEL CORP [US]; HE JÜN [US]; LEE KEVIN J [US]; GADRE KAUSTUBH S [US];) 15 May 2008 (2008-05-15) paragraph [0024]; figure 2	11-15
A	US 5 587 341 A (MASAYUKI WATANABE [JP] ET AL) 24 December 1996 (1996-12-24) figures 4, 5, 9, 10	1-25
A	US 2001/008794 A1 (AKAGAWA MASATOSHI [JP]) 19 July 2001 (2001-07-19) figures 1A-1D, 2, 4A-4C	1-25

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2009/060764

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5448095	A	05-09-1995	NONE	
US 4883543	A	28-11-1989	NONE	
US 2004121571	A1	24-06-2004	JP 2004193491 A US 2008277794 A1 US 2010007024 A1 US 2007066050 A1	08-07-2004 13-11-2008 14-01-2010 22-03-2007
WO 9946820	A	16-09-1999	AU 3077599 A EP 1062688 A1 JP 2002507062 T US 6130459 A US 6433394 B1	27-09-1999 27-12-2000 05-03-2002 10-10-2000 13-08-2002
WO 2008057837	A	15-05-2008	CN 101536173 A DE 112007002587 T5 KR 20090086547 A US 2008122078 A1	16-09-2009 10-09-2009 13-08-2009 29-05-2008
US 5587341	A	24-12-1996	NONE	
US 2001008794	A1	19-07-2001	JP 4251421 B2 JP 2001196525 A	08-04-2009 19-07-2001

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74)代理人 100109830

弁理士 福原 淑弘

(74)代理人 100075672

弁理士 峰 隆司

(74)代理人 100095441

弁理士 白根 俊郎

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100103034

弁理士 野河 信久

(74)代理人 100119976

弁理士 幸長 保次郎

(74)代理人 100153051

弁理士 河野 直樹

(74)代理人 100140176

弁理士 砂川 克

(74)代理人 100158805

弁理士 井関 守三

(74)代理人 100124394

弁理士 佐藤 立志

(74)代理人 100112807

弁理士 岡田 貴志

(74)代理人 100111073

弁理士 堀内 美保子

(74)代理人 100134290

弁理士 竹内 将訓

(72)発明者 トムズ、トマス・アール・

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者 ジャリリゼイナリ、レザ

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者 グ、シチン

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5