

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月3日(03.09.2020)



(10) 国際公開番号

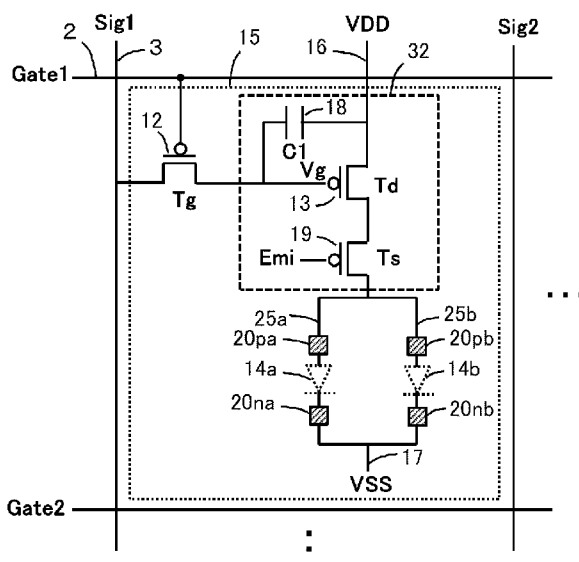
WO 2020/174879 A1

- (51) 国際特許分類:
H05B 33/12 (2006.01) *H01L 33/62* (2010.01)
H01L 51/50 (2006.01) *G09F 9/00* (2006.01)
H05B 33/14 (2006.01) *G09F 9/30* (2006.01)
G09G 3/20 (2006.01) *G09F 9/33* (2006.01)
G09G 3/32 (2016.01) *H01L 27/32* (2006.01)
H01L 33/00 (2010.01)
- (71) 出願人: 京セラ株式会社 (KYOCERA CORPORATION) [JP/JP]; 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 Kyoto (JP).
- (72) 発明者: 横山 良一 (YOKOYAMA, Ryoichi); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP). 鈴木 隆信 (SUZUKI, Takanobu); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP).
- (74) 代理人: 西教 圭一郎 (SAIKYO, Keiichiro); 〒5410052 大阪府大阪市中央区安土町1丁目8番15号 野村不動産大阪ビル9階 西教特許事務所 Osaka (JP).
- (21) 国際出願番号: PCT/JP2020/000091
- (22) 国際出願日: 2020年1月6日(06.01.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
 特願 2019-032738 2019年2月26日(26.02.2019) JP
 特願 2019-092002 2019年5月15日(15.05.2019) JP

(54) Title: LIGHT EMISSION ELEMENT SUBSTRATE, DISPLAY DEVICE, AND METHOD OF REPAIRING DISPLAY DEVICE

(54) 発明の名称: 発光素子基板、表示装置および表示装置のリペア方法

FIG. 1



(57) Abstract: This light emission element substrate comprises: a substrate (1) having a mounting surface (1a) on which a first light emission element (14a) and a second light emission element (14b) are mounted; and a pixel unit (15) that is disposed on the mounting surface (1a) side and includes a driving circuit (32) and a first driving line (25a) and a second driving line (25b) connected in parallel to the driving circuit (32). The first driving line (25a) is a normal driving line, the second driving line (25b) is a redundant drive line, and a first positive electrode pad (20pa) and a first negative electrode pad (20na)



WO 2020/174879 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

pad (20na) connected to the first light emission element (14a) are arranged on the mounting surface (1a) side. One among the first positive electrode pad (20pa) and the first negative electrode pad (20na) is connected to the first driving line (25a), and the second positive electrode pad (20pb) and the second negative electrode pad (20nb) connected to the second light emission element (14b) are arranged on the mounting surface (1a) side. One among the second positive electrode pad (20pb) and the second negative electrode pad (20nb) is connected to the second driving line (25b).

(57) 要約 : 発光素子基板は、第1発光素子 (14 a) と第2発光素子 (14 b) が搭載される搭載面 (1 a) を有する基板 (1) と、搭載面 (1 a) の側に配置され、駆動回路 (3 2) とそれに並列接続された第1駆動線 (25 a) と第2駆動線 (25 b) を含む画素部 (15) と、を備える。第1駆動線 (25 a) は常時駆動線、第2駆動線 (25 b) は冗長駆動線であり、搭載面 (1 a) の側に第1発光素子 (14 a) に接続される第1正電極パッド (20 p a) と第1負電極パッド (20 n a) が配置される。第1正電極パッド (20 p a) と第1負電極パッド (20 n a) の一方が第1駆動線 (25 a) に接続されており、搭載面 (1 a) の側に第2発光素子 (14 b) に接続される第2正電極パッド (20 p b) と第2負電極パッド (20 n b) が配置される。第2正電極パッド (20 p b) と第2負電極パッド (20 n b) の一方が第2駆動線 (25 b) に接続されている。

明 細 書

発明の名称：

発光素子基板、表示装置および表示装置のリペア方法

技術分野

[0001] 本開示は、マイクロLED (Light Emitting Diode) 素子等の発光素子を備える発光素子基板、それを用いた表示装置および表示装置のリペア方法に関する。

背景技術

[0002] 従来、マイクロLED素子等の発光素子を備える発光素子基板、及びその発光素子基板を用いた、バックライト装置が不要な自発光型の表示装置が知られている。そのような表示装置は、例えば特許文献1に記載されている。この従来技術の表示装置は、ガラス基板と、ガラス基板上の所定の方向（例えば、行方向）に配置された走査信号線と、走査信号線と交差させて所定の方向と交差する方向（例えば、列方向）に配置された発光制御信号線と、走査信号線と発光制御信号線によって区分けされた画素部の複数から構成された有効領域（画素領域）と、絶縁層上に配置された複数の発光素子と、を有する構成である。走査信号線及び発光制御信号線は、ガラス基板の側面に配置された側面配線を介してガラス基板の裏面にある裏面配線に接続される。裏面配線は、ガラス基板の裏面に設置されたIC、LSI等の駆動素子に接続される。即ち、表示装置はガラス基板の裏面にある駆動素子によって表示が駆動制御される。駆動素子は、例えば、ガラス基板の裏面側にCOG (Chip On Glass) 方式等の手段によって搭載される。

[0003] それぞれの画素部には、発光領域にある発光素子の発光、非発光、発光強度等を制御するための発光制御部が配置されている。発光制御部は、発光素子のそれぞれに駆動信号を入力するためのスイッチとしての薄膜トランジスタ (Thin Film Transistor: TFT) と、発光制御信号（発光制御信号線を伝達する信号）のレベル（電圧）に応じた、正電圧（アノード電圧：3～

5 V程度)と負電圧(カソード電圧: -3 V~0 V程度)の電位差(駆動信号)から発光素子を電流駆動するための駆動素子としてのTFTと、を含む。TFTのゲート電極とソース電極とを接続する接続線上には容量素子が配置されており、容量素子はTFTのゲート電極に入力された発光制御信号の電圧を次の書き換えまでの期間(1フレームの期間)保持する保持容量として機能する。

[0004] 発光素子は、有効領域に配設された絶縁層を貫通するスルーホール等の貫通導体を介して、発光制御部、正電圧入力線、負電圧入力線に電氣的に接続されている。即ち、発光素子の正電極は、貫通導体及び発光制御部を介して正電圧入力線に接続されており、発光素子の負電極は、貫通導体を介して負電圧入力線に接続されている。

[0005] また表示装置は、平面視において、有効領域とガラス基板の端との間に表示に寄与しない額縁部があり、この額縁部に発光制御信号線駆動回路、走査信号線駆動回路等が配置される場合がある。この額縁部の幅はできるだけ小さくすることが要望されている。

先行技術文献

特許文献

[0006] 特許文献1: 特開2008-65200号公報

発明の概要

[0007] 本開示の発光素子基板は、第1発光素子および第2発光素子が搭載される搭載面を有する基板と、前記搭載面の側に配置され、駆動回路と前記駆動回路に並列接続された第1駆動線および第2駆動線を含む画素部と、を備える発光素子基板であって、前記第1駆動線は常時駆動線、前記第2駆動線は冗長駆動線であり、前記搭載面の側に前記第1発光素子に接続される第1正電極パッドおよび第1負電極パッドが配置されるとともに、前記第1正電極パッドおよび前記第1負電極パッドの一方が前記第1駆動線に接続されており、前記搭載面の側に前記第2発光素子に接続される第2正電極パッドおよび第2負電極パッドが配置されるとともに、前記第2正電極パッドおよび前記

第2負電極パッドの一方が前記第2駆動線に接続されている構成である。

[0008] 本開示の発光素子基板は、第1発光素子および第2発光素子が搭載される搭載面を有する基板と、前記搭載面の側に配置され、駆動回路と前記駆動回路に並列接続された第1駆動線および第2駆動線を含む画素部と、を備える発光素子基板であって、前記第1駆動線は前記第1発光素子を常時駆動する常時駆動線であり、前記第2駆動線は前記第2発光素子を冗長駆動する冗長駆動線であり、前記第1駆動線および前記第2駆動線の一方を導通状態とし他方を非導通状態とする切替部と、前記切替部を制御する切替制御部と、を備えている構成である。

[0009] 本開示の表示装置は、上記本開示の発光素子基板を備える表示装置であって、前記基板は、前記搭載面と反対側の反対面と側面とを有しており、前記発光素子基板は、前記側面に配置された側面配線と、前記反対面の側に配置された駆動部と、を有しており、前記第1発光素子および前記第2発光素子は、前記側面配線を介して前記駆動部に接続されている構成である。

[0010] 本開示の表示装置のリペア方法は、上記本開示の表示装置のリペア方法であって、前記基板の前記搭載面に搭載された前記第1発光素子を常時駆動し、次に、前記第1発光素子の電流異常または発光異常を検知したときに、前記搭載面に前記第2発光素子を搭載するとともに、前記第1駆動線を非駆動状態とし、前記第2駆動線を駆動状態とする構成である。

図面の簡単な説明

[0011] 本発明の目的、特色、および利点は、下記の詳細な説明と図面とからより明確になるであろう。

[図1]本開示の発光素子基板について実施の形態の1例を示すものであり、画素部の回路図である。

[図2]本開示の発光素子基板について実施の形態の他例を示すものであり、画素部の回路図である。

[図3]本開示の発光素子基板について実施の形態の他例を示すものであり、画素部の回路図である。

[図4A]本開示の発光素子基板について実施の形態の他例を示す画素部の回路図である。

[図4B]図4Aの画素部における切替制御部の具体例の回路図である。

[図5A]本開示の発光素子基板について実施の形態の他例を示す画素部の回路図である。

[図5B]本開示の発光素子基板について実施の形態の他例を示す画素部の回路図である。

[図6A]本開示の発光素子基板について実施の形態の他例を示す画素部の回路図である。

[図6B]本開示の発光素子基板について実施の形態の他例を示す画素部の回路図である。

[図7A]本開示の発光素子基板について実施の形態の他例を示すものであり、第1発光素子の異常電流を検知するのに用いる電圧－電流相関データのグラフである。

[図7B]本開示の発光素子基板について実施の形態の他例を示すものであり、第1発光素子の異常発光を検知するのに用いる電圧－発光相関データのグラフである。

[図8]本開示の発光素子基板について実施の形態の他例を示すものであり、発光素子基板の反対面に配置された駆動部および裏面配線の平面図である。

[図9]従来の表示装置の1例を示す基本構成のブロック回路図である。

[図10A]図9のA1－A2線における断面図である。

[図10B]図9における1つの画素部の拡大平面図である。

[図11A]従来の表示装置の画素部の構成を示すものであり、一つの発光素子を備える画素部の回路図である。

[図11B]従来の表示装置の画素部の構成を示すものであり、冗長構造の発光素子を備える画素部の回路図である。

[図12]本開示の発光素子基板について実施の形態の他例を示すものであり、画素部の回路図である。

[図13A]図12の発光素子基板に備わった切替制御部としてのスタティックメモリ回路の例を示す回路図である。

[図13B]図12の発光素子基板に備わった切替制御部としてのスタティックメモリ回路の例を示す回路図である。

[図14A]本開示の発光素子基板について実施の形態の他例を示すものであり、1つの行の行方向に配列された複数の画素部に対応して1つのスタティックメモリ回路が備わった構成の回路図である。

[図14B]本開示の発光素子基板について実施の形態の他例を示すものであり、1つの行の行方向に配列された複数の画素部に対応して1つのスタティックメモリ回路が備わった構成の回路図である。

[図15]本開示の発光素子基板について実施の形態の他例を示すものであり、1つの行の行方向に配列された複数の画素部に対応して1つのスタティックメモリ回路が備わった構成の回路図である。

[図16A]本開示の発光素子基板について実施の形態の他例を示すものであり、1つの列の列方向に配列された複数の画素部に対応して1つのスタティックメモリ回路が備わった構成の回路図である。

[図16B]本開示の発光素子基板について実施の形態の他例を示すものであり、1つの列の列方向に配列された複数の画素部に対応して1つのスタティックメモリ回路が備わった構成の回路図である。

[図17]本開示の発光素子基板について実施の形態の他例を示すものであり、1つの列の列方向に配列された複数の画素部に対応して1つのスタティックメモリ回路が備わった構成の回路図である。

発明を実施するための形態

[0012] 本発明の目的、特色、および利点は、下記の詳細な説明と図面とからより明確になるであろう。

[0013] まず、図9～図11Bを参照して、本開示の表示装置が基礎とする構成について説明する。本開示の表示装置が基礎とする表示装置は、マイクロLED素子等の発光素子を備える発光素子基板、及びその発光素子基板を用いた

、バックライト装置が不要な自発光型の表示装置であって、そのような表示装置の基本構成のブロック回路図を図9に示す。また、図9のA1-A2線における断面図を図10Aに示す。

[0014] 本開示の表示装置が基礎とする構成の表示装置は、ガラス基板1と、ガラス基板1上の所定の方向（例えば、行方向）に配置された走査信号線2と、走査信号線2と交差させて所定の方向と交差する方向（例えば、列方向）に配置された発光制御信号線3と、走査信号線2と発光制御信号線3によって区分けされた画素部（ P_{mn} ）15の複数から構成された有効領域（画素領域）11と、絶縁層上に配置された複数の発光素子14と、を有する構成である。

[0015] 走査信号線2及び発光制御信号線3は、ガラス基板1の側面1S（図10に示す）に配置された側面配線30（図10Bに示す）を介してガラス基板1の裏面にある裏面配線9に接続される。裏面配線9は、ガラス基板1の裏面に設置されたIC、LSI等の駆動素子6に接続される。即ち、表示装置はガラス基板1の裏面にある駆動素子6によって表示が駆動制御される。駆動素子6は、例えば、ガラス基板1の裏面側にCOG（Chip On Glass）方式等の手段によって搭載される。

[0016] それぞれの画素部（ P_{mn} ）15には、発光領域（ L_{mn} ）にある発光素子（ LD_{mn} ）14の発光、非発光、発光強度等を制御するための発光制御部22が配置されている。発光制御部22は、発光素子14のそれぞれに駆動信号を入力するためのスイッチとしての薄膜トランジスタ（Thin Film Transistor：TFT）12（図10Bに示す）と、発光制御信号（発光制御信号線3を伝達する信号）のレベル（電圧）に応じた、正電圧（アノード電圧：3～5V程度）と負電圧（カソード電圧：-3V～0V程度）の電位差（駆動信号）から発光素子14を電流駆動するための駆動素子としてのTFT13（図10Bに示す）と、を含む。TFT13のゲート電極とソース電極とを接続する接続線上には容量素子が配置されており、容量素子はTFT13のゲート電極に入力された発光制御信号の電圧を次の書き換えまでの期間

(1フレームの期間)保持する保持容量として機能する。

[0017] 発光素子14は、有効領域11に配設された絶縁層41(図10Aに示す)を貫通するスルーホール等の貫通導体23a, 23bを介して、発光制御部22、正電圧入力線16、負電圧入力線17に電氣的に接続されている。即ち、発光素子14の正電極は、貫通導体23a及び発光制御部22を介して正電圧入力線16に接続されており、発光素子14の負電極は、貫通導体23bを介して負電圧入力線17に接続されている。

[0018] また表示装置は、平面視において、有効領域11とガラス基板1の端との間に表示に寄与しない額縁部1gがあり、この額縁部1gに発光制御信号線駆動回路、走査信号線駆動回路等が配置される場合がある。この額縁部1gの幅はできるだけ小さくすることが要望されている。

[0019] 図11Aおよび図11Bは、従来の発光素子基板において発光制御部としての駆動回路32を備えた画素部15の回路図である。駆動回路32の前段にはスイッチとしてのpチャネルTFT(Tg)12が配置されており、TFT12は走査信号線(Gate1)2から伝送されたオン信号(L(Low)信号: -3~0V)がpチャネルTFT12のゲート電極に入力されることによって、pチャネルTFT12のチャンネルが導通状態となるオン状態となり、発光制御信号線(Sig1)3から伝送された発光制御信号(L(Low)信号: Vg)が駆動回路32に入力される。

[0020] 発光制御信号(L信号: Vg)は、駆動回路32の駆動素子としてのpチャネルTFT(Td)13のゲート電極に入力されることによって、pチャネルTFT13のチャンネルが導通状態となるオン状態となり、駆動信号(VDD: 3V~5V程度)が、駆動線25を介して発光素子14に入力され発光する。発光制御信号(Vg)のレベル(電圧)を制御することにより、発光素子14の発光強度(輝度)を制御することができる。

[0021] なお、図11Aにおいて、pチャネルTFT13のゲート電極とソース電極とを接続する接続線上には保持容量としての容量素子(C1)18が配置されている。また、pチャネルTFT13と発光素子14との間の駆動線2

5上には、発光素子14の発光(Emission)、非発光(Non-Emission)を制御するpチャネルTF T(Ts)19が配置されており、pチャネルTF T(Ts)19のゲート電極に発光/非発光制御信号(L信号:Emi)が入力されることによって、pチャネルTF T19のチャンネルが導通状態となるオン状態となり、駆動信号(VDD)が駆動線25を介して発光素子14に入力され発光する。発光素子14は、駆動線25上に配置された正電極パッド20pおよび負電極パッド20nに、ハンダ、厚膜型導電層等の導電性接続部材を介して接続される。

[0022] 図11Bは、他の従来例を示すものであり、画素部15の回路図である。発光素子は、アノード及びカソードになる一对の電極と、その間に保持された発光層とからなる二端子型の薄膜素子(有機エレクトルルミネッセンス(EL)素子)であり、一对の電極のうち少なくとも片方を複数個に分割することで、発光素子が複数のサブ発光素子(EL1)24a、(EL2)24bに分割され、複数のサブ発光素子24a、24bは、駆動素子13から駆動電流の供給を受け、全体として映像信号に応じた輝度で発光する。一つのサブ発光素子24aに短絡欠陥がある場合、これを画素部15から切り離して、駆動電流を残りのサブ発光素子24bに供給し、以って残りのサブ発光素子24bで映像信号に応じた輝度の発光を維持可能にしたアクティブマトリクス表示装置である。

[0023] 図11Aおよび図11Bに示す発光素子基板において、図11Aの構成の場合、多数(数100個~数100万個程度)の発光素子のそれぞれを、正電極パッド20pおよび負電極パッド20nにハンダ等を介して導電接続したときに、一部の発光素子において接続不良が発生した場合、駆動信号が十分に入力されないために発光強度が低下して所望の発光強度が得られなかったり、駆動信号が入力されないために発光(点灯)しない場合が生じ得る。また、多数の発光素子の中に元々不良品があった場合、また使用中に発光素子の発光層の劣化、破損等が生じて不良品となった場合にも、同様の課題が生じ得る。

[0024] このような課題を解消するために、図 1 1 B の冗長的な構成が提案されている。しかしながら、発光素子が基板上に薄膜で積層形成された薄膜素子（EL 素子）であり、一对の電極のうち少なくとも片方を複数個に分割することによって複数のサブ発光素子 2 4 a, 2 4 b に分割し、一つのサブ発光素子 2 4 a に短絡欠陥がある場合、これを画素部 1 5 から切り離して、駆動電流を残りのサブ発光素子 2 4 b に供給し、残りのサブ発光素子 2 4 b で映像信号に応じた輝度の発光を維持していることから、元々の映像信号を残りの一つのサブ発光素子 2 4 b に入力することとなる。そのため、例えば 2 つのサブ発光素子 2 4 a, 2 4 b 分の映像信号が、一つのサブ発光素子 2 4 b に入力されるために、サブ発光素子 2 4 b に過大な駆動電流が流れ、サブ発光素子 2 4 b が経時的に劣化し寿命が短くなりやすいという問題点があった。また、この問題点を解消するために一つのサブ発光素子 2 4 b に入力する映像信号の電圧を下げると、サブ発光素子 2 4 b の発光強度が低下し十分な発光強度が得られない。

[0025] 以下、本開示の発光素子基板、表示装置および表示装置のリペア方法の実施の形態について、図面を参照しながら説明する。但し、以下で参照する各図は、本実施の形態の発光素子基板、表示装置および表示装置のリペア方法の主要な構成部材等を示している。従って、本実施の形態の発光素子基板、表示装置および表示装置のリペア方法は、図に示されていない回路基板、配線部材、制御 IC, LSI、筐体等の周知の構成部材を備えていてもよい。また、本実施の形態を示す各図において、従来例を示す図 8 ~ 図 1 1 A、図 1 1 B と同じ部位には同じ符号を付しており、それらの詳細な説明は省く。

[0026] 図 1 ~ 図 7 A, 図 7 B は本実施の形態の発光素子基板を示すものである。図 1 に示すように、発光素子基板は、第 1 発光素子 1 4 a および第 2 発光素子 1 4 b が搭載される搭載面 1 a（図 1 0 A および図 1 0 B に示す）を有する基板 1 と、搭載面 1 a の側に配置され、駆動回路 3 2 と駆動回路 3 2 に並列接続された第 1 駆動線 2 5 a および第 2 駆動線 2 5 b を含む画素部 1 5 と、を備える発光素子基板であって、第 1 駆動線 2 5 a は常時駆動線、第 2 駆

動線 25 b は冗長駆動線であり、搭載面 1 a の側に第 1 発光素子 14 a に接続される第 1 正電極パッド 20 p a および第 1 負電極パッド 20 n a が配置されるとともに、第 1 正電極パッド 20 p a および第 1 負電極パッド 20 n a の一方が第 1 駆動線 25 a に接続されており、搭載面 1 a の側に第 2 発光素子 14 b に接続される第 2 正電極パッド 20 p b および第 2 負電極パッド 20 n b が配置されるとともに、第 2 正電極パッド 20 p b および第 2 負電極パッド 20 n b の一方が第 2 駆動線 25 b に接続されている構成である。

[0027] 図 1 の構成の場合、第 1 正電極パッド 20 p a が第 1 駆動線 25 a に接続され、第 1 負電極パッド 20 n a が接地電位端子 (VSS) に接続されているが、電源端子 (VDD) が負電位である場合は接続関係が逆であってもよい。同様に、第 2 正電極パッド 20 p b が第 2 駆動線 25 b に接続され、第 2 負電極パッド 20 n b が接地電位端子 (VSS) に接続されているが、電源端子 (VDD) が負電位である場合は接続関係が逆であってもよい。

[0028] 上記の構成により、以下の効果を奏する。第 1 発光素子 14 a を第 1 正電極パッド 20 p a および第 1 負電極パッド 20 n a にハンダ等を介して導電接続したときに、第 1 発光素子 14 a において接続不良が発生した場合、また第 1 発光素子 14 a が不良品であった場合等に、第 1 駆動線 25 a を非駆動状態 (不使用状態) とし、第 2 正電極パッド 20 p b および第 2 負電極パッド 20 n b に第 2 発光素子 14 b を接続して第 2 駆動線 25 b を駆動状態 (使用状態) とすることができる。これにより、発光不良または発光不能な画素部 15 が発生することを効果的に抑えることができる。また、第 1 正電極パッド 20 p a と第 2 正電極パッド 20 p b は物理的および電氣的に互いに独立し、かつ第 1 負電極パッド 20 n a と第 2 負電極パッド n b は物理的および電氣的に互いに独立していることから、即ち駆動系統が互いに独立していることから、常時駆動される発光素子を第 1 発光素子 14 a から第 2 発光素子 14 b に切り替えても駆動信号の再調整等は不要である。その結果、駆動信号線駆動回路 (発光制御信号線駆動回路) が複雑化すること、それにより消費電力が増大することを抑えることができる。また、従来のように第

2発光素子14bに過大な駆動電流が入力されることがないので、第2発光素子14bの寿命が短くなることもない。

[0029] 図1に示す構成は、1つの画素部15において、常時駆動線としての第1駆動線25aが1本配置され、冗長駆動線としての第2駆動線25bが1本配置された構成であるが、冗長駆動線が複数本配置されていてもよい。その場合、冗長性が向上し、表示不良の画素部15が発生するリスクを低減させることができる。また、1つの画素部15において常時駆動線が複数本配置されていてもよい。その場合、カラー表示等の多色表示等が可能な表示装置等を構成することができる。

[0030] また、図1の構成の発光素子基板において、第1発光素子14a、第2発光素子14bは搭載されていない状態であってもよい。また、第1発光素子14aのみを発光素子基板に搭載して常時駆動し、第1発光素子14aに発光強度低下等の異常が発生した場合に第2発光素子14bを発光素子基板に搭載してもよい。さらには、第1発光素子14aおよび第2発光素子14bを予め発光素子基板に搭載しておいてもよい。

[0031] 本実施の形態の発光素子基板において、基板1はガラス基板、プラスチック基板等の透光性基板であってもよく、あるいはセラミック基板、非透光性プラスチック基板、金属基板等の非透光性基板であってもよい。さらには、ガラス基板とプラスチック基板を積層した複合基板、ガラス基板とセラミック基板を積層した複合基板、ガラス基板と金属基板を積層した複合基板、その他上記の各種基板のうち異なる材質のものを複数積層した複合基板であってもよい。また基板1は、電氣的に絶縁性の基板であるガラス基板、プラスチック基板、セラミック基板等が、配線導体が形成しやすい点でよい。また基板1は、矩形状、円形状、楕円形状、台形状等の種々の形状であってもよい。

[0032] 本実施の形態の発光素子基板に用いられる発光素子は、マイクロLED素子、半導体レーザ素子、無機EL素子、有機EL素子等のバックライトが不要な自発光型のものであり、基板1上に搭載可能なチップ型のものである。

これらのうち、マイクロLED素子は、低消費電力で発光効率が高く長寿命であるため良い。またマイクロLED素子は、電極パッドとの接続が容易で小型の発光素子であることから、本実施の形態の発光素子基板を用いて表示装置を構成した場合、高品質の画像表示が可能で発光素子のリペアも容易なものとなる。またマイクロLED素子は、基板1の搭載面1aの上に縦方向（搭載面1aに垂直な方向）に搭載される縦型のものであり、例えば搭載面1aの側から正電極、発光層、負電極が積層された構造を有している。また、搭載面1aの側から負電極、発光層、正電極が積層された構造であってもよい。

[0033] マイクロLED素子のサイズは、平面視形状が矩形状のものである場合、一辺の長さが $1\mu\text{m}$ 程度以上 $100\mu\text{m}$ 程度以下であり、より具体的には $3\mu\text{m}$ 程度以上 $10\mu\text{m}$ 程度以下であるが、これらのサイズに限るものではない。

[0034] また、マイクロLED素子は、画素部15ごとに発光色が異なってもよい。例えば、第1画素部に配置されたマイクロLED素子は、その発光色が赤色、橙色、赤橙色、赤紫色、紫色であり、第1画素部に隣接した第2画素部に配置されたマイクロLED素子は、その発光色が緑色、黄緑色であり、第2画素部に隣接した第3画素部に配置されたマイクロLEDは、その発光色が青色であってもよい。これにより、発光素子基板を用いてカラー表示が可能な表示装置等を作製することが容易になる。また、1つの画素部15に常時駆動されるマイクロLED素子が2つ以上あってもよい。

[0035] 第1正電極パッド20pa、第1負電極パッド20na、第2正電極パッド20pbおよび第2負電極パッド20nbは、例えばタンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、クロム(Cr)、銀(Ag)、銅(Cu)等の導体層から成る。また、第1正電極パッド20pa、第1負電極パッド20na、第2正電極パッド20pbおよび第2負電極パッド20nbは、Mo層/Al層/Mo層(Mo層上にAl層、Mo層が順次積層された積層構造を示す)等から成

る金属層から構成されていてもよく、さらにはAl層、Al層/Ti層、Ti層/Al層/Ti層、Mo層、Mo層/Al層/Mo層、Ti層/Al層/Mo層、Mo層/Al層/Ti層、Cu層、Cr層、Ni層、Ag層等の金属層から構成されていてもよい。また、発光素子の正電極および負電極も、第1正電極パッド20pa、第1負電極パッド20na、第2正電極パッド20pbおよび第2負電極パッド20nbと同様の構成であってもよい。

[0036] 画素部15は、表示単位として機能する。例えば、単色画像表示の表示装置の場合、多数の第1発光素子14aの個々の発光強度（輝度）を制御することによって、単色画像表示が可能な表示装置となる。また、カラー表示の表示装置の場合、発光色が赤色の第1発光素子14aを備えたサブ画素部と、発光色が緑色の第1発光素子14aを備えたサブ画素部と、発光色が青色の第1発光素子14aを備えたサブ画素部と、を1組のカラー表示画素部とし、カラー表示画素部を多数組有することによって、カラーの階調表示が可能な表示装置となる。

[0037] 画素部15において、発光素子の発光、非発光、発光強度等を制御するための、スイッチ、制御素子としてのTFTを含む駆動回路（発光制御部）32は、発光素子の下方に絶縁層を介して配置されていてもよい。この場合、画素部15のサイズが小さくなり、本実施の形態の発光素子基板を用いた表示装置において高画質の画像表示が可能となる。

[0038] 本実施の形態の発光素子基板は、第2正電極パッド20pbの平面視での面積が第1正電極パッド20paの平面視での面積よりも大きい構成、第2負電極パッド20nbの平面視での面積が第1負電極パッド20naの平面視での面積よりも大きい構成のうち、少なくとも一方の構成を採用することがよい。この場合、冗長的発光素子である第2発光素子14bを第2正電極パッド20pbおよび第2負電極パッド20nbに接続するときの接続性が向上する。即ち、第2発光素子14bが、より広面積の第2正電極パッド20pb、第2負電極パッド20nbに接続されるため、第2発光素子14bが接続しやいととも接続不良が発生しにくいものとなる。また、カメラ等

の撮像装置によって第2正電極パッド20pb、第2負電極パッド20nbを光学的に認識して第2発光素子14bを位置合せする場合、第2正電極パッド20pb、第2負電極パッド20nbの光学的な認識が容易になる。

[0039] 具体例として、第2正電極パッド20pbの平面視形状が第1正電極パッド20paの平面視形状である正方形よりも大きな長方形である構成、第2負電極パッド20nbの平面視形状が第1負電極パッド20naの平面視形状である正方形よりも大きな長方形である構成のうち、少なくとも一方の構成を採用することができる。

[0040] また、第2正電極パッド20pbおよび第2負電極パッド20nbの、ハンダ等の導電性接続部材を介しての第2発光素子14bに対する導電接続性を向上させるために、第2正電極パッド20pbの表面および第2負電極パッド20nbの表面を粗面としてもよい。この場合、粗面の凹凸によるアンカー効果によって導電性接続部材の粗面に対する接合力が高まる。粗面の算術平均粗さは $1\mu\text{m}$ ~ $100\mu\text{m}$ 程度であることがよい。第2正電極パッド20pbの表面および第2負電極パッド20nbの表面を粗面とする方法としては、それらの表面にドライエッチング法等のエッチング処理を施す方法、第2正電極パッド20pbおよび第2負電極パッド20nbをCVD (Chemical Vapor Deposition) 法等の薄膜形成方法によって形成する際に、成膜時間、成膜温度等を制御することによって、薄膜中に巨大単結晶粒子、巨大多結晶粒子等の粒子化構造を生成させる方法等が採用できる。

[0041] また本実施の形態の発光素子基板は、第2正電極パッド20pbの光反射率が第1正電極パッド20paの光反射率よりも高い構成、第2負電極パッド20nbの光反射率が第1負電極パッド20naの光反射率よりも高い構成のうち、少なくとも一方の構成を採用することがよい。この場合、冗長的発光素子である第2発光素子14bを第2正電極パッド20pbおよび第2負電極パッド20nbに接続するときの接続性が向上する。即ち、第2発光素子14bが、より光反射率の第2正電極パッド20pb、第2負電極パッド20nbに接続されるため、第2発光素子14bが接続しやすくなる。例え

ば、カメラ等の撮像装置によって第2正電極パッド20pb、第2負電極パッド20nbを光学的に認識して第2発光素子14bを位置合せする場合、第2正電極パッド20pb、第2負電極パッド20nbの光学的な認識が容易になる。

[0042] 本実施の形態の発光素子基板は、図2に示すように、第1駆動線25a上に第1駆動線25aの駆動、非駆動を制御する第1スイッチ26aが配置されており、第2駆動線25b上に第2駆動線25bの駆動、非駆動を制御する第2スイッチ26bが配置されていることがよい。この場合、第1駆動線25aを駆動状態とし第2駆動線25bを非駆動状態とする駆動形態と、第1駆動線25aを非駆動状態とし第2駆動線25bを駆動状態とする駆動形態と、の切り替えが容易になる。

[0043] また、第1スイッチ26aおよび第2スイッチ26bのいずれか一方を閉状態とし他方を開状態とする切り替え制御を行う切替制御部27を備えることがよい。この場合、常時駆動される発光素子を第1発光素子14aから第2発光素子14bに切り替える動作が迅速化される。その結果、発光不良状態が即座に解消される。

[0044] 切替制御部27は、第1発光素子14aが常時駆動状態である第1駆動形態において、常時駆動線である第1駆動線25aが駆動状態となるように、pチャネルTF Tから成る第1スイッチ26aのゲート電極にオン信号（Vga：L信号）を入力するとともに、冗長駆動線である第2駆動線25bが非駆動状態となるように、pチャネルTF Tから成る第2スイッチ26bのゲート電極にオフ信号（Vgb：H信号）を入力する。一方、切替制御部27は、第2発光素子14bが常時駆動状態である第2駆動形態において、常時駆動線である第1駆動線25aが非駆動状態となるように、pチャネルTF Tから成る第1スイッチ26aのゲート電極にオフ信号（Vga：H信号）を入力するとともに、冗長駆動線である第2駆動線25bが駆動状態となるように、pチャネルTF Tから成る第2スイッチ26bのゲート電極にオン信号（Vgb：L信号）を入力する。

- [0045] 切替制御部 27 は、図 3 に示す構成であってもよい。切替制御部 27 は、第 1 駆動状態において、第 1 スイッチ 26 a のゲート電極にオン信号 ($V_{g a} : L$ 信号) を入力するために、H 信号を出力する V_H 信号端子と第 1 スイッチ 26 a のゲート電極との間の接続線上に抵抗 27 a を配置して H 信号の伝達を阻止し、L 信号を出力する V_L 信号端子と第 1 スイッチ 26 a のゲート電極との間の接続線を導通状態としている。また、第 2 スイッチ 26 b のゲート電極にオフ信号 ($V_{g b} : H$ 信号) を入力するために、H 信号を出力する V_H 信号端子と第 2 スイッチ 26 b のゲート電極との間の接続線を導通状態とし、L 信号を出力する V_L 信号端子と第 2 スイッチ 26 b のゲート電極との間の接続線上に抵抗 27 b を配置して L 信号の伝達を阻止している。
- [0046] 切替制御部 27 が第 2 駆動形態に切り替わる場合、第 1 スイッチ 26 a のゲート電極にオフ信号 ($V_{g a} : H$ 信号) を入力するために、 V_L 信号端子と第 1 スイッチ 26 a のゲート電極との間の接続線において、 V_L 信号端子とノード $n d a$ との間の部位をレーザ光を照射することによって溶断し切断するレーザカットを施す。そして、 V_H 信号端子から抵抗 27 a の電圧降下分を加味したオフ信号 ($V_{g a} : H$ 信号) を出力する。一方、第 2 スイッチ 26 b のゲート電極にオン信号 ($V_{g b} : L$ 信号) を入力するために、 V_H 信号端子と第 2 スイッチ 26 b のゲート電極との間の接続線において、 V_H 信号端子とノード $n d b$ との間の部位をレーザ光を照射することによって溶断し切断するレーザカットを施す。そして、 V_L 信号端子から抵抗 27 b の電圧降下分を加味したオン信号 ($V_{g b} : L$ 信号) を出力する。なお、レーザカットに代えて、研削装置等を用いた機械的切断法、エッチング法等を用いた化学的切断法等を採用してもよい。
- [0047] また他の開示の発光素子基板の実施の形態を図 4 A、図 4 B に示す。切替制御部 28 は、第 1 スイッチ 26 a および第 2 スイッチ 26 b に並列接続されるスタティックメモリ回路 28 a と、反転論理回路 28 c と、を備えており、反転論理回路 28 c は、スタティックメモリ回路 28 a と第 1 スイッチ 26 a 間の第 1 接続線 $L S 1$ 上またはスタティックメモリ回路 28 a と第 2

スイッチ26b間の第2接続線LS2上のいずれか一方に配置されていることがよい。この場合、スタティックメモリ回路28aはそれに入力されたH信号またはL信号を出力信号として保持することができるために、スタティックメモリ回路28aにより第1発光素子14aを常時駆動状態とするとともに第2発光素子14bを非駆動状態とする駆動形態を維持することが容易になる。また逆の駆動形態を維持することも容易になる。

[0048] 切替制御部28は、スタティックRAM(Random Access Memory)等から成るスタティックメモリ回路28aと、pチャンネルTFTから成るスイッチ28bと、反転論理回路所謂インバータ28cと、を含んで成る。スイッチ28bは、そのゲート電極がゲート制御信号線(Cont)に接続されており、ゲート制御信号線によって伝送されたオン信号(L信号)によってチャンネルが導通状態(オン状態)となる。スイッチ28bのソース電極は発光制御信号線(Sig1)3に接続されている。

[0049] そして、第1発光素子14aを常時駆動状態とし第2発光素子14bを非駆動状態とする場合、スイッチ28bは、ゲート電極にオン信号が入力されたオン状態とされ、発光制御信号線3から伝送されたオン信号(L信号)をスタティックメモリ回路28aを介してスイッチ26aに伝達するとともに、スタティックメモリ回路28aおよびインバータ28cを介してオン信号の反転信号であるオフ信号(H信号)をスイッチ26bに伝達する。これにより、第1発光素子14aが常時駆動状態となるとともに第2発光素子14bは非駆動状態となる。このとき、スタティックメモリ回路28aは、スイッチ26aに対してオン信号を出力するとともにスイッチ26bに対してオフ信号を出力する信号出力状態を保持する。

[0050] 一方、第1発光素子14aを非駆動状態とし第2発光素子14bを常時駆動状態とする場合、スイッチ28bは、ゲート電極にオン信号が入力されたオン状態とされ、発光制御信号線3から伝送されたオフ信号(H信号)をスタティックメモリ回路28aを介してスイッチ26aに伝達するとともに、スタティックメモリ回路28aおよびインバータ28cを介してオフ信号の

反転信号であるオン信号（L信号）をスイッチ26bに伝達する。これにより、第1発光素子14aが非駆動状態となるとともに第2発光素子14bは常時駆動状態となる。このとき、スタティックメモリ回路28aは、スイッチ26aに対してオフ信号を出力するとともにスイッチ26bに対してオン信号を出力する信号出力状態を保持する。

[0051] スタティックメモリ回路28aは、図4Bに示すように、第1インバータ28aaと第2インバータ28abとを直列的に接続して構成される。第1インバータ28aaは、pチャンネルTFTおよびnチャンネルTFTから成り、それらのゲート電極が共通接続されるとともにそれらのドレイン電極が共通接続されている。pチャンネルTFTのソース電極は正電圧電源（VDD）に接続され、nチャンネルTFTのソース電極は負電圧電源（VSS）に接続されている。第2インバータ28abも第1インバータ28aaと同様の構成である。

[0052] そして、スタティックメモリ回路28aは以下のように動作する。第1インバータ28aaの入力側（ゲート電極側）に入力されたオン信号（オフ信号）は、第1インバータ28aaで反転されオフ信号（オン信号）となり出力側（ドレイン電極側）から出力され、第2インバータ28abの入力側に入力される。第2インバータ28abの入力側に入力されたオフ信号（オン信号）は、第2インバータ28abで反転されオン信号（オフ信号）となり出力側から出力される。スタティックメモリ回路28aは、スイッチ28bから新たにオフ信号が伝送されてくるまで、この信号出力状態を保持する。なお、インバータ28cは第1インバータ28aaと同様の構成である。

[0053] 図5Aおよび図5Bは、図2の発光素子基板における切替制御部27の具体的な実施の形態を示すものである。図5Aおよび図5Bに示すように、切替制御部29は、正規の発光素子の駆動電圧と駆動電流の電圧－電流相関データを記憶している記憶部29aと、電圧－電流相関データを参照して第1発光素子14aの電流異常を検知する電流異常検知部29bと、を備えており、第1発光素子14aの電流異常を検知したときに、第1スイッチ26a

を開状態とし、第2スイッチ26bを閉状態とする切り替え制御を行うことがよい。この場合、視認により第1発光素子14aの発光状態を検知する場合と比較して、第1発光素子14aの発光不良を自動的かつ正確に検知することができる。

[0054] また、図5Aおよび図5Bに示す発光素子基板は、電流異常検知部29bは、電圧－電流相関データ50（図7Aに示す）における参照駆動電圧に対応する参照駆動電流と、第1発光素子14aの参照駆動電圧における測定駆動電流と、を比較し、参照駆動電流と測定駆動電流との乖離が所定値以上になったときに第1発光素子14aを電流異常と判定することがよい。この場合、第1発光素子14aの発光不良をより正確に検知することができる。

[0055] 第1駆動線25aの電流異常を検知する電流異常検知部29bは、第1駆動線25aに接続された検知線から伝送された駆動電流を測定し、測定駆動電流とする。電流異常検知部29bは、記憶部29aに格納された電圧－電流相関データ50（図7Aに示す）における参照駆動電圧に対応する参照駆動電流と、測定駆動電流52a（52b）とを比較する。測定駆動電流52aは、その値が参照駆動電流との乖離が許容範囲内にある場合であり、測定駆動電流52bは、その値が参照駆動電流との乖離が許容範囲外にある場合である。測定駆動電流52aの場合、切替制御部29は切替制御は行わず、第1発光素子14aが常時駆動状態であるとともに第2発光素子14bが非駆動状態である駆動状態が維持される。測定駆動電流52bの場合、切替制御部29はオン／オフ制御部29cによって、切替制御を実行する。即ち、第1発光素子14aが非駆動状態であるとともに第2発光素子14bが常時駆動状態である駆動状態に、切り替える。オン／オフ制御部29cは、例えば図4Aおよび図4Bに示す、スイッチ28bとスタティックメモリ回路28aとインバータ28cとから構成されるものであってもよい。

[0056] 測定駆動電流と参照駆動電流との乖離が、例えば参照駆動電流の値を100%としたとき、参照駆動電流の値に対して±10%の範囲内であれば、許容範囲内にあると判定することができる。図7Aにおいて、符号51aは、

測定駆動電流と参照駆動電流との乖離が+10%である場合の電圧－電流相関データであり、符号51bは、測定駆動電流と参照駆動電流との乖離が-10%である場合の電圧－電流相関データである。乖離の程度は上記範囲に限るものではなく、求められる表示品質の許容範囲、発光素子の経時劣化等を考慮して種々設定することができる。

[0057] 図5Aは、記憶部29aが画素部15の中にある構成であり、図5Bは、記憶部29aが画素部15の外、例えば有効領域（表示領域）の周辺部、にある構成である。記憶部29aのメモリ容量が大きい場合等には、画素部15のサイズが大きくなり過ぎることがないようにするために、図5Bの構成とすることができる。

[0058] 図6Aおよび図6Bは、図2の発光素子基板における切替制御部27の他の具体的な実施の形態を示すものである。図6Aおよび図6Bに示すように、切替制御部33は、正規の発光素子の駆動電圧と発光強度の電圧－発光相関データ60（図7Bに示す）を記憶している記憶部33aと、電圧－発光相関データ60を参照して第1発光素子14aの発光異常を検知する発光異常検知部33bと、を備えており、第1発光素子14aの発光異常を検知したときに、第1スイッチ26aを開状態とし、第2スイッチ26bを閉状態とする切り替え制御を行うことがよい。この場合、視認により第1発光素子14aの発光状態を検知する場合と比較して、第1発光素子14aの発光不良を自動的かつ正確に検知することができる。

[0059] また図6Aおよび図6Bに示す発光素子基板は、発光異常検知部33bは、電圧－発光相関データ60における参照駆動電圧に対応する参照発光強度と、第1発光素子14aの参照駆動電圧における測定発光強度と、を比較し、参照発光強度と測定発光強度との乖離が所定値以上になったときに第1発光素子14aを発光異常と判定することがよい。この場合、第1発光素子14aの発光不良をより正確に検知することができる。

[0060] 第1駆動線25aの発光異常を検知する発光異常検知部33bは、第1駆動線25aに接続された第1発光素子14aの発光強度（輝度）を検知する

フォトダイオード、チャネルが受光することによって導通状態が変化するTFT等の光電変換機能を有する受光部を備えている。発光異常検知部33bは第1発光素子14aから放射された光を受光し、測定発光強度とする。発光異常検知部33bは、記憶部33aに格納された電圧－発光相関データ60(図7Bに示す)における参照駆動電圧に対応する参照発光強度と、測定発光強度62a(62b)とを比較する。測定発光強度62aは、その値が参照発光強度との乖離が許容範囲内にある場合であり、測定発光強度62bは、その値が参照発光強度との乖離が許容範囲外にある場合である。測定発光強度62aの場合、切替制御部33は切替制御は行わず、第1発光素子14aが常時駆動状態であるとともに第2発光素子14bが非駆動状態である駆動状態が維持される。測定発光強度62bの場合、切替制御部33はオン／オフ制御部33cによって、切替制御を実行する。即ち、第1発光素子14aが非駆動状態であるとともに第2発光素子14bが常時駆動状態である駆動状態に、切り替える。オン／オフ制御部33cは、例えば、図4Aおよび図4Bに示す、スイッチ28bとスタティックメモリ回路28aとインバータ28cとから構成されるものであってもよい。

[0061] 本実施の形態の発光素子基板において、測定発光強度と参照発光強度との乖離が、例えば参照発光強度の値を100%としたとき、参照発光強度の値に対して±10%の範囲内であれば、許容範囲内にあると判定することができる。図7Bにおいて、符号61aは、測定発光強度と参照発光強度との乖離が+10%である場合の電圧－発光相関データであり、符号61bは、測定発光強度と参照発光強度との乖離が-10%である場合の電圧－発光相関データである。乖離の程度は上記範囲に限るものではなく、求められる表示品質の許容範囲、発光素子の経時劣化等を考慮して種々設定することができる。

[0062] 図6Aは、記憶部33aが画素部15の中にある構成であり、図6Bは、記憶部33aが画素部15の外、例えば有効領域(表示領域)の周辺部、にある構成である。記憶部33aのメモリ容量が大きい場合等には、画素部1

5のサイズが大きくなり過ぎることがないようにするために、図6Bの構成とすることができる。

[0063] また本実施の形態の発光素子基板は、切替制御部27、28、29、33は、画素部15に備えられていることがよい。この場合、常時駆動される発光素子を第1発光素子14aから第2発光素子14bに切り替える動作がより迅速化される。その結果、発光不良状態がより即座に解消される。また、切替制御部27、28、29、33が画素部15以外の有効領域の周辺部にある場合には発光素子基板が大型化するが、そのような問題も生じない小型化されたものとなる。

[0064] また他の開示の発光素子基板は、第1発光素子14aおよび第2発光素子14bが搭載される搭載面1aを有する基板1と、搭載面1aの側に配置され、駆動回路32と駆動回路32に並列接続された第1駆動線25aおよび第2駆動線25bを含む画素部15と、を備える発光素子基板であって、第1駆動線25aは第1発光素子14aを常時駆動する常時駆動線であり、第2駆動線25bは第2発光素子14bを冗長駆動する冗長駆動線であり、第1駆動線25aおよび第2駆動線25bの一方を導通状態とし他方を非導通状態とする切替部と、切替部を制御する切替制御部と、を備えている構成である。この構成によっても、上記開示と同様の効果を奏する。

[0065] 切替部は、信号の伝送路を2方向のうちのいずれか1方向に切り替える1つのスイッチであってもよく、または図2に示すような、第1スイッチ26aおよび第2スイッチ26bから成る2つのスイッチであってもよい。切替制御部は、切替部に接続されており、その切替制御を行う。

[0066] 図2、図12に示すように、切替部および切替制御部は、画素部15に備えられていることがよい。この場合、画素部15内に切替部および切替制御部があることから、常時駆動される発光素子を第1発光素子14aから第2発光素子14bに切り替える動作がより迅速化される。その結果、発光不良状態がより即座に解消される。

[0067] 図14～図17に示すように、画素部15は、行列状に複数配列されてお

り、切替部としての第1スイッチ26aおよび第2スイッチ26bは、複数の画素部15のそれぞれに配置されており、切替制御部としてのスタティックメモリ回路28G、28Sは、行方向に配列された複数の画素部15m1~15mnおよび/または列方向に配列された複数の画素部151n~15mnに対応して備わっていることがよい。この場合、切替制御部の数を大幅に減少させ得る。その結果、小型化された発光素子基板となる。また、回路構造が簡易化されるので、低消費電力の発光素子基板となる。

[0068] 例えば、切替制御部としてのスタティックメモリ回路28Gは、行方向に配列された複数の画素部15m1~15mnの1行に対応して1個が備わっていてもよい。その場合、n行（nは2以上の整数である場合）であれば、スタティックメモリ回路28Gはn個が備わっていてもよい。またスタティックメモリ回路28Gは、複数行に対応して1個が備わっていてもよい。また複数行毎に1個が備わっていてもよい。さらに全ての行に対応して1個が備わっていてもよい。

[0069] 例えば、切替制御部としてのスタティックメモリ回路28Sは、列方向に配列された複数の画素部151n~15mnの1列に対応して1個が備わっていてもよい。その場合、m列（mは2以上の整数である場合）であれば、スタティックメモリ回路28Sはm個が備わっていてもよい。またスタティックメモリ回路28Sは、複数列に対応して1個が備わっていてもよい。また複数列毎に1個が備わっていてもよい。さらに全ての列に対応して1個が備わっていてもよい。

[0070] また、1個の切替制御部が全ての画素部15に対応して備わっていてもよい。

[0071] 図13Aおよび図13Bに示すように、切替制御部は、第1反転論理回路としての第1インバータ28aaと、その後段側に直列接続された第2反転論理回路としての第2インバータ28abと、を備えたスタティックメモリ回路28-1、28-2であり、切替部としての第1スイッチ26aおよび第2スイッチ26bは、第1インバータ28aaおよび第2インバータ28

a bに並列的に接続されていることがよい。即ち、第1スイッチ26 aおよび第2スイッチ26 bを総体的に切替部としてみると、切替部は第1インバータ28 a aおよび第2インバータ28 a bに並列的に接続されている。この場合、スタティックメモリ回路28-1, 28-2だけで切替部を切替制御できるので、回路構成が簡易化され、低消費電力の発光素子基板となる。

[0072] そして、上記の構成において、切替制御部であるスタティックメモリ回路28-1, 28-2は、第1インバータ28 a aの第1出力信号（図13 AにおけるV g a）によって第1駆動線25 aの導通／非導通を制御するとともに第2インバータ28 a bの第2出力信号（図13 AにおけるV g b）によって第2駆動線25 bの非導通／導通を制御する第1切替制御と、第2出力信号（図13 BにおけるV g a）によって第1駆動線25 aの導通／非導通を制御するとともに第1出力信号（図13 BにおけるV g b）によって第2駆動線25 bの非導通／導通を制御する第2切替制御と、のいずれかを行う。

[0073] また、図4 Aおよび図4 Bに示すように、切替制御部28は、スタティックメモリ回路28 aと、その後段側に並列接続された反転論理回路としてのインバータ28 c、を備えており、切替部としての第1スイッチ26 aおよび第2スイッチ26 bは、スタティックメモリ回路28 aおよびインバータ28 cに並列的に接続されていてもよい。即ち、第1スイッチ26 aおよび第2スイッチ26 bを総体的に切替部としてみると、切替部はスタティックメモリ回路28 aおよびインバータ28 cに並列的に接続されている。この場合、スタティックメモリ回路28 aの動作が安定化するので、切替制御を安定的に行える。即ち、第1インバータ28 a aの出力線に反転信号を導出するための分岐線を接続すると、反転信号の電位が低下して第2インバータ28 a bの動作が不安定になるおそれがあるが、そのおそれなくなる。

[0074] そして、上記の構成において、切替制御部28であるスタティックメモリ回路28 aおよびインバータ28 cは、スタティックメモリ回路28 aの第1出力信号（図4 Aおよび図4 BにおけるV g a）によって第1駆動線25

aの導通／非導通を制御するとともにインバータ28cの第2出力信号（図4Aおよび図4BにおけるVgb）によって第2駆動線25bの非導通／導通を制御する第1切替制御と、第2出力信号（Vgb）によって第1駆動線25aの導通／非導通を制御するとともに第1出力信号（Vga）によって第2駆動線25bの非導通／導通を制御する第2切替制御と、のいずれかを行う。

[0075] また他の開示の発光素子基板の実施の形態を図12～図17に示す。図12、図13A、図13Bに示すように、切替制御部28-1、28-2は、スタティックメモリ回路28aを有しており、スタティックメモリ回路28aは、第1反転論理回路としての第1インバータ28aa、第1インバータ28aaの後段側に直列接続された第2反転論理回路としての第2インバータ28abと、を有しており、第1スイッチ26aが第1インバータ28aaの第1出力線28aa1に接続されるとともに第2スイッチ26bが第2インバータ28abの第2出力線28ab1に接続されている第1接続形態（図13Aに示す）と、第1スイッチ26aが第2インバータ28abの第2出力線28ab1に接続されるとともに第2スイッチ26bが第1インバータ28aaの第1出力線28aa1に接続されている第2接続形態（図13Bに示す）と、のいずれかとされる。

[0076] これにより、スタティックメモリ回路28aはそれに入力されたH信号またはL信号を出力信号として保持することができるために、スタティックメモリ回路28aにより第1発光素子14aを常時駆動状態とするとともに第2発光素子14bを非駆動状態とする駆動形態を維持することが容易になる。また逆の駆動形態を維持することも容易になる。また、スタティックメモリ回路28aの他に反転論理回路が不要となり、回路構造が簡易化される。

[0077] 図13Aおよび図13Bの構成において、第1接続線LS1は、スタティックメモリ回路28aと第1スイッチ26aを接続し、第3接続線LS3は、スタティックメモリ回路28aと第2スイッチ26bを接続する。

[0078] 図13Aの構成において、第1接続線LS1は第1出力線28aa1に接

続されている。従って、第1インバータ28aaの出力（例えば、L信号）が第1スイッチ26aのゲート電極に入力されることによって、第1スイッチ26aが常時オン状態となり、第1発光素子14aが常時駆動状態となる。また、第3接続線LS3は第2出力線28ab1に接続されている。従って、第2インバータ28abの出力（例えば、H信号）が第2スイッチ26bのゲート電極に入力されることによって、第2スイッチ26bが常時オフ状態となり、第2発光素子14bが常時非駆動状態となる。そして、第1発光素子14aに発光異常等の不良が生じた場合、第1インバータ28aaの出力をH信号（オフ信号）として第1スイッチ26aを常時オフ状態とし、第2インバータ28abの出力をL信号（オン信号）として第2スイッチ26bを常時オン状態とする。この切替動作は、スイッチ28bに発光制御信号線（Sig1）3から入力される信号（H信号またはL信号）によって行われる。

[0079] 図13Bの構成において、第1接続線LS1は第2出力線28ab1に接続されている。従って、第2インバータ28abの出力（例えば、L信号）が第1スイッチ26aのゲート電極に入力されることによって、第1スイッチ26aが常時オン状態となり、第1発光素子14aが常時駆動状態となる。また、第3接続線LS3は第1出力線28aa1に接続されている。従って、第1インバータ28aaの出力（例えば、H信号）が第2スイッチ26bのゲート電極に入力されることによって、第2スイッチ26bが常時オフ状態となり、第2発光素子14bが常時非駆動状態となる。そして、第1発光素子14aに発光異常等の不良が生じた場合、第2インバータ28abの出力をH信号（オフ信号）として第1スイッチ26aを常時オフ状態とし、第1インバータ28aaの出力をL信号（オン信号）として第2スイッチ26bを常時オン状態とする。この切替動作は、スイッチ28bに発光制御信号線（Sig1）3から入力される信号（L信号またはH信号）によって行われる。

[0080] 図14A、図14Bは、それぞれ実施の形態の他例を示すものであり、1

つの行 (GATE [m] ; m (自然数) は m 番目の行であることを示す) の行方向に配列された複数の画素部 15m1 ~ 15mn に対応して 1 つのスタティックメモリ回路 28G が備わった構成の回路図である。図 14A に示すように、各第 1 スイッチ 26a が第 1 インバータ 28Ga の第 1 出力線 28Ga1 に接続されるとともに、各第 2 スイッチ 26b が第 2 インバータ 28Gb の第 2 出力線 28Gb1 に接続されている。第 1 インバータ 28Ga の出力 (例えば、L 信号 / LED_SEL1 [m]) が、n 個 (n は 2 以上の整数) の画素部 15m1 ~ 15mn のそれぞれの第 1 スイッチ 26a のゲート電極に入力されることによって、各第 1 スイッチ 26a が常時オン状態となり、各第 1 発光素子 14a が常時駆動状態となる。また、第 2 インバータ 28Gb の出力 (例えば、H 信号 / LED_SEL2 [m]) が各第 2 スイッチ 26b のゲート電極に入力されることによって、各第 2 スイッチ 26b が常時オフ状態となり、各第 2 発光素子 14b が常時非駆動状態となる。そして、n 個の第 1 発光素子 14a の 1 つ以上に発光異常等の不良が生じた場合、第 1 インバータ 28Ga の出力を H 信号 (オフ信号) として各第 1 スイッチ 26a を常時オフ状態とし、第 2 インバータ 28Gb の出力を L 信号 (オン信号) として各第 2 スイッチ 26b を常時オン状態とする。この切替動作は、スイッチ 28t に発光調節信号線 (Sig_trim) から入力される発光調節信号 (H 信号または L 信号) によって行われる。スイッチ 28t は、そのゲート電極に入力されるゲート調節信号 (TRIM [m]) によって、オン / オフ制御される。スタティックメモリ回路 28G およびスイッチ 28t は、ゲート信号線駆動回路 (ゲートドライバ) 70 に含まれていてもよい。

[0081] 図 14B に示すように、第 1 出力線 28Ga1 の分岐線にバッファ回路 81 が接続されており、バッファ回路 81 を介して、第 1 インバータ 28Ga の出力 (例えば、L 信号 / LED_SEL1 [m]) が、n 個 (n は 2 以上の整数) の画素部 15m1 ~ 15mn のそれぞれの第 1 スイッチ 26a のゲート電極に入力されることがよい。この場合、第 1 出力線 28Ga1 の分岐線によってその分岐線の電位が不安定になりやすいこと、分岐線が複数の第 1 スイ

ッチ26aのゲート電極に接続されることによっても分岐線の電位が不安定になりやすいこと、を抑制することができる。また、第2出力線28Gb1にバッファ回路82が接続されており、バッファ回路82を介して、第2インバータ28Gbの出力（例えば、H信号／LED_SEL2[m]）が、n個（nは2以上の整数）の画素部15m1～15mnのそれぞれの第2スイッチ26bのゲート電極に入力されることがよい。この場合、第1出力線28Ga1の分岐線によって第2出力線28Gb1の電位が不安定になりやすいこと、第2出力線28Gb1が複数の第2スイッチ26bのゲート電極に接続されることによっても第2出力線28Gb1の電位が不安定になりやすいこと、を抑制することができる。

[0082] バッファ回路81, 82は、それぞれ2つのインバータを直列接続した構成であるが、この構成に限るものではない。

[0083] 図14Aおよび図14Bの構成において、複数の行の行方向に配列された複数の画素部15m1～15mn, 15(m+1)1～15(m+1)n・・・に対応して、1つのスタティックメモリ回路28Gが備わった構成であってもよい。さらには、全ての画素部に対応して1つのスタティックメモリ回路28Gが備わった構成であってもよい。

[0084] 図15は、実施の形態の他例を示すものであり、1つの行（GATE[m]）の行方向に配列された複数の画素部15m1～15mnに対応して1つのスタティックメモリ回路28Gが備わった構成の回路図である。各第1スイッチ26aが第2インバータ28Gbの第2出力線28Gb1に接続されるとともに、各第2スイッチ26bが第1インバータ28Gaの第1出力線28Ga1に接続されている。第2インバータ28Gbの出力（例えば、L信号／LED_SEL1[m]）が、n個の画素部15m1～15mnのそれぞれの第1スイッチ26aのゲート電極に入力されることによつて、各第1スイッチ26aが常時オン状態となり、各第1発光素子14aが常時駆動状態となる。また、第1インバータ28Gaの出力（例えば、H信号／LED_SEL2[m]）が各第2スイッチ26bのゲート電極に入力されることによつて、

各第2スイッチ26bが常時オフ状態となり、各第2発光素子14bが常時非駆動状態となる。そして、n個の第1発光素子14aの1つ以上に発光異常等の不良が生じた場合、第2インバータ28Gbの出力をH信号（オフ信号）として各第1スイッチ26aを常時オフ状態とし、第1インバータ28Gaの出力をL信号（オン信号）として各第2スイッチ26bを常時オン状態とする。この切替動作は、スイッチ28tに発光調節信号線（S i g _ t r i m）から入力される発光調節信号（L信号またはH信号）によって行われる。スイッチ28tは、そのゲート電極に入力されるゲート調節信号（T R I M [m]）によって、オン／オフ制御される。スタティックメモリ回路28Gおよびスイッチ28tは、ゲート信号線駆動回路70に含まれていてもよい。

[0085] 図15の構成において、図14Bの構成を採用し得る。即ち、第1出力線28Ga1の分岐線にバッファ回路82が接続され、第2出力線28Gb1にバッファ回路81が接続されていてもよい。

[0086] 図15の構成において、複数の行の行方向に配列された複数の画素部15m1~15mn, 15(m+1)1~15(m+1)n・・・に対応して、1つのスタティックメモリ回路28Gが備わった構成であってもよい。さらには、全ての画素部に対応して1つのスタティックメモリ回路28Gが備わった構成であってもよい。

[0087] 図16A, 図16Bは、実施の形態の他例を示すものであり、1つの列（S O U R C E [n]）の列方向に配列された複数の画素部151n~15mnに対応して1つのスタティックメモリ回路28Sが備わった構成の回路図である。図16Aに示すように、各第1スイッチ26aが第1インバータ28Saの第1出力線28Sa1に接続されるとともに、各第2スイッチ26bが第2インバータ28Sbの第2出力線28Sb1に接続されている。第1インバータ28Saの出力（例えば、L信号／L E D _ S E L 1 [n]）が、n個の画素部151n~15mnのそれぞれの第1スイッチ26aのゲート電極に入力されることによって、各第1スイッチ26aが常時オン状態となり、各

第1発光素子14aが常時駆動状態となる。また、第2インバータ28Sbの出力（例えば、H信号／LED_SEL2[n]）が各第2スイッチ26bのゲート電極に入力されることによって、各第2スイッチ26bが常時オフ状態となり、各第2発光素子14bが常時非駆動状態となる。そして、n個の第1発光素子14aの1つ以上に発光異常等の不良が生じた場合、第1インバータ28Saの出力をH信号（オフ信号）として各第1スイッチ26aを常時オフ状態とし、第2インバータ28Sbの出力をL信号（オン信号）として各第2スイッチ26bを常時オン状態とする。この切替動作は、スイッチ28tに発光調節信号線（Sig_trim）から入力される発光調節信号（L信号またはH信号）によって行われる。スイッチ28tは、そのゲート電極に入力されるゲート調節信号（TRIM[n]）によって、オン／オフ制御される。スタティックメモリ回路28Sおよびスイッチ28tは、画像信号線駆動回路（ソースドライバ）71に含まれていてもよい。

[0088] 図16Bに示すように、第1出力線28Sa1の分岐線にバッファ回路81が接続されており、バッファ回路81を介して、第1インバータ28Saの出力（例えば、L信号／LED_SEL1[m]）が、n個（nは2以上の整数）の画素部151n～15mnのそれぞれの第1スイッチ26aのゲート電極に入力されることがよい。この場合、上述した電位の不安定化を抑制する効果と同様の効果が得られる。また、第2出力線28Sb1にバッファ回路82が接続されており、バッファ回路82を介して、第2インバータ28Sbの出力（例えば、H信号／LED_SEL2[m]）が、n個（nは2以上の整数）の画素部151n～15mnのそれぞれの第2スイッチ26bのゲート電極に入力されることがよい。この場合、上述した電位の不安定化を抑制する効果と同様の効果が得られる。

[0089] 図16Aおよび図16Bの構成において、複数の列の列方向に配列された複数の画素部151n～15mn, 151(n+1)～15m(n+1)・・・に対応して、1つのスタティックメモリ回路28Sが備わった構成であってもよい。さらには、全ての画素部に対応して1つのスタティックメモリ回路28Sが備わ

った構成であってもよい。

[0090] 図17は、実施の形態の他例を示すものであり、1つの列(SOURCE [n])の列方向に配列された複数の画素部151n~15mnに対応して1つのスタティックメモリ回路28Sが備わった構成の回路図である。各第1スイッチ26aが第2インバータ28Sbの第2出力線28Sb1に接続されるとともに、各第2スイッチ26bが第1インバータ28Saの第1出力線28Sa1に接続されている。第2インバータ28Sbの出力(例えば、L信号/LED_SEL1[n])が、n個の画素部151n~15mnのそれぞれの第1スイッチ26aのゲート電極に入力されることによって、各第1スイッチ26aが常時オン状態となり、各第1発光素子14aが常時駆動状態となる。また、第1インバータ28Saの出力(例えば、H信号/LED_SEL2[n])が各第2スイッチ26bのゲート電極に入力されることによって、各第2スイッチ26bが常時オフ状態となり、各第2発光素子14bが常時非駆動状態となる。そして、n個の第1発光素子14aの1つ以上に発光異常等の不良が生じた場合、第2インバータ28Sbの出力をH信号(オフ信号)として各第1スイッチ26aを常時オフ状態とし、第1インバータ28Saの出力をL信号(オン信号)として各第2スイッチ26bを常時オン状態とする。この切替動作は、スイッチ28tに発光調節信号線(Sig_trim)から入力される発光調節信号(L信号またはH信号)によって行われる。スイッチ28tは、そのゲート電極に入力されるゲート調節信号(TRIM[n])によって、オン/オフ制御される。スタティックメモリ回路28Sおよびスイッチ28tは、画像信号線駆動回路71に含まれていてもよい。

[0091] 図17の構成において、図16Bの構成を採用し得る。即ち、第1出力線28Sa1の分岐線にバッファ回路82が接続され、第2出力線28Sb1にバッファ回路81が接続されていてもよい。

[0092] 図17の構成において、複数の列の列方向に配列された複数の画素部151n~15mn, 151(n+1)~15m(n+1)・・・に対応して、1つのスタティック

メモリ回路28Sが備わった構成であってもよい。さらには、全ての画素部に対応して1つのスタティックメモリ回路28Sが備わった構成であってもよい。

[0093] 本実施の形態の表示装置は、上記発光素子基板を備える表示装置であって、基板1は、搭載面1aと反対側の反対面1b（図10Aに示す）と側面1s（図10Aおよび図10Bに示す）を有しており、発光素子基板は、側面1sに配置された側面配線30（図10Aおよび図10Bに示す）と、反対面1bの側に配置された駆動部6（図8に示す）と、を有しており、第1発光素子14aおよび第2発光素子14bは、側面配線1sを介して駆動部6に接続されている構成である。この構成により、表示不能な画素部15が発生することを効果的に抑えることができる。また、駆動信号線駆動回路（発光制御信号線駆動回路）が複雑化すること、それにより消費電力が増大することを抑えることができる。また、従来のように切替制御部によって過大な電流が第2発光素子14bに流れることに起因して第2発光素子14bの寿命が短くなることもない。

[0094] 駆動部6は、IC、LSI等の駆動素子をチップオンガラス方式で実装した構成のものでよいが、駆動素子を搭載した回路基板であってもよい。また、駆動部6は、ガラス基板から成る基板1の反対面1b上に、CVD法等の薄膜形成方法によって直接的に形成されたLTPS（Low Temperature Poly Silicon）から成る半導体層を有するTFT等を備えた薄膜回路であってもよい。

[0095] 側面配線30は、銀（Ag）、銅（Cu）、アルミニウム（Al）、ステンレススチール等の導電性粒子、未硬化の樹脂成分、アルコール溶媒および水等を含む導電性ペーストを、加熱法、紫外線等の光照射によって硬化させる光硬化法、光硬化加熱法等の方法によって形成され得る。また側面配線30は、メッキ法、蒸着法、CVD法等の薄膜形成方法によっても形成され得る。また、側面配線30が配置される基板1の側面1sの部位に溝があってもよい。その場合、導電性ペーストが側面1sの所望の部位である溝に配置

されやすくなる。

- [0096] 本実施の形態の表示装置は、複数の発光素子を搭載した基板1の複数、同じ面上において縦横に配置するとともにそれらの側面同士を接着材等によって結合（タイリング）させることによって、複合型かつ大型の表示装置、所謂マルチディスプレイを構成することができる。
- [0097] また、本実施の形態の表示装置は発光装置として構成し得る。発光装置は、画像形成装置等に用いられるプリンタヘッド、照明装置、看板装置、掲示装置等として用いることができる。
- [0098] 本実施の形態の表示装置のリペア方法は、上記本実施の形態の表示装置のリペア方法であって、基板1の搭載面1aにおいて、第1正電極パッド20paおよび第1負電極パッド20naに第1発光素子14aを接続し搭載して常時駆動し、次に、第1発光素子14aの電流異常または発光異常を検知したときに、基板1の搭載面1aにおいて、第2正電極パッド20pbおよび第2負電極パッド20nbに第2発光素子14bを接続し搭載するとともに、第1駆動線25aを非駆動状態とし、第2駆動線25bを駆動状態とする構成である。この構成により、第1発光素子14aを常時駆動している状態においては冗長駆動用の第2発光素子14bを接続しておく必要がない。従って、多数の発光素子を必要とする表示装置を作製する場合、発光素子の個数が冗長駆動分を含めて膨大なものになるのを抑えることができ、低コストに作製可能な表示装置を提供することができる。
- [0099] なお、本開示の発光素子基板及び表示装置は、上記実施の形態に限定されるものではなく、適宜の設計的な変更、改良を含んでもよい。例えば、基板1が非透光性のものである場合、基板1は黒色、灰色等の色に着色されたガラス基板、摺りガラスから成るガラス基板であってもよい。
- [0100] 本開示は、次の実施の形態が可能である。
- [0101] 本開示の発光素子基板は、第1発光素子および第2発光素子が搭載される搭載面を有する基板と、前記搭載面の側に配置され、駆動回路と前記駆動回路に並列接続された第1駆動線および第2駆動線を含む画素部と、を備える

発光素子基板であって、前記第 1 駆動線は常時駆動線、前記第 2 駆動線は冗長駆動線であり、前記搭載面の側に前記第 1 発光素子に接続される第 1 正電極パッドおよび第 1 負電極パッドが配置されるとともに、前記第 1 正電極パッドおよび前記第 1 負電極パッドの一方が前記第 1 駆動線に接続されており、前記搭載面の側に前記第 2 発光素子に接続される第 2 正電極パッドおよび第 2 負電極パッドが配置されるとともに、前記第 2 正電極パッドおよび前記第 2 負電極パッドの一方が前記第 2 駆動線に接続されている構成である。

[0102] 本開示の発光素子基板は、前記第 1 駆動線上に前記第 1 駆動線の駆動、非駆動を制御する第 1 スイッチが配置されており、前記第 2 駆動線上に前記第 2 駆動線の駆動、非駆動を制御する第 2 スイッチが配置されていることがよい。

[0103] また本開示の発光素子基板は、前記第 1 スイッチおよび前記第 2 スイッチのいずれか一方を閉状態とし他方を開状態とする切り替え制御を行う切替制御部を備えていることがよい。

[0104] また本開示の発光素子基板において、前記切替制御部は、正規の発光素子の駆動電圧と駆動電流の電圧－電流相関データを記憶している記憶部と、前記電圧－電流相関データを参照して前記第 1 発光素子の電流異常を検知する電流異常検知部と、を備えており、前記第 1 発光素子の電流異常を検知したときに、前記第 1 スイッチを開状態とし、前記第 2 スイッチを閉状態とすることがよい。

[0105] また本開示の発光素子基板は、前記切替制御部は、正規の発光素子の駆動電圧と発光強度の電圧－発光相関データを記憶している記憶部と、前記電圧－発光相関データを参照して前記第 1 発光素子の発光異常を検知する発光異常検知部と、を備えており、前記第 1 発光素子の発光異常を検知したときに、前記第 1 スイッチを開状態とし、前記第 2 スイッチを閉状態とすることがよい。

[0106] また本開示の発光素子基板において、前記切替制御部は、前記画素部に備えられていることがよい。

- [0107] また本開示の発光素子基板は、前記画素部は、行列状に複数配列されており、前記切替部は、複数の前記画素部のそれぞれに配置されており、前記切替制御部は、行方向に配列された複数の前記画素部および／または列方向に配列された複数の前記画素部に対応して備わっていることがよい。
- [0108] また本開示の発光素子基板は、前記第1発光素子および前記第2発光素子はマイクロLED素子であることがよい。
- [0109] 本開示の発光素子基板は、第1発光素子および第2発光素子が搭載される搭載面を有する基板と、前記搭載面の側に配置され、駆動回路と前記駆動回路に並列接続された第1駆動線および第2駆動線を含む画素部と、を備える発光素子基板であって、前記第1駆動線は前記第1発光素子を常時駆動する常時駆動線であり、前記第2駆動線は前記第2発光素子を冗長駆動する冗長駆動線であり、前記第1駆動線および前記第2駆動線の一方を導通状態とし他方を非導通状態とする切替部と、前記切替部を制御する切替制御部と、を備えている構成である。
- [0110] 本開示の発光素子基板において、前記切替部および前記切替制御部は、前記画素部に備えられていることがよい。
- [0111] また本開示の発光素子基板において、前記画素部は、行列状に複数配列されており、前記切替部は、複数の前記画素部のそれぞれに配置されており、前記切替制御部は、行方向に配列された複数の前記画素部および／または列方向に配列された複数の前記画素部に対応して備わっていることがよい。
- [0112] また本開示の発光素子基板において、前記切替制御部は、第1反転論理回路と、その後段側に直列接続された第2反転論理回路と、を備えたスタティックメモリ回路であり、前記切替部は、前記第1反転論理回路および前記第2反転論理回路に並列的に接続されていることがよい。
- [0113] また本開示の発光素子基板において、前記切替制御部は、スタティックメモリ回路と、その後段側に並列接続された反転論理回路と、を備えており、前記切替部は、前記スタティックメモリ回路および前記反転論理回路に並列的に接続されていることがよい。

- [0114] 本開示の表示装置は、上記本開示の発光素子基板を備える表示装置であって、前記基板は、前記搭載面と反対側の反対面と側面とを有しており、前記発光素子基板は、前記側面に配置された側面配線と、前記反対面の側に配置された駆動部と、を有しており、前記第1発光素子および前記第2発光素子は、前記側面配線を介して前記駆動部に接続されている構成である。
- [0115] 本開示の表示装置のリペア方法は、上記本開示の表示装置のリペア方法であって、前記基板の前記搭載面に搭載された前記第1発光素子を常時駆動し、次に、前記第1発光素子の電流異常または発光異常を検知したときに、前記搭載面に前記第2発光素子を搭載するとともに、前記第1駆動線を非駆動状態とし、前記第2駆動線を駆動状態とする構成である。
- [0116] 本開示の発光素子基板は、第1発光素子および第2発光素子が搭載される搭載面を有する基板と、前記搭載面の側に配置され、駆動回路と前記駆動回路に並列接続された第1駆動線および第2駆動線を含む画素部と、を備える発光素子基板であって、前記第1駆動線は常時駆動線、前記第2駆動線は冗長駆動線であり、前記搭載面の側に前記第1発光素子に接続される第1正電極パッドおよび第1負電極パッドが配置されるとともに、前記第1正電極パッドおよび前記第1負電極パッドの一方が前記第1駆動線に接続されており、前記搭載面の側に前記第2発光素子に接続される第2正電極パッドおよび第2負電極パッドが配置されるとともに、前記第2正電極パッドおよび前記第2負電極パッドの一方が前記第2駆動線に接続されている構成であることから、以下の効果を奏する。第1発光素子を第1正電極パッドおよび第1負電極パッドにハンダ等を介して導電接続したときに、第1発光素子において接続不良が発生した場合、また第1発光素子が不良品であった場合等に、第1駆動線を非駆動状態（不使用状態）とし、第2正電極パッドおよび第2負電極パッドに第2発光素子を接続して第2駆動線を駆動状態（使用状態）とすることができる。これにより、発光不良または発光不能な画素部が発生することを効果的に抑えることができる。また、第1正電極パッドと第2正電極パッドは物理的および電氣的に互いに独立し、かつ第1負電極パッドと第

2負電極パッドは物理的および電氣的に互いに独立していることから、即ち駆動系統が互いに独立していることから、常時駆動される発光素子を第2発光素子に切り替えても駆動信号の再調整等は不要である。その結果、駆動信号線駆動回路（発光制御信号線駆動回路）が複雑化すること、それにより消費電力が増大することを抑えることができる。また、従来のように第2発光素子に過大な電流が流れてその寿命が短くなることもない。

[0117] 本発開示の発光素子基板は、前記第1駆動線上に前記第1駆動線の駆動、非駆動を制御する第1スイッチが配置されており、前記第2駆動線上に前記第2駆動線の駆動、非駆動を制御する第2スイッチが配置されている場合、第1駆動線を駆動状態とし第2駆動線を非駆動状態とする駆動形態と、第1駆動線を非駆動状態とし第2駆動線を駆動状態とする駆動形態と、の切り替えが容易になる。

[0118] また本開示の発光素子基板は、前記第1スイッチおよび前記第2スイッチのいずれか一方を閉状態とし他方を開状態とする切り替え制御を行う切替制御部を備える場合、第1駆動線を駆動状態とし第2駆動線を非駆動状態とする駆動形態と、第1駆動線を非駆動状態とし第2駆動線を駆動状態とする駆動形態と、の切り替えがより容易になる。その結果、常時駆動される発光素子を第1発光素子から第2発光素子に切り替える動作が迅速化され、発光不良状態が即座に解消される。

[0119] また本開示の発光素子基板において、前記切替制御部は、正規の発光素子の駆動電圧と駆動電流の電圧－電流相関データを記憶している記憶部と、前記電圧－電流相関データを参照して前記第1発光素子の電流異常を検知する電流異常検知部と、を備えており、前記第1発光素子の電流異常を検知したときに、前記第1スイッチを開状態とし、前記第2スイッチを閉状態とする切り替え制御を行う場合、視認により第1発光素子の発光状態を検知する場合と比較して、第1発光素子の発光不良を自動的かつ正確に検知することができる。

[0120] また本開示の発光素子基板において、前記切替制御部は、正規の発光素子

の駆動電圧と発光強度の電圧－発光相関データを記憶している記憶部と、前記電圧－発光相関データを参照して前記第1発光素子の発光異常を検知する発光異常検知部と、を備えており、前記第1発光素子の発光異常を検知したときに、前記第1スイッチを開状態とし、前記第2スイッチを閉状態とする切り替え制御を行う場合、視認により第1発光素子の発光状態を検知する場合と比較して、第1発光素子の発光不良を自動的かつ正確に検知することができる。

[0121] また本開示の発光素子基板において、前記切替制御部は、前記画素部に備えられている場合、常時駆動される発光素子を第2発光素子に切り替える動作がより迅速化される。その結果、発光不良状態がより即座に解消される。また、切替制御部が画素部以外の画素部の周辺部にある場合には発光素子基板が大型化するが、そのような問題も生じない小型化されたものとなる。

[0122] また本開示の発光素子基板において、前記画素部は、行列状に複数配列されており、前記切替部は、複数の前記画素部のそれぞれに配置されており、前記切替制御部は、行方向に配列された複数の前記画素部および／または列方向に配列された複数の前記画素部に対応して備わっている場合、切替制御部の数を大幅に減少させ得る。その結果、小型化された発光素子基板となる。また、回路構造が簡易化されるので、低消費電力の発光素子基板となる。

[0123] また本開示の発光素子基板は、前記第1発光素子および前記第2発光素子はマイクロLED素子である場合、電極パッドとの接続が容易で小型の発光素子であることから、本開示の発光素子基板を用いて表示装置を構成した場合、高品質の画像表示が可能で発光素子のリペアも容易なものとなる。

[0124] 本開示の発光素子基板は、第1発光素子および第2発光素子が搭載される搭載面を有する基板と、前記搭載面の側に配置され、駆動回路と前記駆動回路に並列接続された第1駆動線および第2駆動線を含む画素部と、を備える発光素子基板であって、前記第1駆動線は前記第1発光素子を常時駆動する常時駆動線であり、前記第2駆動線は前記第2発光素子を冗長駆動する冗長駆動線であり、前記第1駆動線および前記第2駆動線の一方を導通状態とし

他方を非導通状態とする切替部と、前記切替部を制御する切替制御部と、を備えている構成である。この構成により、以下の効果を奏する。第1発光素子を搭載面に搭載したときに、第1発光素子において接続不良が発生した場合、また第1発光素子が不良品であった場合等に、第1駆動線を非駆動状態（不使用状態）とし、第2駆動線を駆動状態（使用状態）とすることができる。これにより、発光不良または発光不能な画素部が発生することを効果的に抑えることができる。また、第1駆動線と第2駆動線は物理的および電氣的に互いに独立していることから、即ち駆動系統が互いに独立していることから、常時駆動される発光素子を第2発光素子に切り替えても駆動信号の再調整等は不要である。その結果、駆動信号線駆動回路（発光制御信号線駆動回路）が複雑化すること、それにより消費電力が増大することを抑えることができる。また、従来のように第2発光素子に過大な電流が流れてその寿命が短くなることもない。

[0125] 本開示の発光素子基板において、前記切替部および前記切替制御部は、前記画素部に備えられている場合、常時駆動される発光素子を第2発光素子に切り替える動作がより迅速化される。その結果、発光不良状態がより即座に解消される。

[0126] また本開示の発光素子基板において、前記画素部は、行列状に複数配列されており、前記切替部は、複数の前記画素部のそれぞれに配置されており、前記切替制御部は、行方向に配列された複数の前記画素部および／または列方向に配列された複数の前記画素部に対応して備わっている場合、切替制御部の数を大幅に減少させ得る。その結果、小型化された発光素子基板となる。また、回路構造が簡易化されるので、低消費電力の発光素子基板となる。

[0127] また本開示の発光素子基板において、前記切替制御部は、第1反転論理回路と、その後段側に直列接続された第2反転論理回路と、を備えたスタティックメモリ回路であり、前記切替部は、前記第1反転論理回路および前記第2反転論理回路に並列的に接続されている場合、スタティックメモリ回路だけで切替部を切替制御できるので、回路構成が簡易化され、低消費電力の発

光素子基板となる。

[0128] また本開示の発光素子基板において、前記切替制御部は、スタティックメモリ回路と、その後段側に並列接続された反転論理回路と、を備えており、前記切替部は、前記スタティックメモリ回路および前記反転論理回路に並列的に接続されている場合、スタティックメモリ回路の動作が安定化するので、切替制御を安定的に行える。

[0129] 本開示の表示装置は、上記本開示の発光素子基板を備える表示装置であって、前記基板は、前記搭載面と反対側の反対面と側面とを有しており、前記発光素子基板は、前記側面に配置された側面配線と、前記反対面の側に配置された駆動部と、を有しており、前記第1発光素子および前記第2発光素子は、前記側面配線を介して前記駆動部に接続されている構成であることから、表示不能な画素部が発生することを効果的に抑えることができるものとなる。また、駆動信号線駆動回路（発光制御信号線駆動回路）が複雑化すること、それにより消費電力が増大することを抑えることができる。また、第2発光素子の寿命が短くなることもない。

[0130] 本開示の表示装置のリペア方法は、上記本開示の表示装置のリペア方法であって、前記基板の前記搭載面に搭載された前記第1発光素子を常時駆動し、次に、前記第1発光素子の電流異常または発光異常を検知したときに、前記搭載面に前記第2発光素子を搭載するとともに、前記第1駆動線を非駆動状態とし、前記第2駆動線を駆動状態とする構成であることから、第1発光素子を常時駆動している状態においては冗長駆動用の第2発光素子を接続しておく必要がない。従って、多数の発光素子を必要とする表示装置を作製する場合、発光素子の個数が冗長駆動分を含めて膨大なものになるのを抑えることができ、低コストに作製可能な表示装置を提供することができる。

産業上の利用可能性

[0131] 本開示の表示装置は、各種の電子機器に適用できる。その電子機器としては、複合型かつ大型の表示装置（マルチディスプレイ）、自動車経路誘導システム（カーナビゲーションシステム）、船舶経路誘導システム、航空機経

路誘導システム、スマートフォン端末、携帯電話、タブレット端末、パーソナルデジタルアシスタント（PDA）、ビデオカメラ、デジタルスチルカメラ、電子手帳、電子書籍、電子辞書、パーソナルコンピュータ、複写機、ゲーム機器の端末装置、テレビジョン、商品表示タグ、価格表示タグ、産業用のプログラマブル表示装置、カーオーディオ、デジタルオーディオプレイヤー、ファクシミリ、プリンター、現金自動預け入れ払い機（ATM）、自動販売機、ヘッドマウントディスプレイ（HMD）、デジタル表示式腕時計、スマートウォッチなどがある。

[0132] 本開示は、その精神または主要な特徴から逸脱することなく、他のいろいろな形態で実施できる。したがって、前述の実施形態はあらゆる点で単なる例示に過ぎず、本発明開示の範囲は特許請求の範囲に示すものであって、明細書本文には何ら拘束されない。さらに、特許請求の範囲に属する変形や変更は全て本発明開示の範囲内のものである。

符号の説明

- [0133] 1 基板
- 1 a 搭載面
 - 1 b 反対面
 - 1 s 側面
- 6 駆動部
- 14 a 第1発光素子
 - 14 b 第2発光素子
- 15 画素部
- 20 p a 第1正電極パッド
 - 20 n a 第1負電極パッド
 - 20 p b 第2正電極パッド
 - 20 n b 第2負電極パッド
- 25 a 第1駆動線
 - 25 b 第2駆動線

- 26 a 第1スイッチ
- 26 b 第2スイッチ
- 27, 28, 29, 33 切替制御部
- 28 a, 28 G, 28 S スタティックメモリ回路
- 28 G a, 28 S a 第1インバータ
- 28 G a l, 28 S a l 第1出力線
- 28 G b, 28 S b 第2インバータ
- 28 G b l, 28 S b l 第2出力線
- 30 側面配線
- 50 電圧-電流相関データ
- 60 電圧-発光相関データ
- 81, 82 バッファ回路

請求の範囲

- [請求項1] 第1発光素子および第2発光素子が搭載される搭載面を有する基板と、
- 前記搭載面の側に配置され、駆動回路と前記駆動回路に並列接続された第1駆動線および第2駆動線を含む画素部と、を備える発光素子基板であって、
- 前記第1駆動線は常時駆動線、前記第2駆動線は冗長駆動線であり、
- 前記搭載面の側に前記第1発光素子に接続される第1正電極パッドおよび第1負電極パッドが配置されるとともに、前記第1正電極パッドおよび前記第1負電極パッドの一方が前記第1駆動線に接続されており、
- 前記搭載面の側に前記第2発光素子に接続される第2正電極パッドおよび第2負電極パッドが配置されるとともに、前記第2正電極パッドおよび前記第2負電極パッドの一方が前記第2駆動線に接続されている発光素子基板。
- [請求項2] 前記第1駆動線上に前記第1駆動線の駆動、非駆動を制御する第1スイッチが配置されており、
- 前記第2駆動線上に前記第2駆動線の駆動、非駆動を制御する第2スイッチが配置されている請求項1に記載の発光素子基板。
- [請求項3] 前記第1スイッチおよび前記第2スイッチのいずれか一方を閉状態とし他方を開状態とする切り替え制御を行う切替制御部を備えている請求項2に記載の発光素子基板。
- [請求項4] 前記切替制御部は、正規の発光素子の駆動電圧と駆動電流の電圧－電流相関データを記憶している記憶部と、前記電圧－電流相関データを参照して前記第1発光素子の電流異常を検知する電流異常検知部と、を備えており、前記第1発光素子の電流異常を検知したときに、前記第1スイッチを開状態とし、前記第2スイッチを閉状態とする請求

項3に記載の発光素子基板。

[請求項5] 前記切替制御部は、正規の発光素子の駆動電圧と発光強度の電圧－発光相関データを記憶している記憶部と、前記電圧－発光相関データを参照して前記第1発光素子の発光異常を検知する発光異常検知部と、を備えており、前記第1発光素子の発光異常を検知したときに、前記第1スイッチを開状態とし、前記第2スイッチを閉状態とする請求項3に記載の発光素子基板。

[請求項6] 前記切替制御部は、前記画素部に備えられている請求項3～5のいずれか1項に記載の発光素子基板。

[請求項7] 前記画素部は、行列状に複数配列されており、
前記切替部は、複数の前記画素部のそれぞれに配置されており、
前記切替制御部は、行方向に配列された複数の前記画素部および／または列方向に配列された複数の前記画素部に対応して備わっている請求項3～5のいずれか1項に記載の発光素子基板。

[請求項8] 前記第1発光素子および前記第2発光素子はマイクロLED素子である請求項1～7のいずれか1項に記載の発光素子基板。

[請求項9] 第1発光素子および第2発光素子が搭載される搭載面を有する基板と、

前記搭載面の側に配置され、駆動回路と前記駆動回路に並列接続された第1駆動線および第2駆動線を含む画素部と、を備える発光素子基板であって、

前記第1駆動線は前記第1発光素子を常時駆動する常時駆動線であり、

前記第2駆動線は前記第2発光素子を冗長駆動する冗長駆動線であり、

前記第1駆動線および前記第2駆動線の一方を導通状態とし他方を非導通状態とする切替部と、

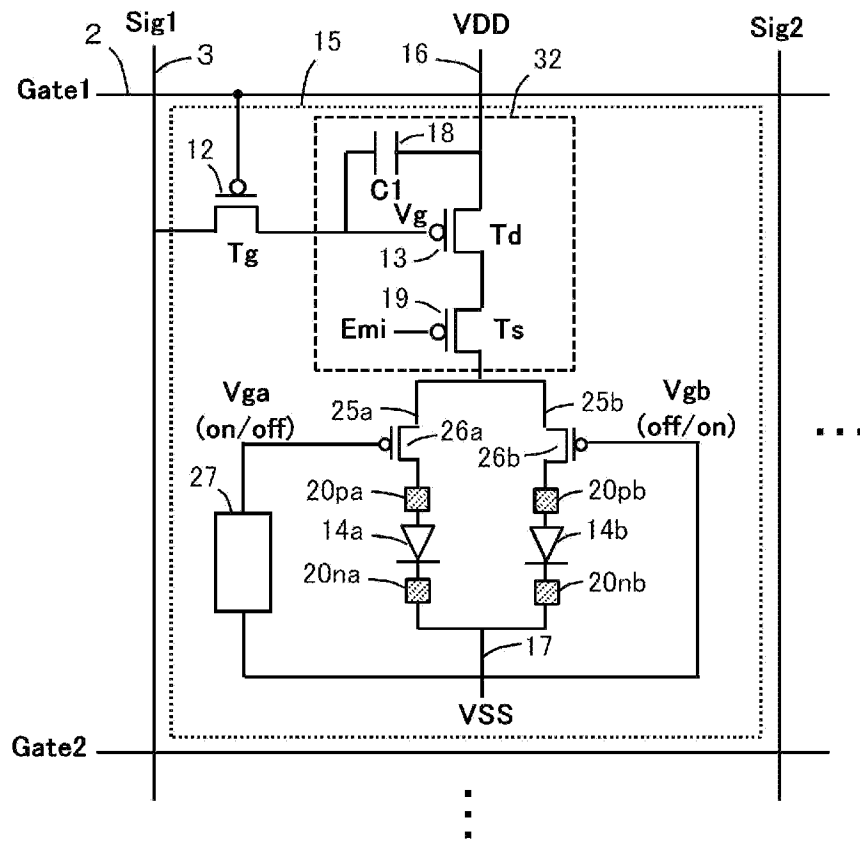
前記切替部に接続された切替制御部と、を備えている発光素子基板

- 。
- [請求項10] 前記切替部および前記切替制御部は、前記画素部に備えられている請求項9に記載の発光素子基板。
- [請求項11] 前記画素部は、行列状に複数配列されており、
前記切替部は、複数の前記画素部のそれぞれに配置されており、
前記切替制御部は、行方向に配列された複数の前記画素部および／
または列方向に配列された複数の前記画素部に対応して備わっている請求項9に記載の発光素子基板。
- [請求項12] 前記切替制御部は、第1反転論理回路と、その後段側に直列接続された第2反転論理回路と、を備えたスタティックメモリ回路であり、
前記切替部は、前記第1反転論理回路および前記第2反転論理回路に並列的に接続されている請求項9～11のいずれか1項に記載の発光素子基板。
- [請求項13] 前記切替制御部は、スタティックメモリ回路と、その後段側に並列接続された反転論理回路と、を備えており、
前記切替部は、前記スタティックメモリ回路および前記反転論理回路に並列的に接続されている請求項9～11のいずれか1項に記載の発光素子基板。
- [請求項14] 請求項1～13のいずれか1項に記載の発光素子基板を備える表示装置であって、
前記基板は、前記搭載面と反対側の反対面と側面とを有しており、
前記発光素子基板は、前記側面に配置された側面配線と、前記反対面の側に配置された駆動部と、を有しており、
前記第1発光素子および前記第2発光素子は、前記側面配線を介して前記駆動部に接続されている表示装置。
- [請求項15] 請求項14に記載の表示装置のリペア方法であって、
前記基板の前記搭載面に搭載された前記第1発光素子を常時駆動し、

次に、前記第1発光素子の電流異常または発光異常を検知したときに、前記搭載面に前記第2発光素子を搭載するとともに、前記第1駆動線を非駆動状態とし、前記第2駆動線を駆動状態とする表示装置のリペア方法。

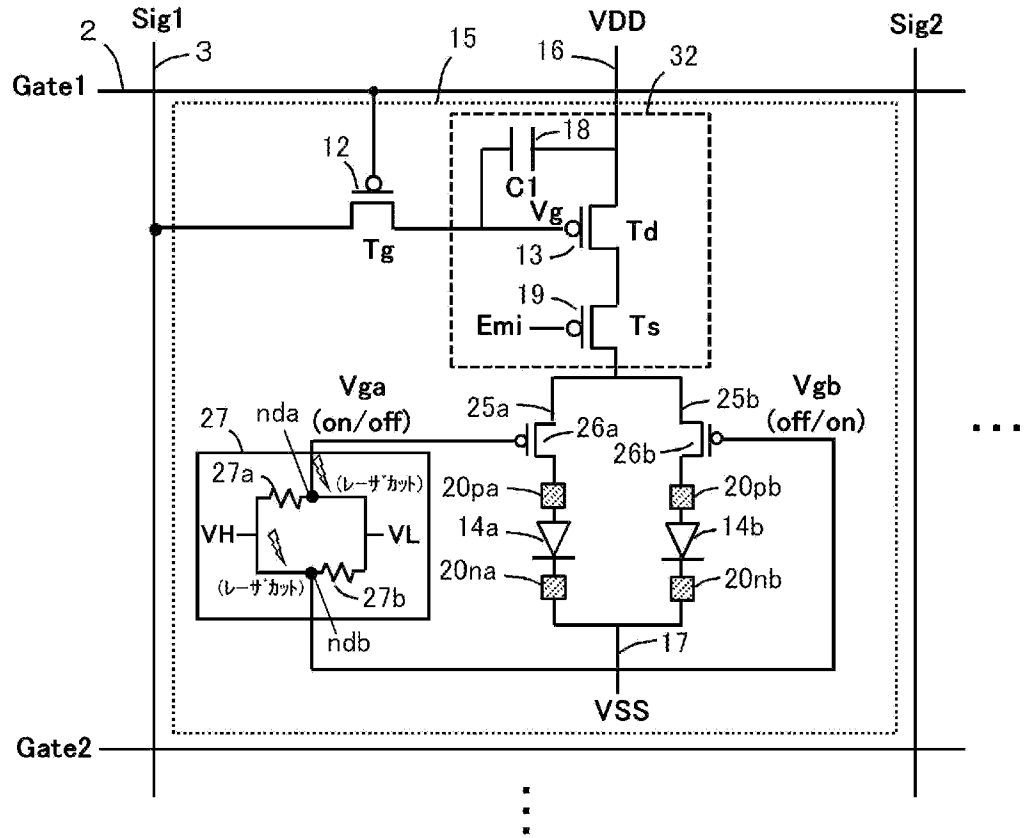
[図2]

FIG. 2



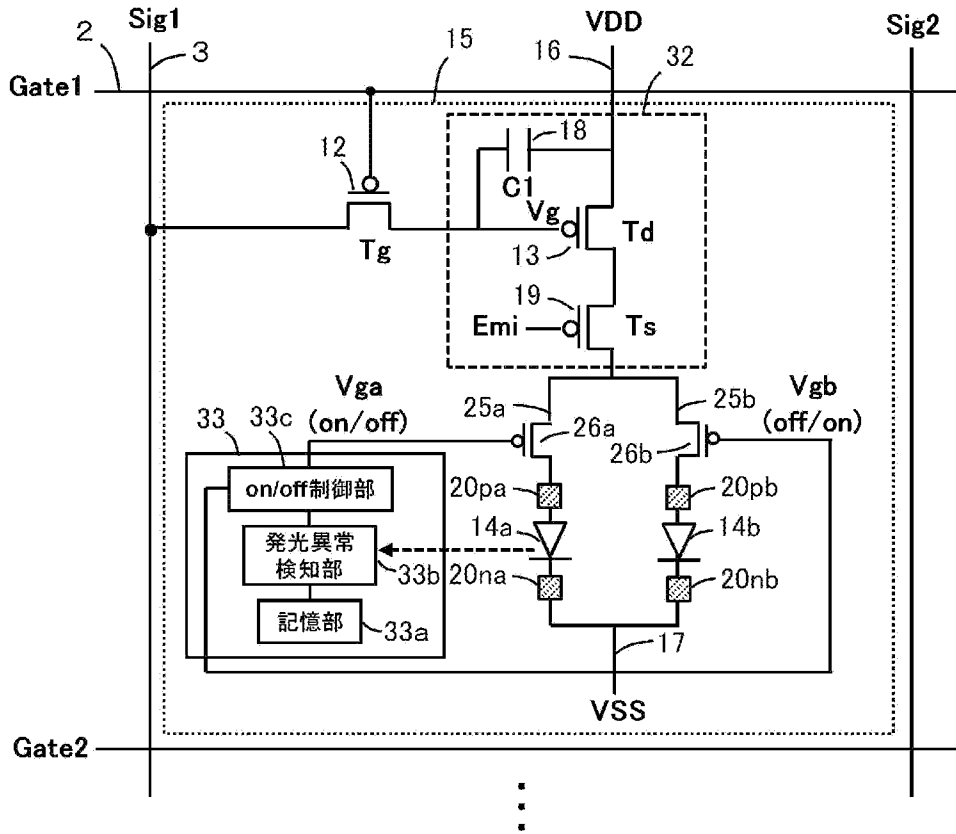
[図3]

FIG. 3



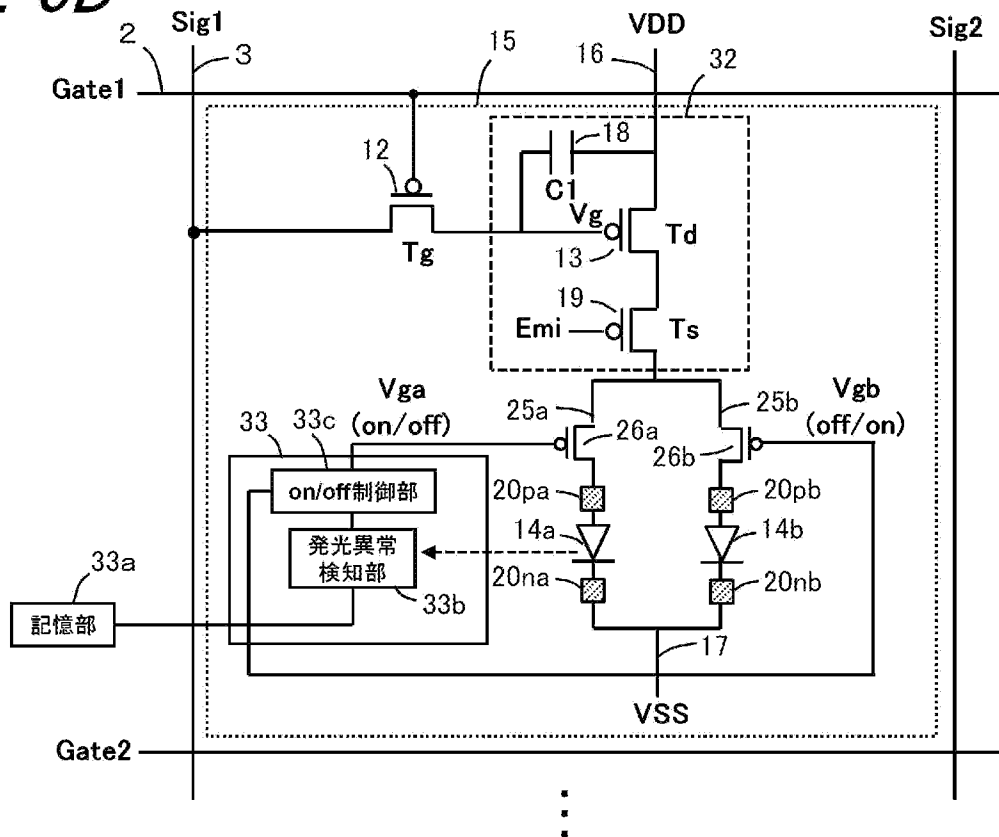
[図6A]

FIG. 6A



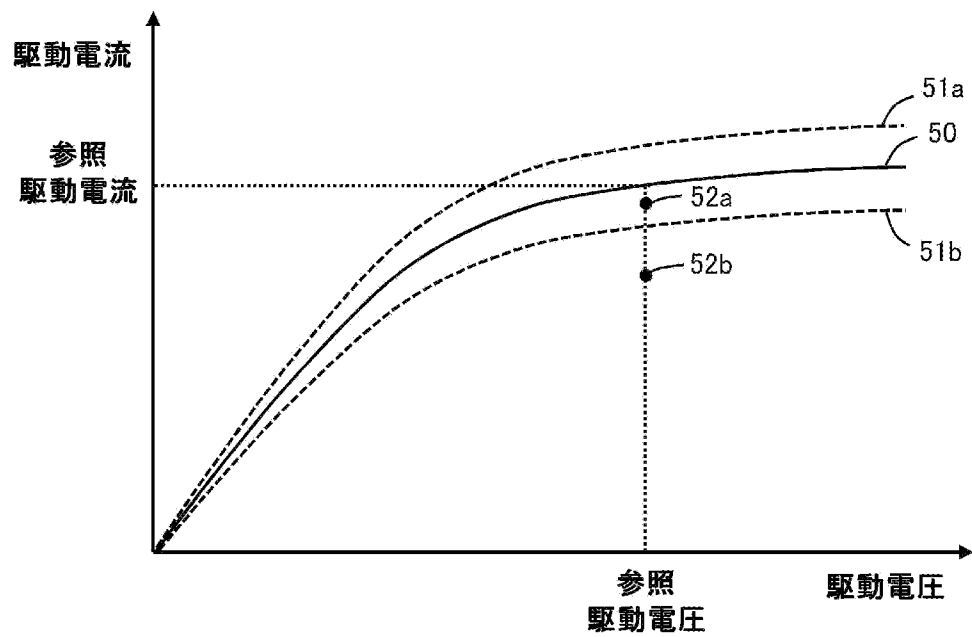
[図6B]

FIG. 6B



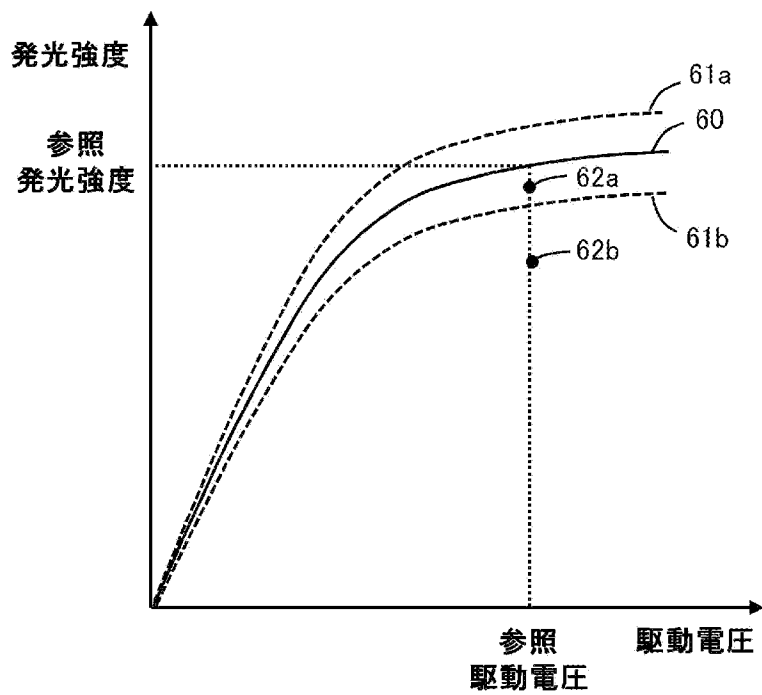
[図7A]

FIG. 7A

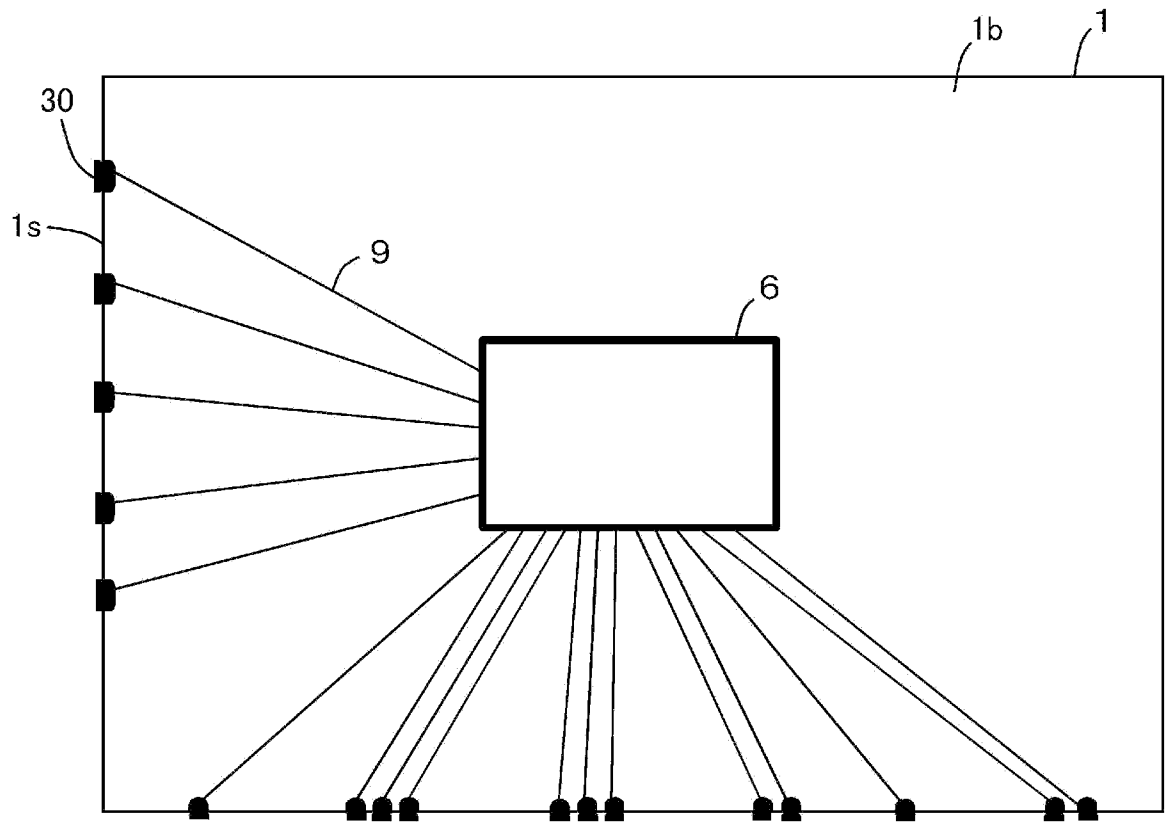


[図7B]

FIG. 7B

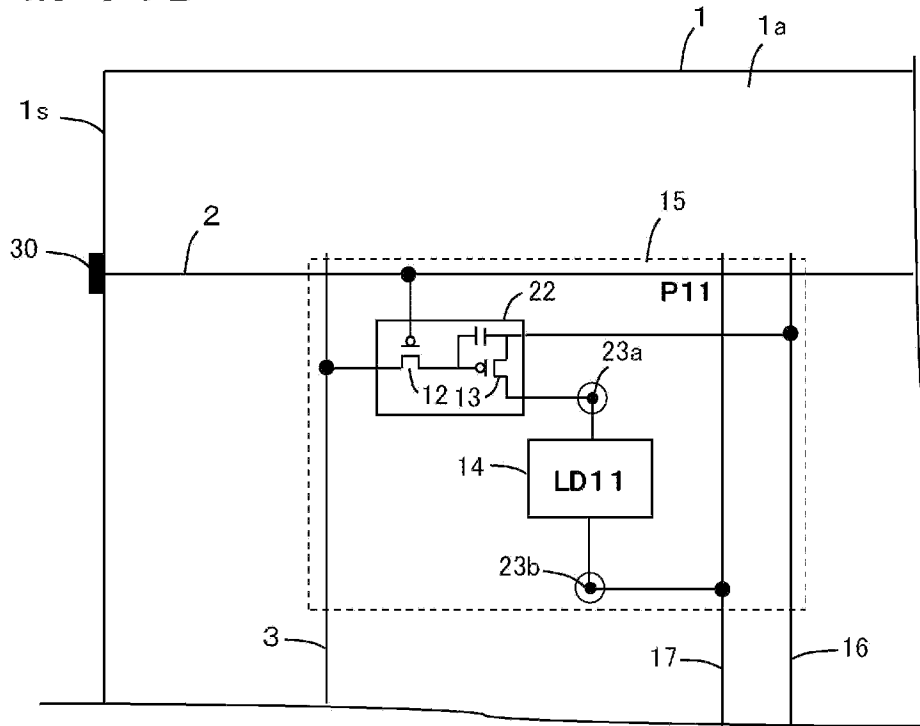


[図8]

FIG. 8

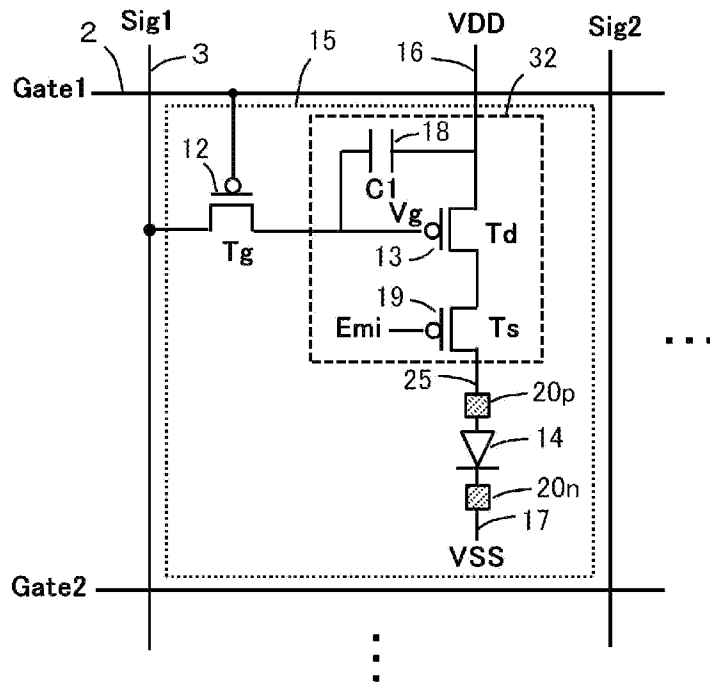
[図10B]

FIG. 10B



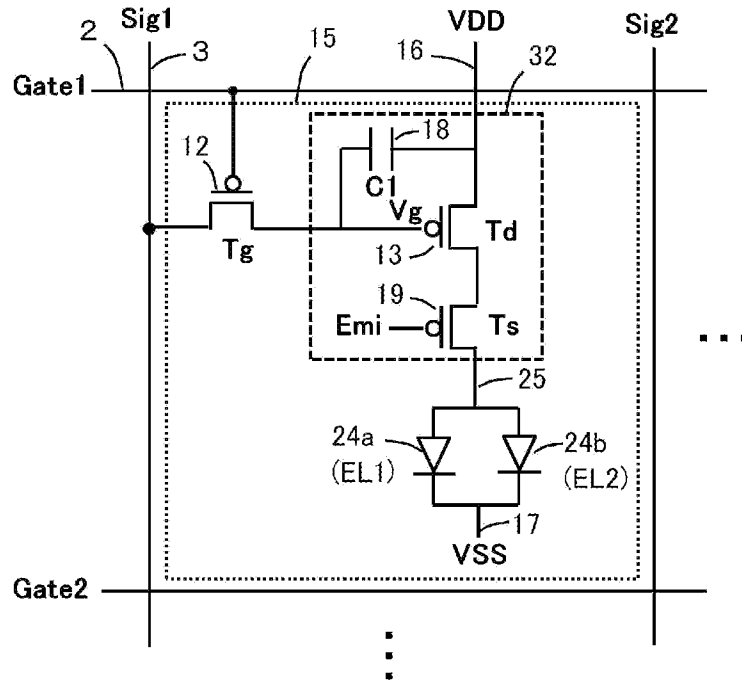
[図11A]

FIG. 11A



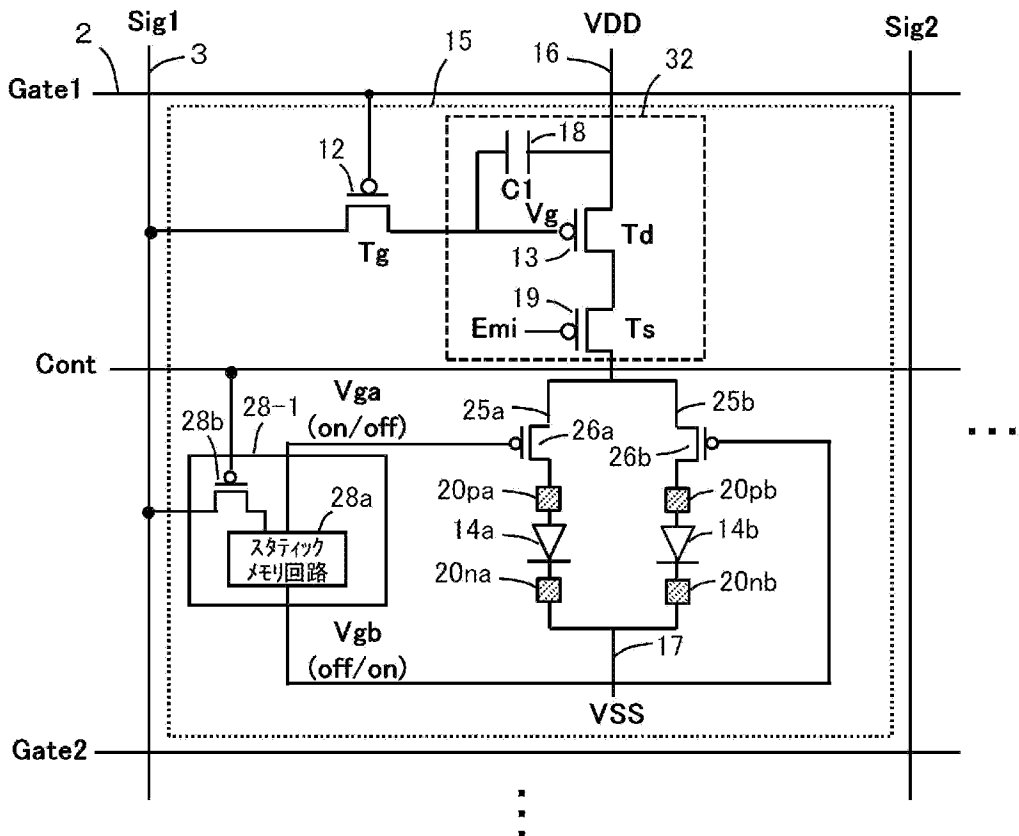
[図11B]

FIG. 11B

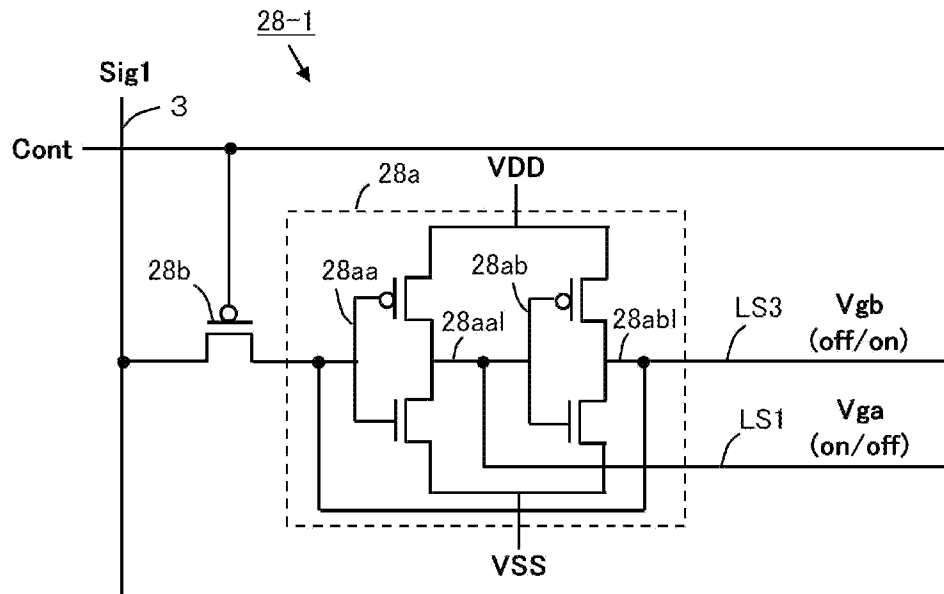


[図12]

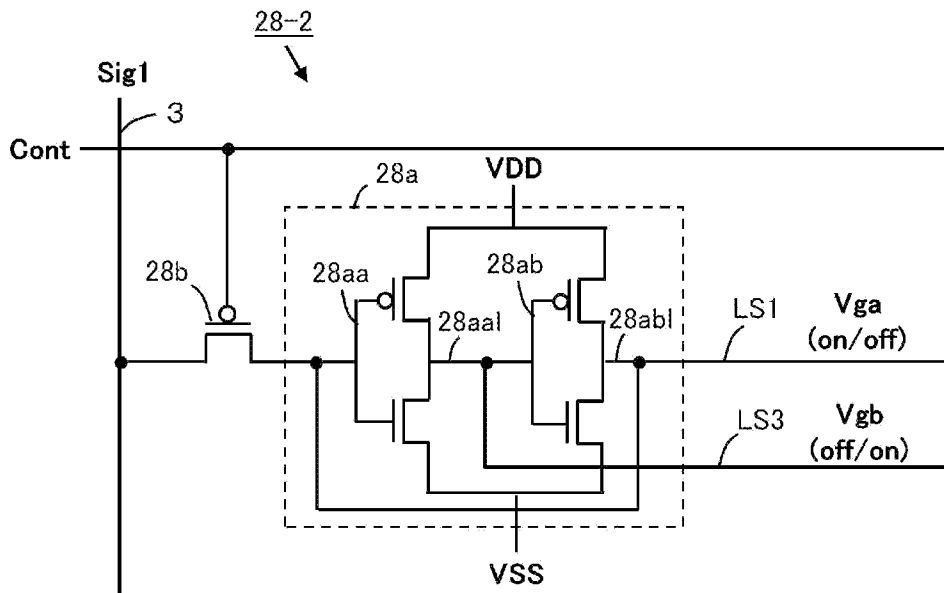
FIG. 12



[FIG. 13A]

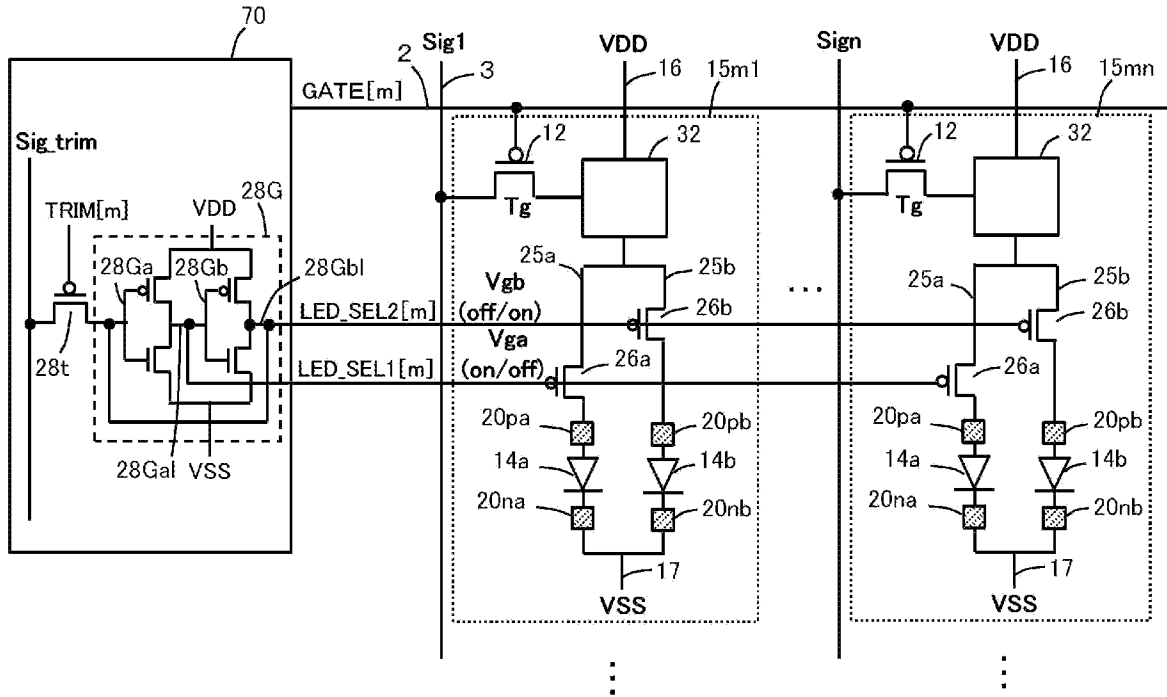
FIG. 13A

[FIG. 13B]

FIG. 13B

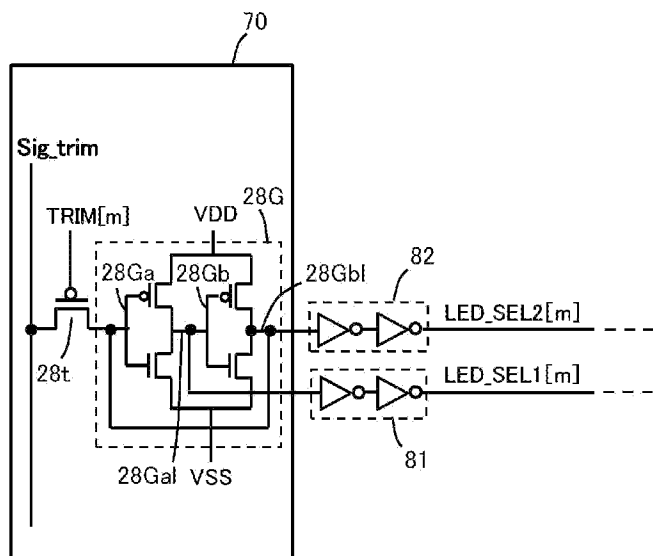
[FIG. 14A]

FIG. 14A



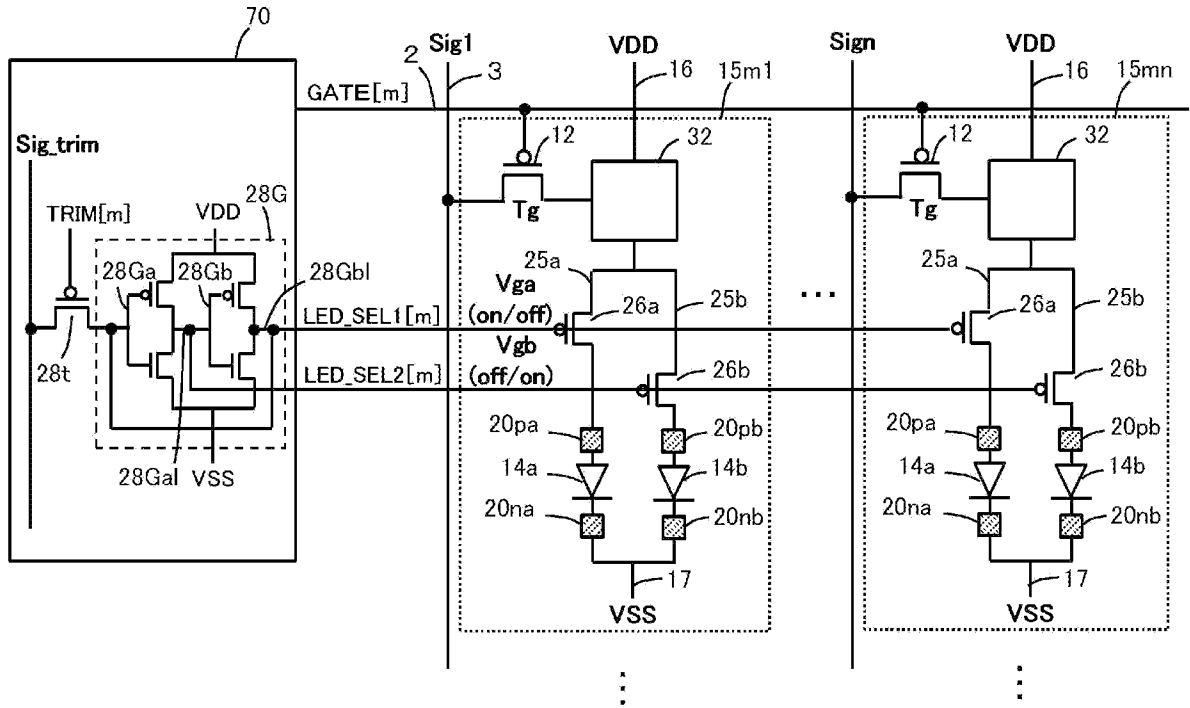
[FIG. 14B]

FIG. 14B



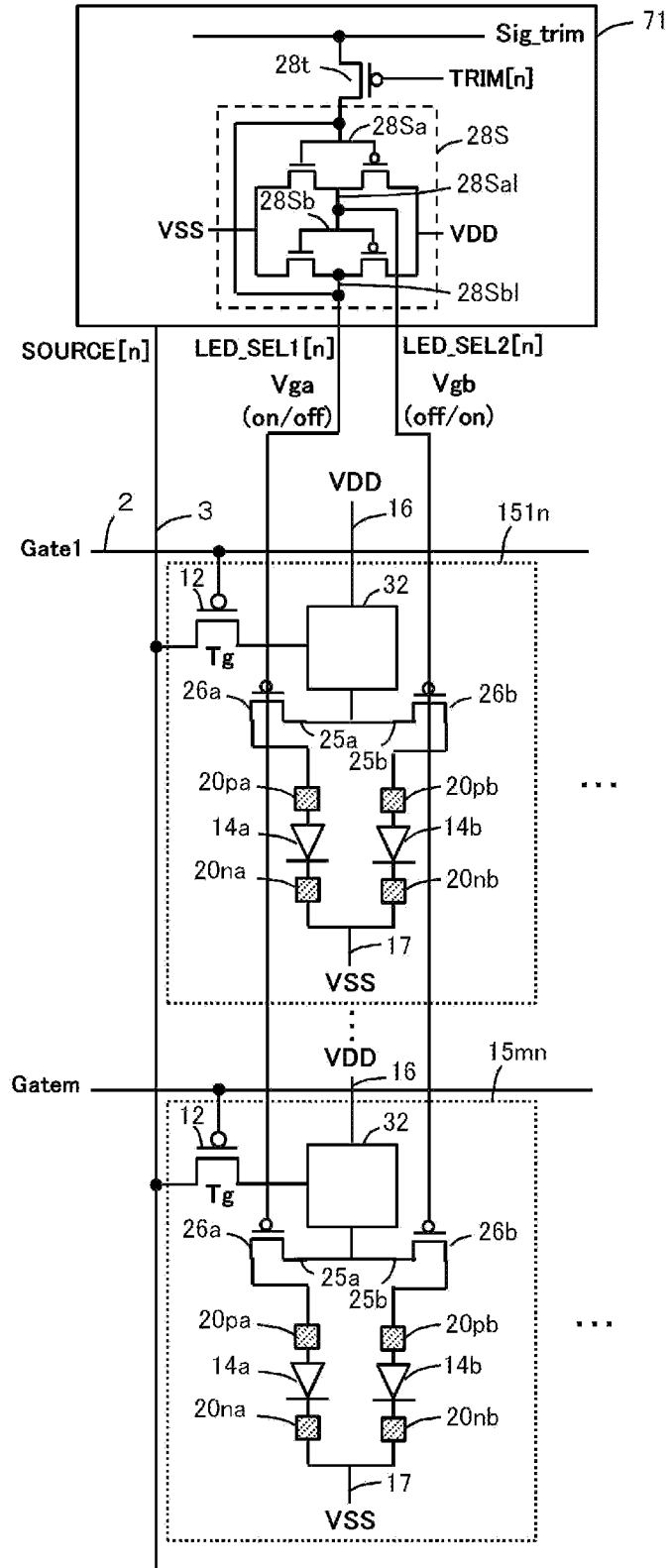
[図15]

FIG. 15



[図17]

FIG. 17



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/000091

A. CLASSIFICATION OF SUBJECT MATTER

H05B 33/12(2006.01)i; H01L 51/50(2006.01)i; H05B 33/14(2006.01)i; G09G 3/20(2006.01)i; G09G 3/32(2016.01)i; H01L 33/00(2010.01)i; H01L 33/62(2010.01)i; G09F 9/00(2006.01)i; G09F 9/30(2006.01)i; G09F 9/33(2006.01)i; H01L 27/32(2006.01)i

FI: G09F9/33; G09G3/20 670A; G09G3/32 A; H01L33/00 K; G09F9/30 338; G09F9/00 351; H01L33/62; H05B33/14 A; H05B33/14 Z; H05B33/12 Z; G09F9/00 352; G09G3/20 670M; G09F9/30 330; H01L27/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05B33/12; H01L51/50; H05B33/14; G09G3/20; G09G3/32; H01L33/00; H01L33/62; G09F9/00; G09F9/30; G09F9/33; H01L27/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2018/116814 A1 (SHARP CORP.) 28.06.2018 (2018-06-28) paragraphs [0166]-[0190], [0200], fig. 29-36	1-3, 6-11, 14-15 4-5, 12-13
X A	JP 8-137413 A (HITACHI, LTD.) 31.05.1996 (1996-05-31) paragraphs [0007]-[0008], [0020]-[0046], fig. 1-4	1-3, 6-11, 14-15 4-5, 12-13
X A	CN 101276528 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES) 01.10.2008 (2008-10-01) page 3, line 1 to page 11, line 22, fig. 1-2	1-3, 6-7, 9-11, 14-15 4-5, 8, 12-13
A	JP 2007-121424 A (TOSHIBA MATSUSHITA DISPLAY TECHNOLOGY CO., LTD.) 17.05.2007 (2007-05-17) entire text, all drawings	1-15

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
21 February 2020 (21.02.2020)

Date of mailing of the international search report
03 March 2020 (03.03.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/000091

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2018-518711 A (APPLE INC.) 12.07.2018 (2018-07-12) entire text, all drawings	1-15
A	JP 2010-97040 A (SONY CORP.) 30.04.2010 (2010-04-30) entire text, all drawings	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/000091

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2018/116814 A1	28 Jun. 2018	CN 110100318 A	
JP 8-137413 A	31 May 1996	(Family: none)	
CN 101276528 A	01 Oct. 2008	(Family: none)	
JP 2007-121424 A	17 May 2007	(Family: none)	
JP 2018-518711 A	12 Jul. 2018	US 2018/0211582 A1	
		entire text, all drawings	
		WO 2016/200635 A1	
		KR 10-2018-0004247 A	
		CN 107750377 A	
JP 2010-97040 A	30 Apr. 2010	(Family: none)	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H05B 33/12(2006.01)i; H01L 51/50(2006.01)i; H05B 33/14(2006.01)i; G09G 3/20(2006.01)i; G09G 3/32(2016.01)i; H01L 33/00(2010.01)i; H01L 33/62(2010.01)i; G09F 9/00(2006.01)i; G09F 9/30(2006.01)i; G09F 9/33(2006.01)i; H01L 27/32(2006.01)i FI: G09F9/33; G09G3/20 670A; G09G3/32 A; H01L33/00 K; G09F9/30 338; G09F9/00 351; H01L33/62; H05B33/14 A; H05B33/14 Z; H05B33/12 Z; G09F9/00 352; G09G3/20 670M; G09F9/30 330; H01L27/32</p>																										
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H05B33/12; H01L51/50; H05B33/14; G09G3/20; G09G3/32; H01L33/00; H01L33/62; G09F9/00; G09F9/30; G09F9/33; H01L27/32</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年																
日本国実用新案公報	1922 - 1996年																									
日本国公開実用新案公報	1971 - 2020年																									
日本国実用新案登録公報	1996 - 2020年																									
日本国登録実用新案公報	1994 - 2020年																									
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>WO 2018/116814 A1 (シャープ株式会社) 28.06.2018 (2018 - 06 - 28) 段落[0166]-[0190], [0200], 図29-36</td> <td>1-3, 6-11, 14-15</td> </tr> <tr> <td>A</td> <td></td> <td>4-5, 12-13</td> </tr> <tr> <td>X</td> <td>JP 8-137413 A (株式会社日立製作所) 31.05.1996 (1996 - 05 - 31) 段落[0007]-[0008], [0020]-[0046], 図1-4</td> <td>1-3, 6-11, 14-15</td> </tr> <tr> <td>A</td> <td></td> <td>4-5, 12-13</td> </tr> <tr> <td>X</td> <td>CN 101276528 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES) 01.10.2008 (2008 - 10 - 01) 第3頁第1行-第11頁第22行, 図1-2</td> <td>1-3, 6-7, 9-11, 14-15</td> </tr> <tr> <td>A</td> <td></td> <td>4-5, 8, 12-13</td> </tr> <tr> <td>A</td> <td>JP 2007-121424 A (東芝松下ディスプレイテクノロジー株式会社) 17.05.2007 (2007 - 05 - 17) 全文全図</td> <td>1-15</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	WO 2018/116814 A1 (シャープ株式会社) 28.06.2018 (2018 - 06 - 28) 段落[0166]-[0190], [0200], 図29-36	1-3, 6-11, 14-15	A		4-5, 12-13	X	JP 8-137413 A (株式会社日立製作所) 31.05.1996 (1996 - 05 - 31) 段落[0007]-[0008], [0020]-[0046], 図1-4	1-3, 6-11, 14-15	A		4-5, 12-13	X	CN 101276528 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES) 01.10.2008 (2008 - 10 - 01) 第3頁第1行-第11頁第22行, 図1-2	1-3, 6-7, 9-11, 14-15	A		4-5, 8, 12-13	A	JP 2007-121424 A (東芝松下ディスプレイテクノロジー株式会社) 17.05.2007 (2007 - 05 - 17) 全文全図	1-15
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																								
X	WO 2018/116814 A1 (シャープ株式会社) 28.06.2018 (2018 - 06 - 28) 段落[0166]-[0190], [0200], 図29-36	1-3, 6-11, 14-15																								
A		4-5, 12-13																								
X	JP 8-137413 A (株式会社日立製作所) 31.05.1996 (1996 - 05 - 31) 段落[0007]-[0008], [0020]-[0046], 図1-4	1-3, 6-11, 14-15																								
A		4-5, 12-13																								
X	CN 101276528 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES) 01.10.2008 (2008 - 10 - 01) 第3頁第1行-第11頁第22行, 図1-2	1-3, 6-7, 9-11, 14-15																								
A		4-5, 8, 12-13																								
A	JP 2007-121424 A (東芝松下ディスプレイテクノロジー株式会社) 17.05.2007 (2007 - 05 - 17) 全文全図	1-15																								
<p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>																										
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献													
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの																									
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの																									
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの																									
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献																									
“O” 口頭による開示、使用、展示等に言及する文献																										
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献																										
<p>国際調査を完了した日</p> <p>21.02.2020</p>	<p>国際調査報告の発送日</p> <p>03.03.2020</p>																									
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>村川 雄一 21 3608</p> <p>電話番号 03-3581-1101 内線 3273</p>																									

C. 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2018-518711 A (アップル インコーポレイテッド) 12.07.2018 (2018 - 07 - 12) 全文全図	1-15
A	JP 2010-97040 A (ソニー株式会社) 30.04.2010 (2010 - 04 - 30) 全文全図	1-15

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/JP2020/000091

引用文献	公表日	パテントファミリー文献	公表日
WO 2018/116814 A1	28.06.2018	CN 110100318 A	
JP 8-137413 A	31.05.1996	(ファミリーなし)	
CN 101276528 A	01.10.2008	(ファミリーなし)	
JP 2007-121424 A	17.05.2007	(ファミリーなし)	
JP 2018-518711 A	12.07.2018	US 2018/0211582 A1 全文全図	
		WO 2016/200635 A1	
		KR 10-2018-0004247 A	
		CN 107750377 A	
JP 2010-97040 A	30.04.2010	(ファミリーなし)	