



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I787541 B

(45) 公告日：中華民國 111 (2022) 年 12 月 21 日

(21) 申請案號：108131273

(22) 申請日：中華民國 108 (2019) 年 08 月 30 日

(51) Int. Cl. : *H01L27/11524 (2017.01)*

(30) 優先權：2019/07/16 世界智慧財產權組織 PCT/CN2019/096123

(71) 申請人：大陸商長江存儲科技有限責任公司 (中國大陸) YANGTZE MEMORY TECHNOLOGIES CO., LTD. (CN)

中國大陸

(72) 發明人：朱 宏斌 ZHU, HONGBIN (US) ; 唐娟 TANG, JUAN (CN) ; 徐偉 XU, WEI (CN)

(74) 代理人：吳豐任；戴俊彥

(56) 參考文獻：

TW I406408B

TW I665763B

審查人員：唐之凱

申請專利範圍項數：19 項 圖式數：7 共 68 頁

(54) 名稱

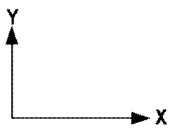
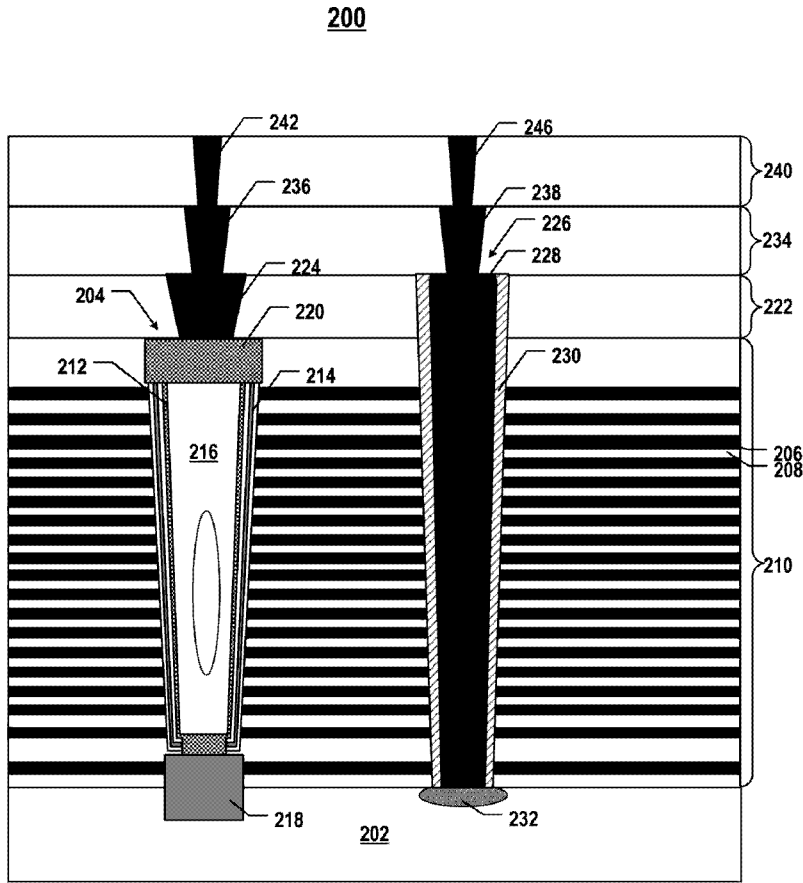
三維記憶體元件的互連結構

(57) 摘要

三維記憶體元件，包括一基底、一記憶體疊層位於該基底上、一通道結構和一狹縫結構，其中該記憶體疊層包括交替層疊的複數個導電層和複數個介電層，該通道結構垂直延伸穿過該記憶體疊層，該狹縫結構垂直延伸穿過該記憶體疊層，其中該狹縫結構的一上端高於該通道結構的一上端。

A three-dimensional (3D) memory device is disclosed. The 3D memory device includes a substrate, a memory stack structure on the substrate, a channel structure and a slit structure. The memory stack structure includes a plurality of alternately stacked conductive layers and dielectric layers. The channel structure and the slit structure respectively vertically penetrate through the memory stack structure, wherein a top end of the slit structure is higher than a top end of the channel structure.

指定代表圖：



第2圖

符號簡單說明：

X:方向

Y:方向

202:基底

218:半導體插塞

232:摻雜區

216:包覆層

212:半導體通道

214:儲存膜

230:間隙壁

204:通道結構

220:通道插塞

224:通道區域接觸

236:通道接觸

242:位元線

228:源極導電層

226:狹縫結構

238:狹縫接觸

246:源極線

210:記憶體疊層

208:介電層

206:導電層

222:區域接觸層

234:第一互連層

240:第二互連層



公告本

I787541

【發明摘要】

IPC分類號：H01L 27/11524 (2017.01)

【中文發明名稱】三維記憶體元件的互連結構

【英文發明名稱】INTERCONNECT STRUCTURE OF THREE-DIMENSIONAL MEMORY DEVICES

【中文】

三維記憶體元件，包括一基底、一記憶體疊層位於該基底上、一通道結構和一狹縫結構，其中該記憶體疊層包括交替層疊的複數個導電層和複數個介電層，該通道結構垂直延伸穿過該記憶體疊層，該狹縫結構垂直延伸穿過該記憶體疊層，其中該狹縫結構的一上端高於該通道結構的一上端。

【英文】

A three-dimensional (3D) memory device is disclosed. The 3D memory device includes a substrate, a memory stack structure on the substrate, a channel structure and a slit structure. The memory stack structure includes a plurality of alternately stacked conductive layers and dielectric layers. The channel structure and the slit structure respectively vertically penetrate through the memory stack structure, wherein a top end of the slit structure is higher than a top end of the channel structure.

【指定代表圖】第(2)圖。

【代表圖之符號簡單說明】

X	方向
Y	方向
202	基底
218	半導體插塞
232	摻雜區
216	包覆層
212	半導體通道
214	儲存膜
230	間隙壁
204	通道結構
220	通道插塞
224	通道區域接觸
236	通道接觸
242	位元線
228	源極導電層
226	狹縫結構
238	狹縫接觸
246	源極線
210	記憶體疊層
208	介電層
206	導電層
222	區域接觸層
234	第一互連層
240	第二互連層

【特徵化學式】

(無)

【發明說明書】

【中文發明名稱】三維記憶體元件的互連結構

【英文發明名稱】INTERCONNECT STRUCTURE OF THREE-DIMENSIONAL MEMORY DEVICES

【技術領域】

【0001】 本發明是關於半導體元件及其製造方法，特別是關於具有互連結構之三維（three dimensional, 3D）記憶體元件及其製造方法。

【先前技術】

【0002】 隨著製程技術、電路設計、程式設計演算法和製造製程的進步，半導體元件例如記憶體元件的尺寸已逐漸微縮至更小的尺寸，以獲得更高的集密度。然而，隨著半導體元件的特徵尺寸越接近製程下限，習知的平面半導體製程和製造技術變得具有挑戰性且成本昂貴，而且已接近平面式記憶體元件的儲存密度上限。

【0003】 三維（three dimensional, 3D）記憶體元件架構可以解決平面式記憶體的密度限制。三維(3D)記憶體元件架構包括記憶體陣列和用於控制記憶體陣列信號的讀取和接收的外圍元件。

【發明內容】

【0004】 本發明目的在於提供一種三維(3D)記憶體元件及其製作方法。

【0005】 根據本發明一實施例之三維記憶體元件，包括一基底、一記憶體疊層位於該基底上、一通道結構和一狹縫結構，其中該記憶體疊層包括交替層疊的複數個導電層和複數個介電層，該通道結構垂直延伸穿過該記憶體疊層，該狹縫結構垂直延伸穿過該記憶體疊層，其中該狹縫結構的一上端高於該通道結構的一上端。

【0006】 根據本發明另一實施例之三維記憶體元件的製造方法，包括以下步驟。在一基底上形成一介電材料疊層，其包括交替層疊的複數個犧牲層和複數個介電層。形成垂直延伸穿過該介電材料疊層的一通道結構。在該介電材料疊層上形成一區域介電層。同時形成穿過該區域介電層以暴露出該通道結構的一上端的一通道區域接觸開口，以及垂直延伸穿過該區域介電層和該介電材料疊層的一狹縫開口。通過該狹縫開口將該些犧牲層置換成複數個導電層以形成一記憶體疊層，該記憶體疊層包括交替層疊的該些導電層和該些介電層。同時在該通道區域接觸開口中形成一通道區域接觸以及在該狹縫開口中形成一狹縫結構。

【0007】 根據本發明又另一實施例之三維記憶體元件的製造方法，包括以下步驟。在一基底上形成一介電材料疊層，該介電材料疊層包括交替層疊的複數個犧牲層和複數個介電層。形成垂直延伸穿過該介電材料疊層的一通道結構。在該介電材料疊層上形成一區域接觸層，其中該區域接觸層包括在該通道結構的一上端之上並且與該通道結構的該上端相接觸的一通道區域接觸。在該區域接觸層上形成一第一互連介電層。同時形成穿過該第一互連介電層以暴露出該通道區域接觸的一上端的一通道接觸開口以及垂直延伸穿過該第一互連介電層、該區域接觸層和該介電材料疊層的一狹縫開口。通過該狹縫開口將該介電

材料疊層之該些犧牲層置換成複數個導電層以形成一記憶體疊層，該記憶體疊層包括交替層疊的該些導電層和該些介電層。同時在該通道接觸開口中形成一通道接觸以及在該狹縫開口中形成一狹縫結構。

【圖式簡單說明】

【0008】

所附圖式提供對於此實施例更深入的了解，並納入此說明書成為其中一部分。這些圖式與描述，用來說明一些實施例的原理。圖式中相應或在功能上或結構上相似的元件可以用相同的符號標示。圖式中：

第1圖繪示了一種三維記憶體元件的剖面示意圖。

第2圖繪示了根據本發明一些實施例之具有互連結構的示例性三維記憶體元件的剖面示意圖。

第3圖繪示了根據本發明一些實施例之具有互連結構的另一示例性三維記憶體元件的剖面示意圖。

第4A圖至第4G圖繪示了根據本發明一些實施例之具有互連結構的示例性三維記憶體元件的製造方法步驟剖面示意圖。

第5A圖至第5G圖繪示了根據本發明一些實施例之具有互連結構的另一示例性三維記憶體元件的製造方法步驟剖面示意圖。

第6圖繪示了根據本發明一些實施例之具有互連結構的示例性三維記憶體元件的製造方法步驟流程圖。

第7圖繪示了根據本發明一些實施例之具有互連結構的另一示例性三維記憶體元件的製造方法步驟流程圖。

下文將參考附圖來說明本發明內容的實施例。

【實施方式】

【0009】 接下來文中實施例的具體配置和佈置僅是為了便於說明本發明的目的，並非用來限制本發明。相關領域的技術人員應可理解，在不脫離本發明的精神和範圍的情況下，可以使用其他配置和佈置。對於相關領域的技術人員顯而易見的是，本發明還可以應用在其他應用中。

【0010】 應注意到，在說明書中對「一個實施例」、「實施例」、「示例性實施例」、「一些實施例」等的引用表示所描述的實施例可以包括特定的特徵、結構或特性，但是未必每個實施例都包括該特定的特徵、結構或特性。另外，這種短語也未必是指向相同的一實施例。此外，當結合實施例描述特定特徵、結構或特性時，無論是否明確描述，結合其他實施例來實現這樣的特徵、結構或特性都在相關領域的技術人員的知識範圍內。

【0011】 通常，可以至少部分地藉由上下文中的用法來理解文中使用的術語。例如，至少部分取決於上下文，本文所使用的術語「一個或多個」可以用於以單數意義描述任何特徵、結構或特性，或者也可以用於以複數意義描述特徵、結構或特性的組合。類似地，至少部分取決於上下文，例如「一種」、「一個」、「該」或「所述」等術語同樣可以被理解為表達單數用法或表達複數用法。另外，術語「基於」並不限於被理解為表達一組排他性的因素，而是可以允許未明確描述的其他因素存在，其同樣至少部分地取決於上下文。

【0012】 應當容易理解的是，本發明中的「在…上」、「在…之上」和「在…上方」的含義應以最寬廣的方式來解釋，使得「在……上」並不限於指向「直接在某物上」，其也可包括其間具有中間特徵或層的「在某物上」的含義。並同

第 4 頁，共 42 頁(發明說明書)

理，「在……之上」或「在……上方」並不限於「在某物之上」或「在某物上方」的含義，其也可包括其間沒有中間特徵或層的「直接位在某物之上」或「直接位在某物上方」的含義。

【0013】 此外，為了便於描述，可以在本文使用例如「在…之下」、「在…下方」、「下」、「在…之上」、「上」等空間相對術語來描述如圖所示的一個元件或特徵與另一個（或多個）元件或特徵的關係。除了附圖中所示的取向之外，空間相對術語旨在涵蓋元件在使用或操作中的不同取向。該元件可以以其他方式定向（旋轉90度或在其他取向）並且同樣可以對應地解釋本文使用的空間相關描述詞。

【0014】 如本文所使用的，術語「基底」是指在其上製作元件及/或設置後續材料層的材料。基底本身可以被圖案化。設置在基底頂部的材料可以被圖案化或可以保持未圖案化。此外，基底可以包括各種半導體材料，例如矽，鍺、砷化鎵、磷化銻等。可替換地，基底可以由非導電材料形成，例如玻璃、塑膠或藍寶石晶圓。

【0015】 如本文所使用的，術語「層」是指包括具有厚度的區域的材料部分。層可以在整個下方或上方結構上延伸，或者可以具有小於下方或上方結構範圍的範圍。此外，「層」可以是厚度小於連續結構的厚度的均質或非均質之連續結構的區域。例如，層可以位於連續結構的頂表面和底表面之間的區域或在連續結構的頂表面和底表面處的任何一對水平平面之間的區域。層可以水平、垂直及/或沿著錐形表面延伸。基底可以是層，基底中可包括一層或多層，及/或可以在其上、上方及/或其下具有一層或多層。文中術語「一層」可以包括一個或多

個層。例如，互連層可以包括一個或多個導體和接觸層(其中形成有互連線及/或通孔接觸)以及一個或多個介電層。

【0016】 如文中所使用的，術語「標稱/標稱上」、「名義/名義上」是指在產品或製程的設計時間期間設定的部件或製程步驟的特性或參數的期望值或目標值，以及高於及/或低於期望值的值的範圍。值的範圍可以是由於製造製程或公差之輕微變化而引起。如本文所使用的，術語「大約」或「約」或「大致上」表示可基於與主題半導體元件相關的特定技術節點而變化的給定量的值。基於特定的技術節點，術語「約」或「約」或「大致上」可以表示給定量的值，該給定量例如在該值的10-30%內變化(例如，值的 $\pm 10\%$ 、 $\pm 20\%$ 或 $\pm 30\%$)。

【0017】 如本文所使用的，術語「三維記憶體元件」是指在水平取向的基底上具有垂直取向的記憶單元電晶體串(在本文中稱為「記憶體串」，例如NAND記憶體串)的半導體元件，使得記憶體串相對於基底在垂直方向上延伸。如本文所使用的，術語「垂直/垂直地」表示標稱地垂直於基底的水平表面。

【0018】 在一些三維記憶體元件(例如3D NAND記憶體元件)中，狹縫結構可用於各種功能，例如將記憶體陣列區分成多個區塊，在閘極置換過程期間作為蝕刻劑和化學前驅物的通路，以及作為連接至記憶體陣列的源極的電連接。第1圖繪示了一種三維記憶體元件100的剖面示意圖。如第1圖所示，三維記憶體元件100包括在基底102之上的記憶體疊層104。三維記憶體元件100還包括通道結構106和狹縫結構108，均垂直延伸穿過記憶體疊層104。在NAND快閃記憶體中，通道結構106可起到NAND記憶體串的作用，並且狹縫結構108可起到與記憶體陣列的源極(例如通道結構106的陣列公共源極(ACS))的電連接的作用。

第6頁，共42頁(發明說明書)

【0019】 三維記憶體元件100還包括位在記憶體疊層104之上、用於連接至通道結構106和狹縫結構108的互連結構。該互連結構包括位在記憶體疊層104上的區域接觸層110、位在區域接觸層110上的第一互連層112，和未在第一互連層112上的第二互連層114。要注意的是，第1圖示出的X方向和Y方向是便於理解三維記憶體元件100中的部件的空間關係。三維記憶體元件100的基底102包括在X方向（即橫向方向）上橫向延伸的兩個橫向表面（例如頂表面和底表面）。如在本文中使用的，一個部件（例如層或結構）是在當基底在Y方向（即垂直方向）上是位於三維記憶體元件（例如三維記憶體元件100）的最低平面中時，是以在Y方向上相對於三維記憶體元件的基底（例如基底102）的位置來確定是否位在三維記憶體元件的另一部件（例如層或設備）「上」、「之上」或「之下」。上述用於描述空間關係的相同概念可適用於本發明各處之內容。

【0020】 區域接觸層110包括與記憶體疊層104中的結構直接相接的區域接觸（也被稱為「C1」），包括與通道結構106相接的通道區域接觸116和與狹縫結構108相接的狹縫區域接觸118。第一互連層112包括與區域接觸層110相接的接觸（也被稱為「V0」），例如與通道區域接觸116相接的通道接觸120和與狹縫區域接觸118相接的狹縫接觸122。第二互連層114包括互連線（也被稱為「M1」），第二互連層114中的每個互連線與第一互連層112中的多個接觸相接，例如與多個通道結構106的通道接觸120相接的位元線124和與多個狹縫結構108的狹縫接觸122相接的源極線126。

【0021】 在形成三維記憶體元件100時，在形成互連結構（例如在區域接觸層110中形成通道區域接觸116）之前形成狹縫結構108。因此，通道結構106和狹

縫結構108的上端與彼此齊平，如第1圖所示。因為狹縫結構108的上端在區域接觸層110之下，所以需要在源極線126與狹縫結構108之間形成額外的互連（例如狹縫區域接觸118和狹縫接觸122）以將狹縫結構108電連接到源極線126。然而，狹縫結構108的這些互連（例如狹縫區域接觸118和/或狹縫接觸122）使得覆蓋控制更加複雜。再者，為了節省儲存單元的面積，狹縫結構108的互連的數量和密度也被限制，因而影響到互連結構的電阻。此外，用於形成狹縫結構108的狹縫開口的深度增加時有塌縮的風險，造成良率的減少而影響產量。

【0022】 有鑑於上述問題，本發明目的在於提供一種具有改進的互連結構的三維記憶體元件。通過將形成狹縫結構的步驟移至較後面的製造過程中（即在形成通道區域接觸之後），不再需要針對狹縫結構製造一個或多個互連（例如狹縫區域接觸和/或狹縫接觸），可達到減小覆蓋控制的複雜度的目的。因此，狹縫結構可以延伸穿過區域接觸層以直接接觸在第一互連層中的狹縫接觸，或甚至延伸進一步穿過第一互連層以直接接觸在第二互連層中的源極線。與多個分別製作的通孔接觸（例如狹縫區域接觸118和/或狹縫接觸122）比較，位在狹縫結構中的連續的溝槽狀導電層可以減小互連電阻。此外，通過將形成狹縫結構的步驟移動至稍後的製造過程中，較厚的介電層（例如氧化矽）可以在形成狹縫開口之後以及填充狹縫開口之前提供結構支持，從而避免狹縫開口塌縮。

【0023】 第2圖繪示了根據本發明一些實施例之具有互連結構的示例性三維記憶體元件200的剖面示意圖。三維記憶體元件200可以包括基底202，基底202可以包括矽（例如單晶矽）、矽鍺（SiGe）、砷化鎵（GaAs）、鍺（Ge）、絕緣上覆矽（SOI）、絕緣上覆鎵（GOI）、或任何其它適當的材料，但不限於此。在一些實施例中，基底202是經薄化後的基底（例如半導體層），可通過研磨、蝕刻、

化學機械研磨(CMP)等製程或其任何組合來對基底202進行薄化，但不限於此。

【0024】 三維記憶體元件200可以是單片三維記憶體元件的一部分。術語「單片」意指三維記憶體元件的部件(例如外圍元件和記憶體陣列元件)形成在單個基底上。對於單片三維記憶體元件而言，由於需在同一基底上製作外圍元件和記憶體陣列元件，會造成製造上額外的限制。例如，記憶體陣列元件(例如NAND記憶體串)的製造須考量到已形成在相同基底上之外圍元件的熱預算的限制。

【0025】 在其他實施例中，三維記憶體元件200可以是非單片三維記憶體元件的一部分，其中部件(例如外圍元件和記憶體陣列元件)可以分別地在不同的基底上形成並且隨後例如以面對面方式被接合。在一些實施例中，可以記憶體陣列元件的基底(例如基底202)作為接合的非單片三維記憶體元件的基底，將外圍元件(例如包括用於操作三維記憶體元件200的任何數位、類比和/或混合信號外圍電路，例如頁面緩衝器、解碼器和鎖存器，圖未示)翻轉並且面向下朝著記憶體陣列元件(例如NAND記憶體串)並利用於混合接合技術接合。要理解的是，在其他一施例中，也可選擇將記憶體陣列元件基底(例如基底202)翻轉並且面向下朝著外圍元件(未示出)以利用於混合接合技術接合，因此在接合的非單片三維記憶體元件中記憶體陣列元件是位在外圍元件之上。在一些情況下，記憶體陣列元件的基底(例如基底202)可以是經薄化的基底(其不是接合的非單片三維記憶體元件的基底)，並且非單片三維記憶體元件的後段制程(BEOL)互連可以是在經薄化後的記憶體陣列元件基底的背側上形成的。

【0026】 在一些實施例中，三維記憶體元件200是NAND快閃記憶體元件，其

第9頁，共42頁(發明說明書)

中記憶單元是以NAND記憶體串構成的陣列的形式存在的，其中各NAND記憶體是串垂直地延伸在基底202之上。記憶體陣列元件可以包括構成NAND記憶體串陣列的通道結構204陣列。如第2圖所示，通道結構204可以垂直延伸穿過多個導電層206和介電層208對。交替層疊的導電層206和介電層208是記憶體疊層210的部分。在記憶體疊層210中的導電層206和介電層208對的數量（例如32、64、96或128）決定了在三維記憶體元件200的記憶單元的數量。要理解的是，在一些實施例中，記憶體疊層210可以具有多疊層（multi-deck）架構（未示出），其包括疊設在彼此之上的多個記憶體疊層。各記憶體疊層中的導電層206和介電層208對的數量可以是相同的或不同的。

【0027】 記憶體疊層210可以包括多個交替層疊的導電層206和介電層208。在記憶體疊層210中的導電層206和介電層208可以在垂直方向上交替設置。換句話說，除了在記憶體疊層210的頂部或底部處的層以外，各導電層206可以在兩側被兩個介電層208鄰接，並且各介電層208可以在兩側被兩個導電層208鄰接。導電層206可以包括導電材料，包括但不限於鎢（W）、鈷（Co）、銅（Cu）、鋁（Al）、多晶矽、摻雜矽、矽化物、或其任何組合。每個導電層206可以是圍繞通道結構204的閘極電極（閘極線），並且可以作為橫向延伸的字元線。介電層208可以包括介電材料，包括但不限於氧化矽、氮化矽、氮氧化矽、或其任何組合。

【0028】 如第2圖所示，通道結構204可以包括填充有半導體層（例如半導體通道212）和複合層的介電層（例如儲存膜214）的通道孔。在一些實施例中，半導體通道212包括矽，例如非晶相矽、多晶矽或單晶矽。在一些實施例中，儲存膜214可以是包括穿隧層、儲存層（也被稱為「電荷捕獲層」）和阻擋層的複合層。通道結構204的剩餘空間可以部分或全部地被包括介電材料（例如氧化矽

和/或空氣間隙)的包覆層216填充。通道結構204可以是柱體形狀(例如圓柱形狀)。根據一些實施例,包覆層216,半導體通道212,儲存膜214的穿隧層、儲存層和阻擋層可以自柱體形狀中心指向外表面的徑向上按此順序設置。穿隧層可以包括氧化矽、氮化矽、或其任何組合。儲存層可以包括氮化矽、氮氧化矽、矽、或其任何組合。阻擋層可以包括氧化矽、氮化矽,或者是高介電常數(high-k)介電材料或其任何組合。在一個示例中,儲存膜214可以包括氧化矽/氮氧化矽/氧化矽(ONO)的複合層。

【0029】 在一些實施例中,通道結構204還包括在通道結構204的下部中(例如下端處)的半導體插塞218。如在本文使用的,當基底202位於三維記憶體元件200的最低平面中時,部件(例如通道結構204)的「上端」是在Y方向上更遠離基底202的端部,並且部件(例如通道結構204)的「下端」是在Y方向上更接近基底202的端部。半導體插塞218可以包括在任何適當的方向上從基底202磊晶成長形成的半導體材料,例如矽。要理解的是,在一些實施例中,半導體插塞218包括單晶矽,基底202的相同材料。換句話說,半導體插塞218可以包括與基底202相同材料的磊晶成長形成的半導體層。半導體插塞218可以在半導體通道202的下端之下並且與半導體通道202的下端相接觸。半導體插塞218可以作為由NAND記憶體串的源極選擇閘控制的通道。

【0030】 在一些實施例中,通道結構204還包括在通道結構204的上部中(例如上端處)的通道插塞220。通道插塞220可以在半導體通道212的上端之上並且與半導體通道212的上端相接觸。通道插塞220可以包括半導體材料(例如多晶矽)。在一些實施例中,通道插塞220包括填充有導電層(例如鎢)的開口。通過在三維記憶體元件200的製造期間將通道插塞220覆蓋在通道結構204的上端

作為蝕刻停止層，可防止蝕刻到填充在通道結構204中的電介質（例如氧化矽和氮化矽）。在一些實施例中，通道插塞220可以作為NAND記憶體串的汲極。

【0031】 如第2圖所示，三維記憶體元件200還包括在記憶體疊層210上的互連結構還包括區域接觸層222。在一些實施例中，區域接觸層222形成在通道結構204的上端（即通道插塞220）的頂部上。區域接觸層222可以包括多個互連（也被稱為「接觸」），包括橫向互連線和垂直互連通路（通孔）接觸。如在本文使用的，術語「互連」可以廣泛地包括任何適當類型的互連，例如中段制程（MEOL）互連和後段制程（BEOL）互連。在區域接觸層222中的互連在本文被稱為「區域接觸」（也被稱為「C1」），其與在記憶體疊層210中的結構直接相接觸。在一些實施例中，區域接觸層222包括在通道結構204的上端（例如通道插塞220）之上並且與通道結構204的上端相接觸的通道區域接觸224。

【0032】 區域接觸層222還可以包括一個或多個層間介電（ILD）層（也被稱為「金屬層間介電（IMD）層」），其中可形成有區域接觸（例如通道區域接觸224）。在一些實施例中，區域接觸層222包括在一個或多個區域介電層中的通道區域接觸224。在區域接觸層222中的通道區域接觸224可以包括導電材料，包括但不限於Cu、Al、W、Co、矽化物，或其任何組合。在一個示例中，通道區域接觸224由鎢製成。在區域接觸層222中的ILD層可以包括介電材料，包括但不限於氧化矽、氮化矽、氮氧化矽、低介電常數（low-k）介電材料，或其任何組合。

【0033】 如第2圖所示，三維記憶體元件200還包括垂直延伸穿過區域接觸層222和記憶體疊層210的交替層疊的導電層206和介電層208的狹縫結構226。狹縫結構226可以橫向延伸以將記憶體疊層210分成多個區塊。狹縫結構226可以包括

狹縫開口，該狹縫開口在形成導電層206的金屬置換製程中作為化學前驅物的通路。在一些實施例中，狹縫結構226包括具有導電材料的源極導電層228，該導電材料包括但不限於W、Co、Cu、Al、多晶矽、矽化物，或其任何組合。在一些實施例中，源極導電層228包括在狹縫開口的下部中的多晶矽和在狹縫開口的上部中的金屬（例如鎢）。為了使導電層206和源極導電層228電性隔離，狹縫結構226還可以包括沿著狹縫開口的側壁形成並且設置在鄰接狹縫開口的側壁的回蝕凹部（未示出）中的間隙壁230。也就是說，間隙壁230可以形成在記憶體疊層210中的源極導電層228與該些導電層206之間。間隙壁230可以包括一層或多層的介電材料，例如氧化矽、氮化矽、氮氧化矽，或其任何組合。在一些實施例中，狹縫結構226的源極導電層228可當作三維記憶體元件200的源極接觸，並且電性連接至NAND記憶體串的源極，例如NAND記憶體串陣列的陣列公共源極（ACS）。在一些實施例中，狹縫結構226還包括在其下端處的基底202中的摻雜區232以減小其與ACS之間的電連接電阻。

【0034】 不同於第1圖所示之三維記憶體元件100的狹縫結構108的上端位在區域接觸層110之下並且與通道結構106的上端齊平，第2圖所示之三維記憶體元件200的狹縫結構226使其上端高於通道結構204的上端。也就是說，狹縫結構226可以進一步垂直延伸穿過區域接觸層222。因此，第2圖之三維記憶體元件200不須要在區域接觸層222中形成位在狹縫結構226的上端之上並且與狹縫結構226的上端相接觸的狹縫區域接觸，明顯不同於第1圖所示之區域接觸層110須形包括有用來接觸狹縫結構108的狹縫區域接觸118。如第2圖所示，根據一些實施例，狹縫結構226的上端是與通道區域接觸224的上端齊平的。通過利用連續的溝槽狀互連（例如狹縫結構226的源極導電層228）來代替狹縫區域接觸，可以簡化在區域接觸層222製造過程中對於區域接觸的覆蓋控制，還可以減小互連結

第 13 頁，共 42 頁(發明說明書)

構的電阻。

【0035】 如第2圖所示，三維記憶體元件200的互連結構還包括位在區域接觸層222上的第一互連層234。第一互連層234可以包括多個通孔接觸（也被稱為「V0」），例如位在通道區域接觸224的上端之上並且與通道區域接觸224的上端相接觸的通道接觸236，以及位在狹縫結構226的上端之上並且與狹縫結構226的上端相接觸的狹縫接觸238。第一互連層234還可以包括一個或多個ILD層(第一互連介電層)，其中可以形成通道接觸236和狹縫接觸238。也就是說，第一互連層234可以包括在一個或多個第一互連介電層中的通道接觸236和狹縫接觸238。在第一互連層234中的通道接觸236和狹縫接觸238可以包括導電材料，包括但不限於Cu、Al、W、Co、矽化物或其任何組合。在一個示例中，通道接觸236和狹縫接觸238均由鎢製成。在第一互連層234中的ILD層可以包括介電材料，包括但不限於氧化矽、氮化矽、氮氧化矽、低介電常數（low-k）介電層，或其任何組合。

【0036】 如第2圖所示，三維記憶體元件200的互連結構還包括位在第一互連層222上的第二互連層240。第二互連層240可以包括多個互連線（也被稱為「M1」），例如位在通道接觸236的上端之上並且與通道接觸236的上端相接觸的位元線242，以及位在狹縫接觸238的上端之上並且與狹縫接觸238的上端相接觸的源極線246。該些位元線242分別通過通道區域接觸224和通道接觸236電連接至相應的一通道結構204。各源極線246可以用於將公共源極電壓（例如接地）通過狹縫接觸238和狹縫結構226的源極導電層228施加到相應的ACS。

【0037】 第二互連層240還可以包括一個或多個ILD層(第二互連介電層)，並

第 14 頁，共 42 頁(發明說明書)

在其中形成位元線242和源極線246。也就是說，第二互連層240可以包括在一個或多個位在第二互連介電層中的位元線242和源極線246。在第二互連層240中的位元線242和源極線246可以包括導電材料，包括但不限於Cu、Al、W、Co、矽化物，或其任何組合。在一個實施例中，位元線242和源極線246均由銅製成。在第二互連層240中的ILD層可以包括介電材料，包括但不限於氧化矽、氮化矽、氮氧化矽、低介電常數（low-k）介電材料，或其任何組合。

【0038】 要理解的是，在三維記憶體元件200的互連結構的互連層的數量不受第2圖中的示例的限制。在其他實施例中，可以形成具有接觸的額外互連層以構成三維記憶體元件200的期望的互連結構。儘管如此，區域接觸層222、第一互連層234和第二互連層240形成互連結構以用於將信號傳輸至或接收來自通道結構204和狹縫結構226的電訊號。在一些實施例中，通道結構204的互連結構包括通道區域接觸224、通道接觸236和位元線242，並且狹縫結構226的互連結構包括狹縫接觸238和源極線246，不具有位在區域接觸層222中的狹縫區域接觸。

【0039】 第3圖繪示了根據本發明一些實施例之具有互連結構的另一示例性三維記憶體元件300的剖面示意圖。類似於前文在第2圖中描述之三維記憶體元件200，三維記憶體元件300為本發明一實施例之三維記憶體元件的示例，其具有通道結構304、狹縫結構330以及用於通道結構304和狹縫結構330的互連結構。不同於前文在第2圖中描述之三維記憶體元件200，其中狹縫結構226垂直延伸穿過區域接觸層222和記憶體疊層210，第3圖中的三維記憶體元件300的狹縫結構330進一步垂直延伸穿過第一互連層326。因此，在三維記憶體元件300中不需要狹縫接觸（例如第2圖中的狹縫接觸238）。要理解的是，為了簡化說明，三維記憶體元件200和三維記憶體元件300兩者之類似結構的細節（例如材料、製

第 15 頁，共 42 頁(發明說明書)

造過程、功能等)將不在下文重述。

【0040】 如第3圖所示，三維記憶體元件300可以包括記憶體疊層310，其包括位在基底302之上交替層疊的導電層306和介電層308。在一些實施例中，通道結構304垂直延伸穿過在基底302之上的記憶體疊層310。通道結構304可以包括半導體通道312、儲存膜314和包覆層316。在一些實施例中，儲存膜314可以是包括穿隧層、儲存層(也被稱為「電荷捕獲層」)和阻擋層的複合的介電層。通道結構304可以是柱體形狀(例如圓柱形狀)。根據一些實施例，包覆層316，半導體通道312，儲存膜314的穿隧層、儲存層和阻擋層可以自柱體形狀中心指向外表面的徑向上按此順序設置。在一些實施例中，通道結構304還包括位在通道結構304的下部中(例如下端處)的半導體插塞318。在一些實施例中，通道結構304還包括位在通道結構304的上部中(例如上端處)的通道插塞320。通道插塞320可以在半導體通道312的上端之上並且與半導體通道312的上端相接觸。

【0041】 如第3圖所示，三維記憶體元件300位在記憶體疊層310上的互連結構還包括區域接觸層322。在一些實施例中，區域接觸層322形成在通道結構304的上端(即通道插塞320)的頂部上。區域接觸層322可以包括位在通道結構304的上端(例如通道插塞320)之上並且與通道結構304的上端相接觸的通道區域接觸324。區域接觸層322還可以包括一個或多個ILD層(區域介電層)，其中可以形成有區域接觸(例如通道區域接觸324)。在一些實施例中，區域接觸層322包括形成在一個或多個區域介電層中的通道區域接觸324。如第3圖所示，三維記憶體元件300的互連結構還包括位在區域接觸層322上的第一互連層326。第一互連層326可以包括多個通孔接觸，例如在通道區域接觸324的上端之上並且與通道區域接觸324的上端相接觸的通道接觸328。第一互連層326還可以包括一個或多

個ILD層(第一互連介電層)，其中可以形成通道接觸328。也就是說，第一互連層326可以包括在一個或多個形成在第一互連介電層中的通道接觸328。在區域接觸層322中的通道區域接觸324和在第一互連層326中的通道接觸328可以包括導電材料，包括但不限於Cu、Al、W、Co、矽化物，或其任何組合。在一個示例中，通道區域接觸324和通道接觸328均由鎢製成。在區域接觸層322和第一互連層326中的ILD層可以包括介電材料，包括但不限於氧化矽、氮化矽、氮氧化矽、低介電常數（low-k）介電材料，或其任何組合。

【0042】 如第3圖所示，三維記憶體元件300還包括垂直延伸穿過第一互連層326、區域接觸層322和記憶體疊層310的交替層疊的導電層306和介電層308的狹縫結構330。狹縫結構330還可以橫向延伸以將記憶體疊層310分成多個區塊。狹縫結構330可以包括狹縫開口，該狹縫開口在形成導電層306的金屬置換製程中作為化學前驅物的通路。在一些實施例中，狹縫結構330包括具有導電材料的源極導電層332，該導電材料包括但不限於W、Co、Cu、Al、多晶矽、矽化物，或其任何組合。在一些實施例中，源極導電層332包括在狹縫開口的下部中的多晶矽和在狹縫開口的上部中的金屬（例如鎢）。為了使導電層306和源極導電層332電性隔離，狹縫結構330還可以包括沿著狹縫開口的側壁形成並且設置在鄰接狹縫開口的側壁的回蝕凹部（未示出）中的間隙壁334。也就是說，間隙壁334可以形成在記憶體疊層310中的源極導電層332與該些導電層306之間。間隙壁334可以包括一層或多層介電材料，例如氧化矽、氮化矽、氮氧化矽，或其任何組合。在一些實施例中，狹縫結構330的源極導電層332可當作三維記憶體元件300的源極接觸，並且電性連接至NAND記憶體串的源極，例如NAND記憶體串陣列的ACS。在一些實施例中，狹縫結構330還包括在其下端處的基底302中的摻雜區336以減小狹縫結構330與ACS的電連接電阻。

第 17 頁，共 42 頁(發明說明書)

【0043】 不同於第1圖中的三維記憶體元件100的狹縫結構108的上端位在區域接觸層110之下並且與通道結構106的上端齊平，第3圖中的三維記憶體元件300的狹縫結構330的上端高於通道結構304的上端。本實施例中，狹縫結構330可以進一步垂直延伸穿過區域接觸層322和第一互連層326。因此，區域接觸層322不包括狹縫區域接觸，且第一互連層326不包括狹縫接觸，明顯不同於第1圖所示分別包括連接至狹縫結構108的狹縫區域接觸118和狹縫接觸122的區域接觸層110和第一互連層112。如第3圖所示，根據一些實施例，狹縫結構330的上端與通道接觸328的上端齊平。通過利用連續的溝槽狀互連（例如狹縫結構330的源極導電層332）來代替狹縫區域接觸，可以簡化在區域接觸層322和第一互連層326製造過程中對於通孔接觸的覆蓋控制，還可以減小互連結構的電阻。

【0044】 如第3圖所示，三維記憶體元件300的互連結構還包括位在第一互連層326上的第二互連層338。第二互連層338可以包括多個互連線，例如位在通道接觸328的上端之上並且與通道接觸328的上端相接觸的位元線340，以及位在狹縫結構330的上端之上並且與狹縫結構330的上端相接觸的源極線342。該些位元線340分別通過通道區域接觸324和通道接觸328電連接至相應的一通道結構304。各源極線342可以用於將公共源極電壓（例如接地）通過狹縫結構330的源極導電層332施加到相應的ACS。

【0045】 第二互連層338還可以包括一個或多個ILD層(第二互連介電層)，並在其中形成位元線340和源極線342。也就是說，第二互連層338可以包括在一個或多個第二互連介電層中的位元線340和源極線342。在第二互連層338中的位元線340和源極線342可以包括導電材料，包括但不限於Cu、Al、W、Co、矽化物，

或其任何組合。在一個示例中，位元線340和源極線342均由銅製成。在第二互連層338中的ILD層可以包括介電材料，包括但不限於氧化矽、氮化矽、氮氧化矽、低介電常數（low-k）介電層，或其任何組合。

【0046】 要理解的是，在三維記憶體元件300中的互連層的數量不受第3圖中的示例的限制。在其他實施例中，可以形成具有接觸的額外互連層以提供三維記憶體元件300的期望的互連結構。儘管如此，區域接觸層322、第一互連層326和第二互連層338形成互連結構以用於傳輸至或接收來自通道結構304和狹縫結構330的電訊號。在一些實施例中，通道結構304的互連結構包括通道區域接觸324、通道接觸328和位元線340，並且狹縫結構330的互連結構包括源極線342，不具有在區域接觸層322中的狹縫區域接觸和在第一互連層326中的狹縫接觸。

【0047】 第4A圖至第4G圖繪示了根據本發明一些實施例之具有互連結構的示例性三維記憶體元件的製造方法步驟剖面示意圖。第6圖繪示了根據本發明一些實施例之具有互連結構的示例性三維記憶體元件的製造方法600步驟流程圖。在第4A圖至第4G圖和第6圖中描繪的三維記憶體元件例如是前文第2圖中描繪的三維記憶體元件200。下文將同時參考第4A圖至第4G圖和第6圖進行說明。要理解的是，在其他實施例中，方法600的步驟可以用不同的順序或同時進行。方法600繪示的步驟不是詳盡的，方法600繪示的步驟之前、之後或者之間可以包括本文中為了簡化說明而未描述出來的其他選擇性的步驟。

【0048】 請參考第6圖，根據本發明一些實施例之三維記憶體元件的製造方法600包括首先進行步驟602，在一基底上形成一介電材料疊層，其包括交替層疊的複數個犧牲層和複數個介電層。基底可以是矽基底。如第4A圖所示，包括多

個犧牲層406和介電層408對的介電材料疊層404形成在矽基底402之上。根據一些實施例，介電材料疊層404包括交替層疊的犧牲層406和介電層408。可以交替地在矽基底402上沉積介電層408和犧牲層406以形成介電材料疊層404。在一些實施例中，每個介電層408包括氧化矽層，並且每個犧牲層406包括氮化矽層。也就是說，多個氮化矽層和多個氧化矽層可以交替地沉積在矽基底402之上以形成介電材料疊層404。可以通過一個或多個薄膜沉積製程來形成介電材料疊層404，例如包括但不限於化學氣相沉積（CVD）、物理氣相沉積（PVD）、原子層沉積（ALD）或其任何組合。

【0049】 方法600繼續進行到步驟604，如第6圖所示，形成垂直延伸穿過該介電材料疊層的一通道結構。在一些實施例中，為了形成通道結構，先蝕刻該介電材料疊層以形成垂直延伸穿過該介電材料疊層的一通道孔，然後沿著該通道孔的側壁沉積一儲存膜和一半導體通道，接著形成位在該儲存膜和該半導體通道之上並且與該儲存膜和該半導體通道相接觸的一通道插塞。

【0050】 如第4A圖所示，通道孔是垂直延伸穿過介電材料疊層404的一開口。在一些實施例中，可形成多個開口穿過介電材料疊層404，各開口在後續的製程中可用於形成單獨一通道結構410。在一些實施例中，形成通道結構400的通道孔的製程可包括利用濕蝕刻和/或乾蝕刻，例如深反應性離子蝕刻（DRIE）製程。在一些實施例中，通道結構410的通道孔進一步延伸穿過矽基底402的頂部部分。例如，可使蝕刻穿過介電材料疊層404的蝕刻製程不在矽基底402的頂表面處停止，而是繼續蝕刻部分矽基底402。如第4A圖所示，可以通過利用在任何適當的方向上從矽基底402（例如從底表面和/或側表面）磊晶成長形成單晶矽來填充通道孔的下部，形成半導體插塞412。磊晶成長形成半導體插塞412的製程可

第 20 頁，共 42 頁(發明說明書)

以包括但不限於，蒸汽相磊晶（VPE）、液相磊晶（LPE）、分子束磊晶（MPE），或其任何組合。

【0051】 如第4A圖所示，儲存膜414（包括阻擋層、儲存層和穿隧層）和半導體通道416是沿著通道結構410的通道孔的側壁並且在半導體插塞412之上形成的。在一些實施例中，儲存膜414首先沿著通道孔的側壁並且在半導體插塞412之上沉積，然後再於儲存膜414上沉積半導體通道416。阻擋層、儲存層和穿隧層可以使用一種或多種薄膜沉積製程（例如ALD、CVD、PVD、任何其它適當的製程或其任何組合）以上述順序被沉積以形成儲存膜414。可以通過一種或多種薄膜沉積製程（例如ALD、CVD、PVD、任何其它適當的製程或其任何組合）在穿隧層上沉積一多晶矽層而形成半導體通道416。半導體通道416可以使用例如SONO衝壓製程來與半導體插塞412相接觸。在一些實施例中，半導體通道416被沉積在通道孔中而不完全填滿通道孔。如第4A圖所示，包覆層418（例如氧化矽層）形成在通道孔中來完全或部分地填充通道孔的剩餘空間。包覆層418可以使用一種或多種薄膜沉積製程（例如CVD、PVD、ALD、電鍍、無電鍍、或其任何組合）形成。

【0052】 如第4A圖所示，通道插塞420形成在通道結構410的通道孔的上部中。在一些實施例中，儲存膜414、半導體通道416和包覆層418之位在介電材料疊層404的頂表面上的部分通過CMP、濕蝕刻和/或乾蝕刻被移除和平坦化。後續，可以通過濕蝕刻和/或乾蝕刻來移除位於通道孔上部的部分儲存膜414、半導體通道416和包覆層418，以在通道孔的上部形成凹部。隨後，可以通過經由一種或多種薄膜沉積製程（例如CVD、PVD、ALD、電鍍、無電鍍、或其任何組合）來將半導體材料（例如多晶矽）和/或金屬（例如鎢）沉積到凹部內，形成

通道插塞420，獲得穿過介電材料疊層404的通道結構410。

【0053】 方法600繼續進行到步驟606，在該介電材料疊層上形成一區域介電層。區域介電層是三維記憶體元件的互連結構的一部分。不同於如第1圖所示之具有互連結構的三維記憶體元件100的製造方法(在形成狹縫結構之後開始形成互連結構，包括形成區域介電層)，本發明之方法600在形成狹縫結構之前就形成區域接觸層(包括區域介電層)。如第4B圖所示，區域介電層422形成在介電材料疊層404上。區域介電層422可以是通過使用一種或多種薄膜沉積製程(例如CVD、PVD、ALD，或其任何組合)將介電材料(例如氧化矽和/或氮化矽)沉積在介電材料疊層404的頂表面上來形成。

【0054】 方法600繼續進行到步驟608，如第6圖所示，同時形成穿過該區域介電層以暴露出該通道結構的一上端的一通道區域接觸開口，以及垂直延伸穿過該區域介電層和該介電材料疊層的一狹縫開口。如第4B圖所示，通道區域接觸開口424和狹縫開口426是使用相同的蝕刻製程同時形成的。在一些實施例中，可進行一蝕刻製程蝕刻移除部分區域介電層422以形成穿過區域介電層422並停止在通道結構410的通道插塞420的上端處以暴露通道插塞420的上端的通道區域接觸開口424，並且同時蝕刻移除另一部分區域介電層422以及部分介電材料疊層404的交替層疊的犧牲層406和介電層408(例如氮化矽層和氧化矽層)以形成到達矽基底402的狹縫開口426。上述蝕刻製程可以包括一個或多個循環的濕蝕刻和/或乾蝕刻(例如DRIE)。可以利用微影製程形成的圖案化遮罩層(例如圖案化光阻層)來定義出通道區域接觸開口424和狹縫開口426的位置，使得通道區域接觸開口424與通道結構410是對齊的，並且使狹縫開口426在要形成狹縫結構之處形成。

【0055】 方法600繼續進行到步驟610，如第6圖所示，通過該狹縫開口將該些犧牲層置換成複數個導電層以形成一記憶體疊層，該記憶體疊層包括交替層疊的該些導電層和該些介電層(即所謂的「閘極置換」過程)。如第4C圖所示，犧牲層406(如第4B圖所示)被導電層432置換，從而形成包括交替層疊的導電層432和介電層408的記憶體疊層434。

【0056】 在一些實施例中，「閘極置換」過程例如首先通過穿過狹縫開口426移除犧牲層406來形成橫向凹部(未示出)。在一些實施例中，是使用蝕刻溶液通過狹縫開口426來移除犧牲層406，形成位在介電層408之間且與介電層408交替層疊的橫向凹部。蝕刻溶液可以包括在介電層408和犧牲層406之間具有蝕刻選擇性的任何適當的蝕刻劑。如第4C圖所示，接著通過狹縫開口426將導電層432沉積到各橫向凹部內。在一些實施例中，包括在導電層432沉積之間將閘極介電層(未示出)沉積到橫向凹部內，然後再將導電層432沉積在閘極介電層上。可以使用一種或多種薄膜沉積製程(例如ALD、CVD、PVD、任何其它適當的製程、或其任何組合)來沉積導電層432，導電層432例如是金屬層。

【0057】 方法600繼續進行到步驟612，如第6圖所示，同時在該通道區域接觸開口中形成一通道區域接觸以及在該狹縫開口中形成一狹縫結構。在一些實施例中，為了同時形成通道區域接觸和狹縫結構，可將一導電層同時沉積在通道區域接觸開口和狹縫開口中。該導電層可以包括鎢。

【0058】 如第4C圖所示，在沉積導電層之前，可以在狹縫開口426的下端處(在矽基底402中)形成一摻雜區436，並且在狹縫開口426的側壁之上形成一間隙壁

438。可以通過離子植入和/或熱擴散以將P型或N型摻雜劑通過狹縫開口426摻雜到矽基底402暴露的部分之內來形成摻雜區436。在一些實施例中，可以在鄰接狹縫開口426的側壁的每個導電層432中形成回蝕凹部（未示出）。回蝕凹部可以是通過狹縫開口426使用濕蝕刻和/或乾蝕刻製程來進行回蝕而形成的。根據一些實施例，間隙壁438可包括一個或多個介電層（例如氧化矽和氮化矽），可以是使用一種或多種薄膜沉積製程（例如ALD、CVD、PVD、任何其它適當的製程，或其任何組合）在回蝕凹部內並且沿著狹縫開口426的側壁沉積形成。

【0059】 如第4D圖所示，可通過相同的沉積製程將材料例如是鎢的導電層同時沉積到通道區域接觸開口424（在第4C圖中示出）和狹縫開口426（在第4C圖中示出）的剩餘空間內，以同時形成通道區域接觸440和源極導電層442，獲得包括區域介電層422和通道區域接觸440的區域接觸層446。可以進行CMP製程以移除過多的導電層並且平坦化區域接觸層446的頂表面，從而獲得與通道區域接觸440同時形成且包括源極導電層442、間隙壁438和摻雜區436的狹縫結構444。沉積製程可以包括薄膜沉積製程，例如ALD、CVD、PVD、任何其它適當的製程，或其任何組合。在一些實施例中，可在沉積導電層（例如鎢）之前將一多晶矽層先沉積到狹縫開口426內。根據如第4D圖所示的實施例，狹縫結構444也延伸穿過區域接觸層446。

【0060】 方法600繼續進行到步驟614，如第6圖所示，在該區域介電層上形成一第一互連層。第一互連層包括位在通道區域接觸的上端之上並且與通道區域接觸的上端相接觸的通道接觸，以及位在狹縫結構的上端之上並且與狹縫結構的上端相接觸的狹縫接觸。在一些實施例中，為了形成第一互連層，可在區域介電層上形成第一互連介電層。在一些實施例中，為了形成第一互連層，可同

時形成穿過第一互連介電層以暴露通道區域接觸的上端的通道接觸開口，和穿過第一互連介電層以暴露狹縫結構的上端的狹縫接觸開口。在一些實施例中，爲了形成第一互連層，導電層(第一互連導電層)被同時沉積在通道接觸開口和狹縫接觸開口中。

【0061】 如第4E圖所示，第一互連介電層448形成在區域接觸層446的區域介電層422上。第一互連介電層448可以是通過使用一種或多種薄膜沉積製程（例如CVD、PVD、ALD或其任何組合）將介電材料（例如氧化矽和/或氮化矽）沉積在區域接觸層446的區域介電層422的頂表面的頂部上來形成。如第4E圖所示，通道接觸開口450和狹縫接觸開口452是使用相同的蝕刻製程穿過第一互連介電層448同時形成的。在一些實施例中，可進行一蝕刻製程蝕刻移除部分第一互連介電層448以形成穿過第一互連介電層448並停止在通道區域接觸440的上端處以暴露出通道區域接觸440的上端的通道接觸開口450，並且同時蝕刻移除部分第一互連介電層448以形成穿過第一互連介電層448並停止在狹縫結構444的上端處停止以暴露狹縫結構444的上端的狹縫接觸開口452。上述蝕刻製程可以包括一個或多個循環的濕蝕刻和/或乾蝕刻。可以利用微影製程形成的圖案化遮罩(例如圖案化光阻層)來定義出通道接觸開口450和狹縫接觸開口452的位置，使得通道接觸開口450與通道區域接觸440是對齊的，並且狹縫接觸開口452與狹縫結構444是對齊的。

【0062】 如第4F圖所示，接著通過相同的沉積製程同時在通道接觸開口450（在第4E圖中示出）和狹縫接觸開口452（在第4E圖中示出）內沉積例如鎢的導電層，以同時形成通道接觸454和狹縫接觸456，從而獲得包括第一互連介電層448、通道接觸454和狹縫接觸456的第一互連層458。可以進行CMP製程以移除

過多的導電層並且平坦化第一互連層458的頂表面。沉積製程可以包括薄膜沉積製程，例如ALD、CVD、PVD或任何其它適當的製程，或其任何組合。

【0063】 方法600繼續進行到步驟616，如第6圖所示，在該第一互連層上形成一第二互連層。第二互連層包括位在通道接觸的一上端之上並且與通道接觸的上端相接觸的一位元線，以及位在狹縫接觸的一上端之上並且與狹縫接觸的上端相接觸的一源極線。如第4G圖所示，第二互連介電層460形成在第一互連層458的第一互連介電層448上。第二互連介電層448可以是通過使用一種或多種薄膜沉積製程（例如CVD、PVD、ALD或其任何組合）將介電材料（例如氧化矽和/或氮化矽）沉積在第一互連層458的第一介質層448的頂表面的頂部上來形成。在一些實施例中，可以是使用相同的蝕刻製程同時形成穿過第二互連介電層460的位元線開口和源極線開口。在一些實施例中，可進行一蝕刻製程蝕刻移除部分第二互連介電層460以形成穿過第二互連介電層460並停止在通道接觸454的上端處以形成暴露出通道接觸454的上端的位元線開口，並且同時蝕刻移除另一部分第二互連介電層460並停止在狹縫接觸456的上端處以形成暴露狹縫接觸456的上端的源極線開口。蝕刻製程可以包括一個或多個循環的濕蝕刻和/或乾蝕刻。

【0064】 如第4G圖所示，接著通過相同的沉積製程同時在位元線開口和源極線開口內沉積例如銅的導電層，以同時形成位元線462和源極線464，從而獲得包括第二互連介電層460、位元線462和源極線464的第二互連層466。可以進行CMP製程以移除過多的導電層並且平坦化第二互連層466的頂表面。沉積製程可以包括薄膜沉積製程，例如ALD、CVD、PVD、任何其它適當的製程，或其任何組合。製程至此，形成用於電連接至通道結構410和狹縫結構444的互連結構，

其中包括有區域接觸層446、第一互連層458和第二互連層566。

【0065】 第5A圖至第5G圖繪示了根據本發明另一些實施例之具有互連結構的示例性三維記憶體元件的製造方法步驟剖面示意圖。第7圖繪示了根據本發明一些實施例之具有互連結構的示例性三維記憶體元件的製造方法700步驟流程圖。在第5A圖至第5G圖和第7圖中描繪的三維記憶體元件例如是前文第3圖中描繪的三維記憶體元件300。下文將同時參考第5A圖至第5G圖和第7圖進行說明。要理解的是，要理解的是，在其他實施例中，方法600的步驟可以用不同的順序或同時進行。方法700繪示的步驟不是詳盡的，方法700繪示的步驟之前、之後或者之間可以包括本文中為了簡化說明而未描述出來的其他選擇性的步驟。此外，為了簡化說明，方法600和方法700兩者中相似的製造過程在以下說明中不再重述。

【0066】 參考第7圖，根據本發明一些實施例之三維記憶體元件的製造方法700包括首先進行步驟702，在一基底上形成一介電材料疊層，該介電材料疊層包括交替層疊的複數個犧牲層和複數個介電層。基底可以是矽基底。如第5A圖所示，包括多個犧牲層506和介電層508對的介電材料疊層504形成在矽基底502之上。可以交替地在矽基底502上沉積介電層508和犧牲層506以形成介電材料疊層504。可以通過一種或多種薄膜沉積製程來形成介電材料疊層504，例如包括但不限於CVD、PVD、ALD或其任何組合。

【0067】 方法700繼續進行到步驟704，如第7圖所示，形成垂直延伸穿過該介電材料疊層的一通道結構。在一些實施例中，為了形成通道結構，先蝕刻該介電材料疊層以形成垂直延伸穿過該介電材料疊層的一通道孔，然後沿著該通道

孔的側壁沉積一儲存膜和一半導體通道，接著形成位在該儲存膜和該半導體通道之上並且與該儲存膜和該半導體通道相接觸的一通道插塞。

【0068】 如第5A圖所示，通道孔是垂直延伸穿過介電材料疊層504的一開口。在一些實施例中，可利用濕蝕刻和/或乾蝕刻，例如DRIE等製程來形成通道結構510的通道孔。在一些實施例中，通道結構510的通道孔進一步垂直延伸穿過矽基底502的頂部部分例如，可使蝕刻穿過介電材料疊層504的蝕刻製程不在矽基底502的頂表面處停止，而是繼續蝕刻部分矽基底502。如第5A圖所示，可以通過利用在任何適當的方向上從矽基底502（例如從底表面和/或側表面）磊晶成長形成單晶矽來填充通道孔的下部，形成半導體插塞512。磊晶成長形成半導體插塞512的製程可以包括但不限於，蒸汽相磊晶（VPE）、液相磊晶（LPE）、分子束磊晶（MPE），或其任何組合。

【0069】 如第5A圖所示，儲存膜514（包括阻擋層、儲存層和穿隧層）和半導體通道516是沿著通道結構510的通道孔的側壁並且在半導體插塞512之上形成。在一些實施例中，儲存膜514首先沿著通道孔的側壁並且在半導體插塞512之上沉積，然後再於儲存膜514之上沉積半導體通道516。阻擋層、儲存層和穿隧層可以使用一種或多種薄膜沉積製程（例如ALD、CVD、PVD、任何其它適當的製程或其任何組合）以上述順序被沉積以形成儲存膜514。可以通過一種或多種薄膜沉積製程（例如ALD、CVD、PVD、任何其它適當的製程或其任何組合）在穿隧層上沉積一多晶矽層而形成半導體通道516。半導體通道516可以使用例如SONO衝壓製程來與半導體插塞512相接觸。在一些實施例中，半導體通道516被沉積在通道孔中而不完全填滿通道孔。如第5A圖所示，包覆層518（例如氧化矽層）形成在通道孔中來完全或部分地填充通道孔的剩餘空間。包覆層

518可以使用一種或多種薄膜沉積製程（例如CVD、PVD、ALD、電鍍、無電鍍、或其任何組合）形成。

【0070】 如第5A圖所示，通道插塞520形成在通道結構510的通道孔的上部中。在一些實施例中，儲存膜514、半導體通道516和包覆層518之位在介電材料疊層504的頂表面上的部分通過CMP、濕蝕刻和/或乾蝕刻被移除和平坦化。後續，可以通過濕蝕刻和/或乾蝕刻來移除位於通道孔上部的部分儲存膜514、半導體通道516和包覆層518，以在通道孔的上部形成凹部。隨後，可以通過經由一種或多種薄膜沉積製程（例如CVD、PVD、ALD、電鍍、無電鍍、或其任何組合）來將半導體材料（例如多晶矽）和/或金屬（例如鎢）沉積到凹部內，形成通道插塞520，獲得穿過介電材料疊層504的通道結構510。

【0071】 方法700繼續進行到步驟706，如第7圖所示，在該介電材料疊層上形成一區域接觸層，其中該區域接觸層包括在該通道結構的一上端之上並且與該通道結構的該上端相接觸的一通道區域接觸。區域介電層是三維記憶體元件的互連結構的一部分。不同於如第1圖所示之具有互連結構的三維記憶體元件100的製造方法(在形成狹縫結構之後開始形成互連結構，包括形成區域介電層)，本發明之方法700在形成狹縫結構之前就形成區域接觸層（包括區域介電層）。

【0072】 如第5B圖所示，區域介電層522形成在介電材料疊層504上。區域介電層522可以是通過使用一種或多種薄膜沉積製程（例如CVD、PVD、ALD，或其任何組合）將介電材料（例如氧化矽和/或氮化矽）沉積在介電材料疊層504的頂表面上來形成。在一些實施例中，使用蝕刻製程蝕刻移除部分區域介電層522並且停止在通道結構510的通道插塞520的上端處，以形成穿過區域介電層

522並且暴露出通道插塞520的上端的通道區域接觸開口。蝕刻製程可以包括一個或多個循環的濕蝕刻和/或乾蝕刻（例如，DRIE）。可以利用微影製程形成的圖案化遮罩(例如圖案化光阻層)來定義出通道區域接觸開口，使得通道區域接觸開口與通道結構510是對齊的。如第5B圖所示，接著在通道區域接觸開口內沉積例如鎢的導電層，以形成通道區域接觸524，從而獲得包括區域介電層522和通道區域接觸524的區域接觸層526。可以進行CMP製程以移除過多的導電層並且平坦化區域接觸層526的頂表面。沉積製程可以包括薄膜沉積製程，例如ALD、CVD、PVD、任何其它適當的製程，或其任何組合。

【0073】 方法700繼續進行到步驟708，如第7圖所示，在該區域接觸層上形成一第一互連介電層。如第5C圖所示，第一互連介電層528形成在區域接觸層526的區域介電層522上。第一互連介電層528可以是通過使用一種或多種薄膜沉積製程（例如CVD、PVD、ALD或其任何組合）將介電材料（例如氧化矽和/或氮化矽）沉積在區域接觸層526的頂表面的頂部上來形成。

【0074】 方法700繼續進行到步驟710，如第7圖所示，同時形成穿過該第一互連介電層以暴露出該通道區域接觸的一上端的一通道接觸開口以及垂直延伸穿過該第一互連介電層、該區域接觸層和該介電材料疊層的一狹縫開口。如第5C圖所示，通道接觸開口530和狹縫開口532是使用相同的蝕刻製程同時形成的。在一些實施例中，可進行一蝕刻製程蝕刻移除部分第一互連介電層528以形成穿過第一互連介電層528並停止在通道區域接觸524的上端處以暴露出通道區域接觸524的上端的通道接觸開口530，並且同時蝕刻移除另一部分第一互連介電層528以及部分介電材料疊層504的交替層疊的犧牲層506和介電層508（例如氮化矽層和氧化矽層）以形成到達矽基底502的狹縫開口532。上述蝕刻製程可以包

第 30 頁，共 42 頁(發明說明書)

括一個或多個循環的濕蝕刻和/或乾蝕刻（例如DRIE）。可以利用微影製程形成的圖案化遮罩層(例如圖案化光阻層)來定義出通道接觸開口530和狹縫開口532的位置，使得通道接觸開口530與通道區域接觸524是對齊的，並且使狹縫開口532在要形成狹縫結構之處形成。

【0075】 方法700繼續進行到步驟712，如第7圖所示，通過該狹縫開口將該介電材料疊層之該些犧牲層置換成複數個導電層以形成一記憶體疊層，該記憶體疊層包括交替層疊的該些導電層和該些介電層(即所謂的「閘極置換」過程)。如第5D圖所示，犧牲層506（如第5C圖所示）被導電層534置換，從而形成包括交替層疊的導電層534和介電層508的記憶體疊層536。

【0076】 在一些實施例中，「閘極置換」過程首先通過穿過狹縫開口532移除犧牲層506來形成橫向凹部（未示出）。在一些實施例中，是使用蝕刻溶液通過狹縫開口532來移除犧牲層506，形成位在介電層508之間且與介電層408交替層疊的橫向凹部。如第5D圖所示，接著通過狹縫開口532將導電層534沉積到各橫向凹部內。可以使用一種或多種薄膜沉積製程（例如ALD、CVD、PVD、任何其它適當的製程，或其任何組合）來沉積導電層534，導電層534例如是金屬層。

【0077】 方法700繼續進行到步驟714，如第7圖所示，同時在該通道接觸開口中形成一通道接觸以及在該狹縫開口中形成一狹縫結構。在一些實施例中，為了同時形成通道接觸和狹縫結構，可將一導電層同時沉積在通道接觸開口和狹縫開口中。該導電層可以包括鎢。

【0078】 如第5D圖所示，在沉積導電層之前，可以在狹縫開口532的下端處(在

第 31 頁，共 42 頁(發明說明書)

矽基底502中)形成一摻雜區538,並且在狹縫開口532的側壁之上形成一間隙壁540。可以通過離子植入和/或熱擴散以將P型或N型摻雜劑通過狹縫開口532摻雜到矽基底502暴露的部分之內來形成摻雜區538。根據一些實施例,間隙壁540可包括一個或多個介電層(例如氧化矽和氮化矽),可以是使用一種或多種薄膜沉積製程(例如ALD、CVD、PVD、任何其它適當的製程,或其任何組合)沿著狹縫開口532的側壁沉積形成的。

【0079】 如第5E圖所示,可通過相同的沉積製程將材料例如是鎢的導電層同時沉積到通道接觸開口530(在第5D圖中示出)和狹縫開口532(在第5D圖中示出)的剩餘空間內,以同時形成通道接觸542和源極導電層544,獲得包括第一互連介電層528和通道接觸542的第一互連層548。可以進行CMP製程以移除過多的導電層並且平坦化第一互連層548的頂表面,從而與通道接觸542同時形成且包括源極導電層544、間隙壁540和摻雜區538的狹縫結構546。沉積製程可以包括薄膜沉積製程,例如ALD、CVD、PVD、任何其它適當的製程,或其任何組合。在一些實施例中,可在沉積導電層(例如鎢)之前將一多晶矽層先沉積到通道接觸開口530和狹縫開口532內。根據如第5E圖所示的實施例,狹縫結構546也延伸穿過第一互連層548和區域接觸層526。

【0080】 方法700繼續進行到步驟716,如第7圖所示,在該第一互連介電層上形成一第二互連層,其中第二互連層包括位在通道接觸的上端之上並且與通道接觸的上端相接觸的位元線,以及位在狹縫結構的上端之上並且與狹縫結構的上端相接觸的源極線。在一些實施例中,為了形成第二互連層,可在在第一互連介電層上形成第二互連介電層。在一些實施例中,為了形成第二互連層,可同時形成穿過第二互連介電層以暴露出通道接觸的上端的位元線開口和穿過第

二互連介電層以暴露狹縫結構的上端的源極線開口。在一些實施例中，爲了形成第二互連層，可將導電層同時沉積在位元線開口和源極線開口中，其中導電層可以包括鎢。

【0081】 如第5F圖所示，第二互連介電層550形成在第一互連層548的第一互連介電層528上。二互連介電層550可以是通過使用一種或多種薄膜沉積製程（例如CVD、PVD、ALD或其任何組合）將介電材料（例如氧化矽和/或氮化矽）沉積在第一互連層548的第一互連介電層528的頂表面的頂部上來形成。在一些實施例中，可使用相同的蝕刻製程在第二互連介電層550中同時形成位元線開口552和源極線開口554。在一些實施例中，可進行一蝕刻製程蝕刻移除部分第二互連介電層550以形成穿過第二互連介電層550並停止在通道接觸542的上端處以暴露通道接觸542的上端的位元線開口552，並且同時蝕刻移除另一部分的第二互連介電層550以形成穿過第二互連介電層550並停止在狹縫結構546的上端處以暴露狹縫結構546的上端的源極線開口554。上述蝕刻製程可以包括一個或多個循環的濕蝕刻和/或乾蝕刻。

【0082】 如第5G圖所示，接著通過相同的沉積製程將包括例如銅的導電層同時沉積到位元線開口552（在第5F圖中示出）和源極線開口554（在第5F圖中示出）內，以同時形成位元線556和源極線558，從而獲得包括第二互連介電層550、位元線556和源極線558的第二互連層560。可以進行CMP製程以移除過多的導電層並且平坦化第二互連層560的頂表面。沉積製程可以包括薄膜沉積製程，例如ALD、CVD、PVD、任何其它適當的製程，或其任何組合。製程至此，形成用於電連接至通道結構510和狹縫結構546的互連結構，其中包括有區域接觸層526、第一互連層548和第二互連層560的互連結構。

第 33 頁，共 42 頁(發明說明書)

【0083】 綜上所述，本發明一方面提供了一種三維記憶體元件，包括基底、記憶體疊層、通道結構和狹縫結構。記憶體疊層位於該基底上，包括交替層疊的複數個導電層和複數個介電層。通道結構垂直延伸穿過該記憶體疊層。狹縫結構垂直延伸穿過該記憶體疊層，其中該狹縫結構的一上端高於該通道結構的一上端。

【0084】 在一些實施例中，三維記憶體元件另包括位在該記憶體疊層上的一區域接觸層，其中該區域接觸層包括位在該通道結構的該上端之上並且與該通道結構的該上端相接觸的一通道區域接觸，其中該狹縫結構垂直延伸穿過該區域接觸層。

【0085】 在一些實施例中，三維記憶體元件另包括位在該區域接觸層上的一第一互連層，其中該第一互連層包括位在該通道區域接觸之上並且與該通道區域接觸相接觸的一通道接觸。

【0086】 在一些實施例中，三維記憶體元件另包括位在該第一互連層上的一第二互連層，其中該第二互連層包括位在該通道接觸之上並且與該通道接觸相接觸的一位元線。

【0087】 在一些實施例中，狹縫結構的該上端與該通道區域接觸的一上端是齊平的，且該第一互連層另包括位在該狹縫結構的該上端之上並且與該狹縫結構的該上端相接觸的一狹縫接觸。

【0088】 在一些實施例中，該第二互連層另包括位在該狹縫接觸的一上端之上並且與該狹縫接觸的該上端相接觸的一源極線。

【0089】 在一些實施例中，該狹縫結構包括一源極導電層，其與位在該狹縫結構的該上端之上的該狹縫接觸相接觸，以及一間隙壁，其位在該源極導電層與該記憶體疊層的該些導電層之間。

【0090】 在一些實施例中，該狹縫結構的該上端與該通道接觸的一上端是齊平的，並且該狹縫結構垂直延伸穿過該第一互連層。

【0091】 在一些實施例中，該第二互連層另包括位在該狹縫結構的該上端之上並且與該狹縫結構的該上端相接觸的一源極線。

【0092】 在一些實施例中，其中該狹縫結構包括一源極導電層，其與位在該狹縫結構的該上端之上的該源極線相接觸，以及一間隙壁，其位在該源極導電層與該記憶體疊層的該些導電層之間。

【0093】 在一些實施例中，該通道結構包括一半導體通道和一儲存膜。在一些實施例中，該通道結構另包括位在該通道結構的該上端處並且與該通道區域接觸相接觸的一通道插塞。

【0094】 本發明另一方面提供了一種三維記憶體元件的製造方法，步驟包括了在一基底上形成一介電材料疊層，其包括交替層疊的複數個犧牲層和複數個介電層、形成垂直延伸穿過該介電材料疊層的一通道結構、在該介電材料疊層

上形成一區域介電層、同時形成穿過該區域介電層以暴露出該通道結構的一上端的一通道區域接觸開口，以及垂直延伸穿過該區域介電層和該介電材料疊層的一狹縫開口、通過該狹縫開口將該些犧牲層置換成複數個導電層以形成一記憶體疊層，該記憶體疊層包括交替層疊的該些導電層和該些介電層，以及同時在該通道區域接觸開口中形成一通道區域接觸以及在該狹縫開口中形成一狹縫結構。

【0095】 在一些實施例中，另包括在該區域介電層上形成一第一互連層，其中該第一互連層包括位在該通道區域接觸的一上端之上並且與該通道區域接觸的該上端相接觸的一通道接觸，以及位在該狹縫結構的一上端之上並且與該狹縫結構的該上端相接觸的一狹縫接觸。

【0096】 在一些實施例中，其中形成該第一互連層包括在該區域介電層上形成一第一互連介電層、同時形成穿過該第一互連介電層以暴露該通道區域接觸的該上端的一通道接觸開口以及穿過該第一互連介電層以暴露該狹縫結構的該上端的一狹縫接觸開口，以及將一第一互連導電層同時沉積在該通道接觸開口和該狹縫接觸開口中。

【0097】 在一些實施例中，另包括在該第一互連層上形成一第二互連層，其中該第二互連層包括，其中該第二互連層包括位在該通道接觸的一上端之上並且與該通道接觸的該上端相接觸的一位元線，以及位在該狹縫接觸的一上端之上並且與該狹縫接觸的該上端相接觸的一源極線。

【0098】 在一些實施例中，形成該通道結構包括蝕刻該介電材料疊層以形成

垂直延伸穿過該介電材料疊層的一通道孔、沿著該通道孔的側壁沉積一儲存膜和一半導體通道，以及形成位在該儲存膜和該半導體通道之上並且與該儲存膜和該半導體通道相接觸的一通道插塞。

【0099】 在一些實施例中，同時形成該通道區域接觸和該狹縫結構包括將一導電層同時沉積在該通道區域接觸開口和該狹縫開口中。在一些實施例中，該導電層包括鎢。

【0100】 本發明又另一方面公開了一種三維記憶體元件的製造方法，步驟包括了在一基底上形成一介電材料疊層，該介電材料疊層包括交替層疊的複數個犧牲層和複數個介電層、形成垂直延伸穿過該介電材料疊層的一通道結構、在該介電材料疊層上形成一區域接觸層，其中該區域接觸層包括在該通道結構的一上端之上並且與該通道結構的該上端相接觸的一通道區域接觸、在該區域接觸層上形成一第一互連介電層、同時形成穿過該第一互連介電層以暴露出該通道區域接觸的一上端的一通道接觸開口以及垂直延伸穿過該第一互連介電層、該區域接觸層和該介電材料疊層的一狹縫開口、通過該狹縫開口將該介電材料疊層之該些犧牲層置換成複數個導電層以形成一記憶體疊層，該記憶體疊層包括交替層疊的該些導電層和該些介電層，以及同時在該通道接觸開口中形成一通道接觸以及在該狹縫開口中形成一狹縫結構。

【0101】 在一些實施例中，另包括在該第一互連層上形成一第二互連層，其中該第二互連層包括位在該通道接觸的一上端之上並且與該通道接觸的該上端相接觸的一位元線，以及位在該狹縫結構的一上端之上並且與該狹縫結構的該上端相接觸的一源極線。

【0102】 在一些實施例中，其中形成該第二互連層包括在該第一互連介電層上形成一第二互連介電層、同時形成穿過該第二互連介電層以暴露該通道接觸的該上端的一位元線開口以及穿過該第二互連介電層以暴露該狹縫結構的該上端的一源極線開口，以及將一導電層同時沉積在該位元線和該源極線開口中。在一些實施例中，該導電層包括銅。

【0103】 在一些實施例中，其中形成該通道結構包括蝕刻該介電材料疊層以形成垂直延伸穿過該介電材料疊層的一通道孔、沿著該通道孔的側壁沉積一儲存膜和一半導體通道，以及形成位在該儲存膜和該半導體通道之上並且與該儲存膜和該半導體通道相接觸的一通道插塞。

【0104】 在一些實施例中，同時形成該通道接觸和該狹縫結構包括將一導電層同時沉積在該通道接觸開口和該狹縫開口中。在一些實施例中，該導電層包括鎢。

【0105】 前文對於特定實施例的詳細描述可得知本發明的一般性質，並使得本發明具有通常知識者在不脫離本發明一般概念的情況下，能夠根據本領域技術的知識，容易地修改及/或調整這些特定實施例以用於各種應用，並不需要過度實驗。因此，基於本文呈現的教示和指導，這樣的調整和修改目的在於所公開的實施例的等同物的含義和範圍內。應該理解的是，本文中的措辭或術語是出於描述的目的，而非限制的目的。本說明書使用術語或措辭將由本領域技術人員根據所述教示和指導進行解釋。

【0106】 前文已經借助於功能區塊描述了本發明的實施例，該功能區塊例示了特定功能及其關係的實施方式。為了便於描述，前文實施例中任意限定了這些功能區塊的邊界，但只要適當執行特定功能及其關係，在其他實施例中也可以限定替代的邊界。

【0107】 發明內容和摘要部分是用來描述由發明人提出的本發明的一個或多個但並非全部的示例性實施例，並非用於以任何方式限制本發明和所附權利要求的範圍。凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0108】

X	方向	402	矽基底
Y	方向	404	介電材料疊層
100	三維記憶體元件	406	犧牲層
102	基底	408	介電層
104	記憶體疊層	410	通道結構
106	通道結構	412	半導體插塞
108	狹縫結構	414	儲存膜
110	區域接觸層	416	半導體通道
112	第一互連層	418	包覆層
114	第二互連層	420	通道插塞
116	通道區域接觸	422	區域介電層
118	狹縫區域接觸	424	通道區域接觸開口

120	通道接觸	426	狹縫開口
122	狹縫接觸	436	摻雜區
124	位元線	434	記憶體疊層
126	源極線	438	間隙壁
200	三維記憶體元件	440	通道區域接觸
202	基底	442	源極導電層
204	通道結構	444	狹縫結構
206	導電層	446	區域接觸層
208	介電層	448	第一互連介電層
210	記憶體疊層	450	通道接觸開口
212	半導體通道	452	狹縫接觸開口
214	儲存膜	454	通道接觸
216	包覆層	456	狹縫接觸
218	半導體插塞	458	第一互連層
220	通道插塞	460	第二互連介電層
222	區域接觸層	462	位元線
224	通道區域接觸	464	源極線
226	狹縫結構	466	第二互連層
228	源極導電層	502	矽基底
230	間隙壁	504	介電材料疊層
232	摻雜區	506	犧牲層
234	第一互連層	508	介電層
236	通道接觸	510	通道結構
238	狹縫接觸	512	半導體插塞

240	第二互連層	514	儲存膜
242	位元線	516	半導體通道
246	源極線	518	包覆層
300	三維記憶體元件	520	通道插塞
302	基底	522	區域介電層
304	通道結構	524	通道區域接觸
306	導電層	526	區域接觸層
308	介電層	528	第一互連介電層
310	記憶體疊層	530	通道接觸開口
312	半導體通道	532	狹縫開口
314	儲存膜	534	導電層
316	包覆層	536	記憶體疊層
318	半導體插塞	538	摻雜區
320	通道插塞	540	間隙壁
322	區域接觸層	542	通道接觸
324	通道區域接觸	544	源極導電層
326	第一互連層	546	狹縫結構
328	通道接觸	548	第一互連層
330	狹縫結構	550	第二互連介電層
332	源極導電層	552	位元線開口
334	間隙壁	554	源極線開口
336	摻雜區	556	位元線
338	第二互連層	558	源極線
340	位元線	560	第二互連層

342	源極線	700	方法
600	方法	702	步驟
602	步驟	704	步驟
604	步驟	706	步驟
606	步驟	708	步驟
608	步驟	710	步驟
610	步驟	712	步驟
612	步驟	714	步驟
614	步驟	716	步驟
616	步驟		

【發明申請專利範圍】

【第1項】 一種三維記憶體元件，包括：

一基底；

一記憶體疊層位於該基底上，該記憶體疊層包括交替層疊的複數個導電層和複數個介電層；

一通道結構，其垂直延伸穿過該記憶體疊層；

一狹縫結構，其垂直延伸穿過該記憶體疊層，其中該狹縫結構的一上端高於該通道結構的一上端；以及

位在該記憶體疊層上的一區域接觸層，其中該區域接觸層包括位在該通道結構的該上端之上並且與該通道結構的該上端相接觸的一通道區域接觸，其中該狹縫結構垂直延伸穿過該區域接觸層。

【第2項】 根據申請專利範圍第1項所述之三維記憶體元件，另包括位在該區域接觸層上的一第一互連層，其中該第一互連層包括位在該通道區域接觸之上並且與該通道區域接觸相接觸的一通道接觸。

【第3項】 根據申請專利範圍第2項所述之三維記憶體元件，另包括位在該第一互連層上的一第二互連層，其中該第二互連層包括位在該通道接觸之上並且與該通道接觸相接觸的一位元線。

【第4項】 根據申請專利範圍第3項所述之三維記憶體元件，其中該狹縫結構的該上端與該通道區域接觸的一上端是齊平的，且該第一互連層另包括位在該狹縫結構的該上端之上並且與該狹縫結構的該上端相接觸的一狹縫接觸。

【第5項】 根據申請專利範圍第4項所述之三維記憶體元件，其中該第二互連層另包括位在該狹縫接觸的一上端之上並且與該狹縫接觸的該上端相接觸的一源極線。

【第6項】 根據申請專利範圍第5項所述之三維記憶體元件，其中該狹縫結構包括：

一源極導電層，其與位在該狹縫結構的該上端之上的該狹縫接觸相接觸；以及
一間隙壁，其位在該源極導電層與該記憶體疊層的該些導電層之間。

【第7項】 根據申請專利範圍第3項所述之三維記憶體元件，其中該狹縫結構的該上端與該通道接觸的一上端是齊平的，並且該狹縫結構垂直延伸穿過該第一互連層。

【第8項】 根據申請專利範圍第7項所述之三維記憶體元件，其中該第二互連層另包括位在該狹縫結構的該上端之上並且與該狹縫結構的該上端相接觸的一源極線。

【第9項】 根據申請專利範圍第8項所述之三維記憶體元件，其中該狹縫結構包括：

一源極導電層，其與位在該狹縫結構的該上端之上的該源極線相接觸；以及
一間隙壁，其位在該源極導電層與該記憶體疊層的該些導電層之間。

【第10項】 根據申請專利範圍第1項所述之三維記憶體元件，其中該通道結構

第 2 頁，共 5 頁(發明申請專利範圍)

包括一半導體通道和一儲存膜。

【第11項】 根據申請專利範圍第1項所述之三維記憶體元件，其中該通道結構另包括位在該通道結構的該上端處並且與該通道區域接觸相接觸的一通道插塞。

【第12項】 一種三維記憶體元件的製造方法，包括：

在一基底上形成一介電材料疊層，其包括交替層疊的複數個犧牲層和複數個介電層；

形成垂直延伸穿過該介電材料疊層的一通道結構；

在該介電材料疊層上形成一區域介電層；

同時形成穿過該區域介電層以暴露出該通道結構的一上端的一通道區域接觸開口，以及垂直延伸穿過該區域介電層和該介電材料疊層的一狹縫開口；

通過該狹縫開口將該些犧牲層置換成複數個導電層以形成一記憶體疊層，該記憶體疊層包括交替層疊的該些導電層和該些介電層；以及

同時在該通道區域接觸開口中形成一通道區域接觸以及在該狹縫開口中形成一狹縫結構。

【第13項】 根據申請專利範圍第12項所述之三維記憶體元件的製造方法，另包括在該區域介電層上形成一第一互連層，其中該第一互連層包括：

位在該通道區域接觸的一上端之上並且與該通道區域接觸的該上端相接觸的一通道接觸；以及

位在該狹縫結構的一上端之上並且與該狹縫結構的該上端相接觸的一狹縫

接觸。

【第14項】 根據申請專利範圍第13項所述之三維記憶體元件的製造方法，其中形成該第一互連層包括：

在該區域介電層上形成一第一互連介電層；

同時形成穿過該第一互連介電層以暴露該通道區域接觸的該上端的一通道

接觸開口以及穿過該第一互連介電層以暴露該狹縫結構的該上端的一狹縫接觸開口；以及

將一第一互連導電層同時沉積在該通道接觸開口和該狹縫接觸開口中。

【第15項】 根據申請專利範圍第13項所述之三維記憶體元件的製造方法，另包括在該第一互連層上形成一第二互連層，其中該第二互連層包括：

位在該通道接觸的一上端之上並且與該通道接觸的該上端相接觸的一位元線；以及

位在該狹縫接觸的一上端之上並且與該狹縫接觸的該上端相接觸的一源極線。

【第16項】 根據申請專利範圍第12項所述之三維記憶體元件的製造方法，其中形成該通道結構包括：

蝕刻該介電材料疊層以形成垂直延伸穿過該介電材料疊層的一通道孔；

沿著該通道孔的側壁沉積一儲存膜和一半導體通道；以及

形成位在該儲存膜和該半導體通道之上並且與該儲存膜和該半導體通道相接觸的一通道插塞。

【第17項】 根據申請專利範圍第12項所述之三維記憶體元件的製造方法，其中同時形成該通道區域接觸和該狹縫結構包括將一導電層同時沉積在該通道區域接觸開口和該狹縫開口中。

【第18項】 根據申請專利範圍第17項所述之三維記憶體元件的製造方法，其中該導電層包括鎢。

【第19項】 一種三維記憶體元件的製造方法，包括：

在一基底上形成一介電材料疊層，該介電材料疊層包括交替層疊的複數個犧牲層和複數個介電層；

形成垂直延伸穿過該介電材料疊層的一通道結構；

在該介電材料疊層上形成一區域接觸層，其中該區域接觸層包括在該通道結構的一上端之上並且與該通道結構的該上端相接觸的一通道區域接觸；

在該區域接觸層上形成一第一互連介電層；

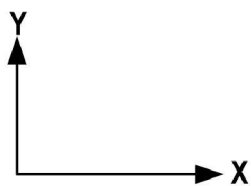
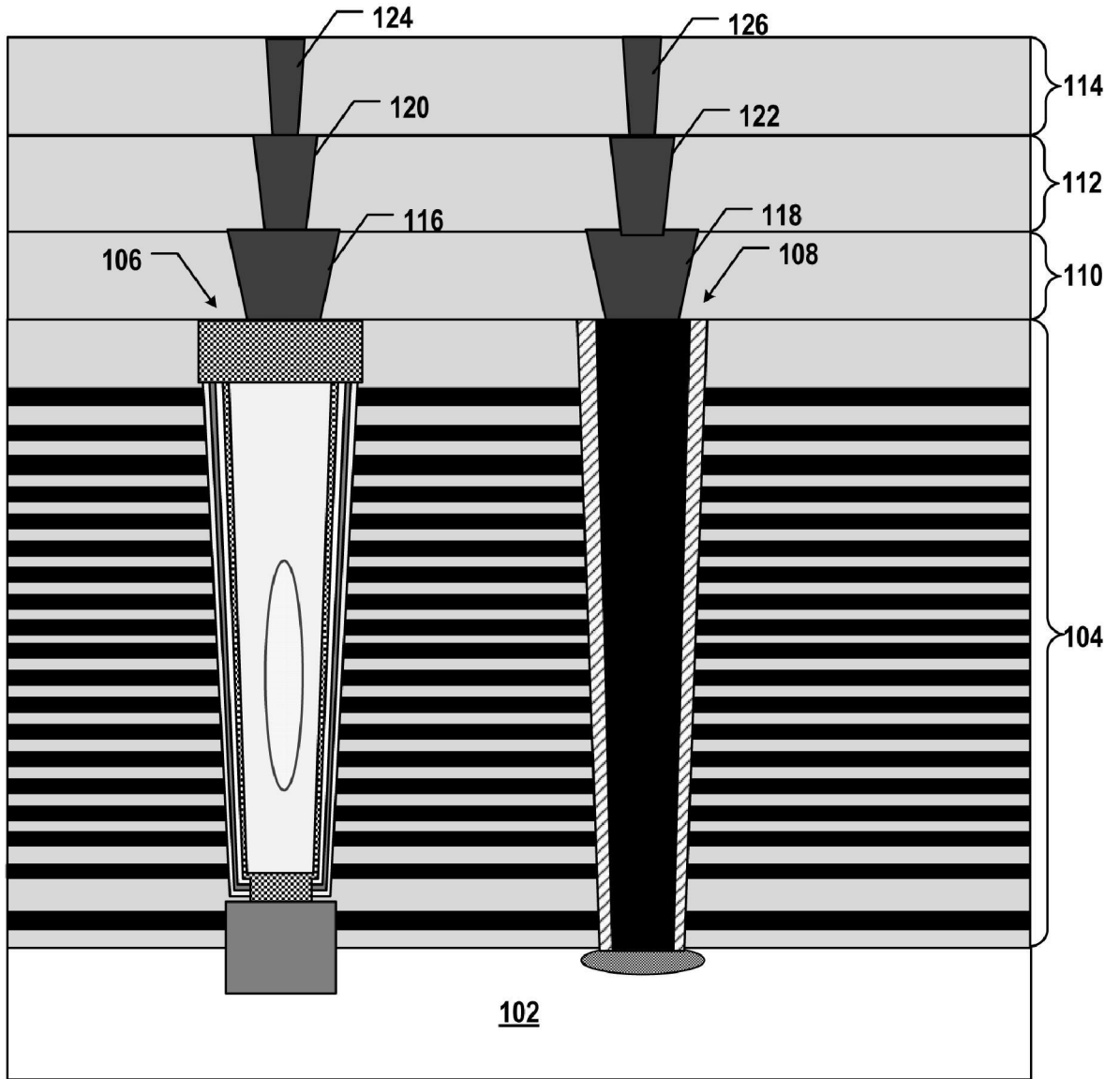
同時形成穿過該第一互連介電層以暴露出該通道區域接觸的一上端的一通道接觸開口以及垂直延伸穿過該第一互連介電層、該區域接觸層和該介電材料疊層的一狹縫開口；

通過該狹縫開口將該介電材料疊層之該些犧牲層置換成複數個導電層以形成一記憶體疊層，該記憶體疊層包括交替層疊的該些導電層和該些介電層；以及

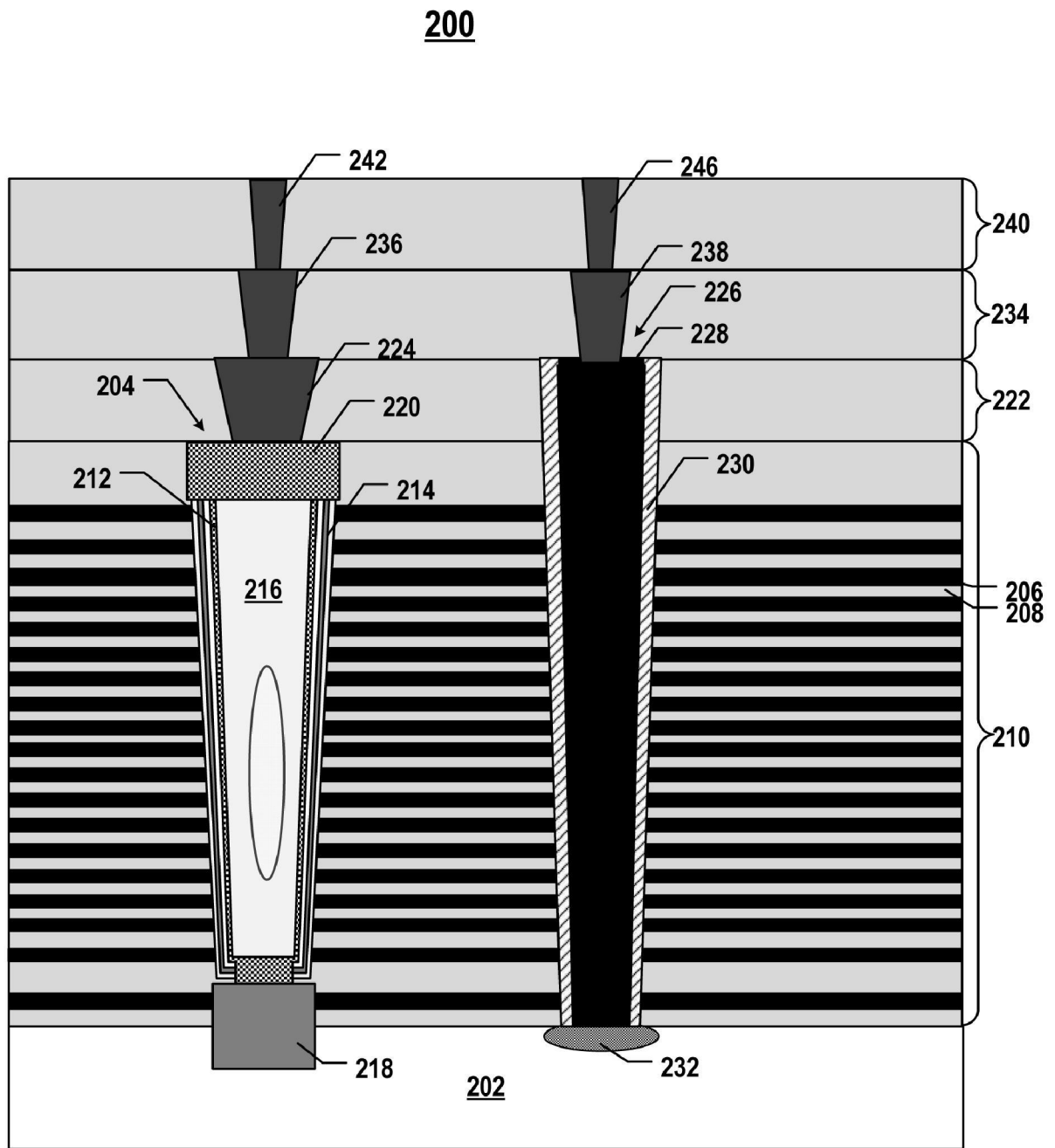
同時在該通道接觸開口中形成一通道接觸以及在該狹縫開口中形成一狹縫結構。

【發明圖式】

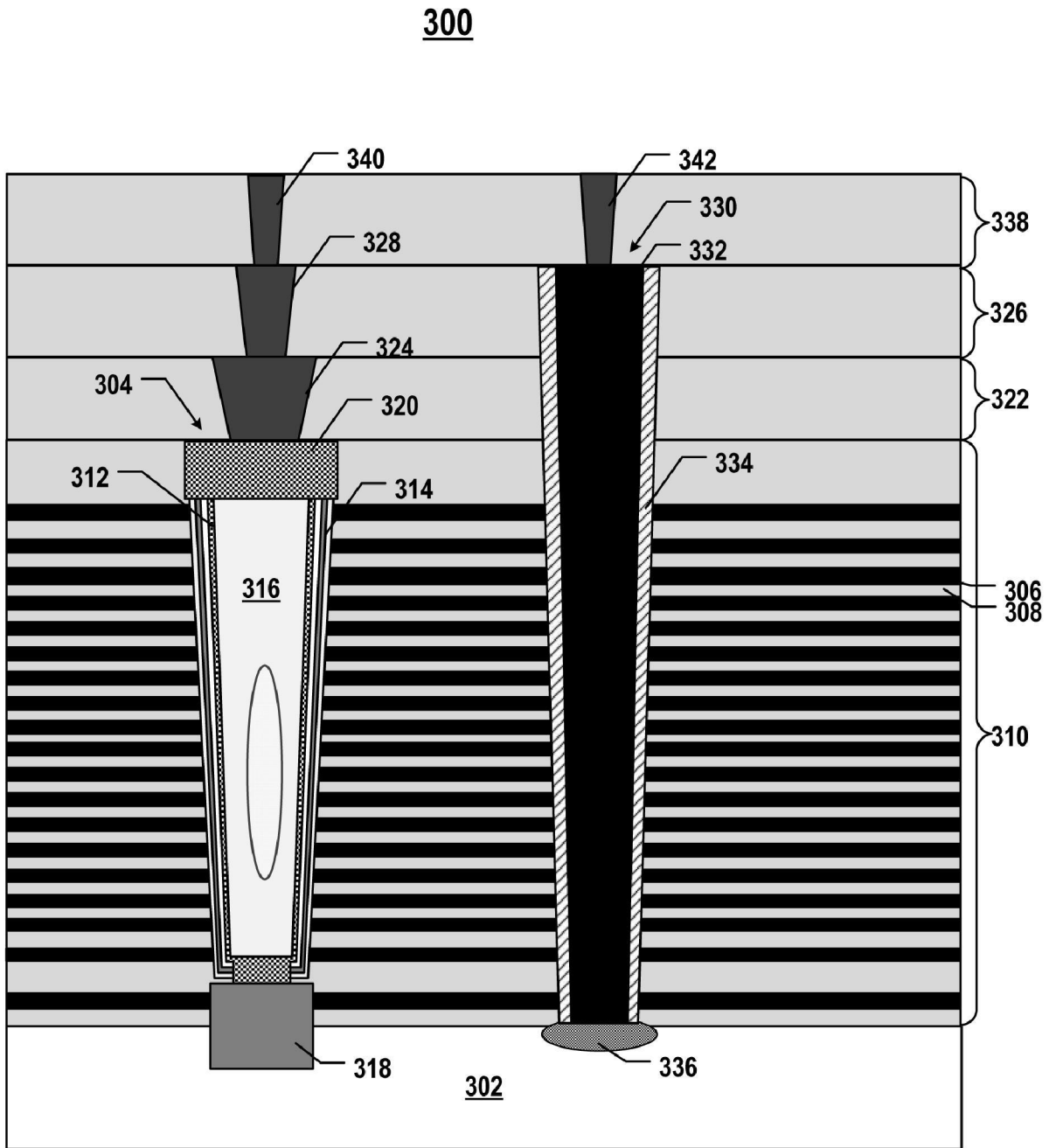
100



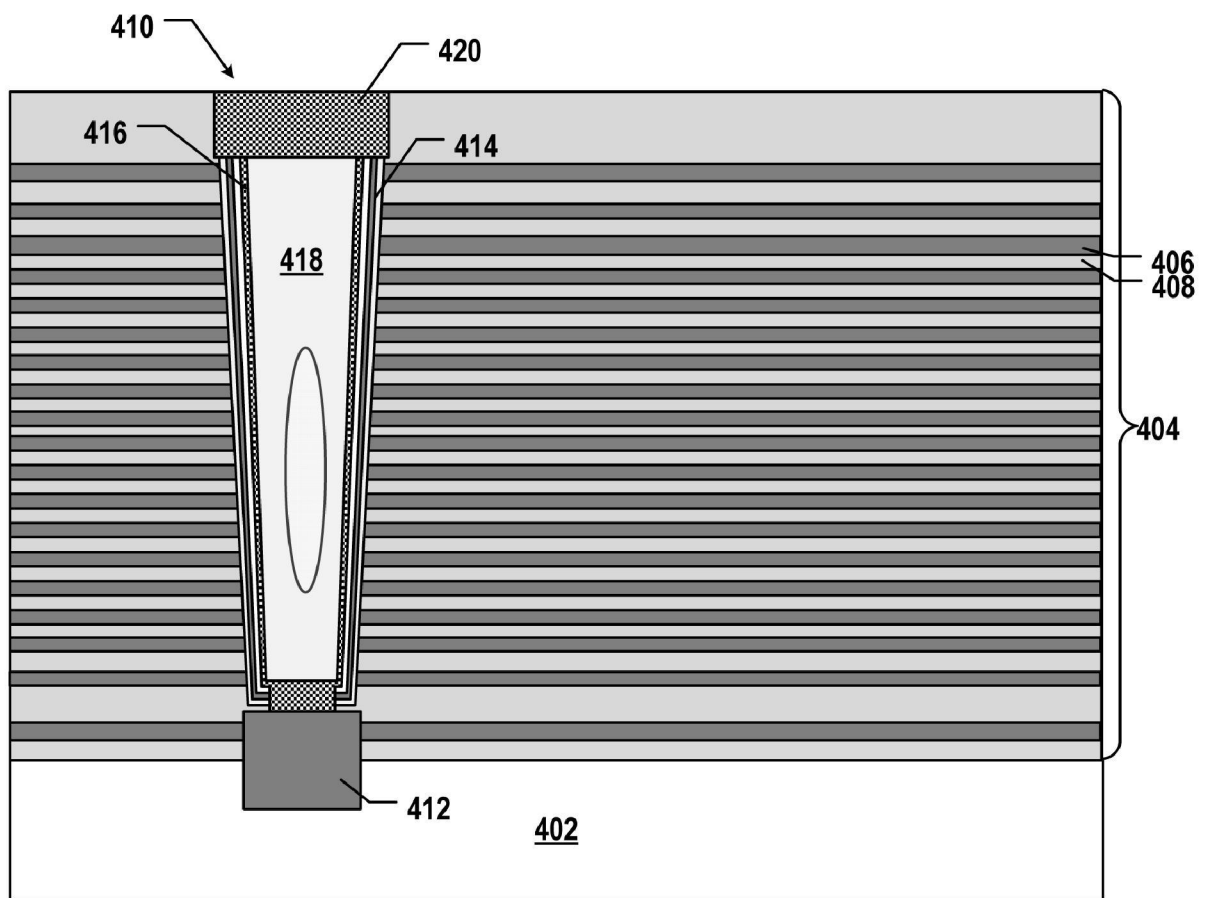
第1圖



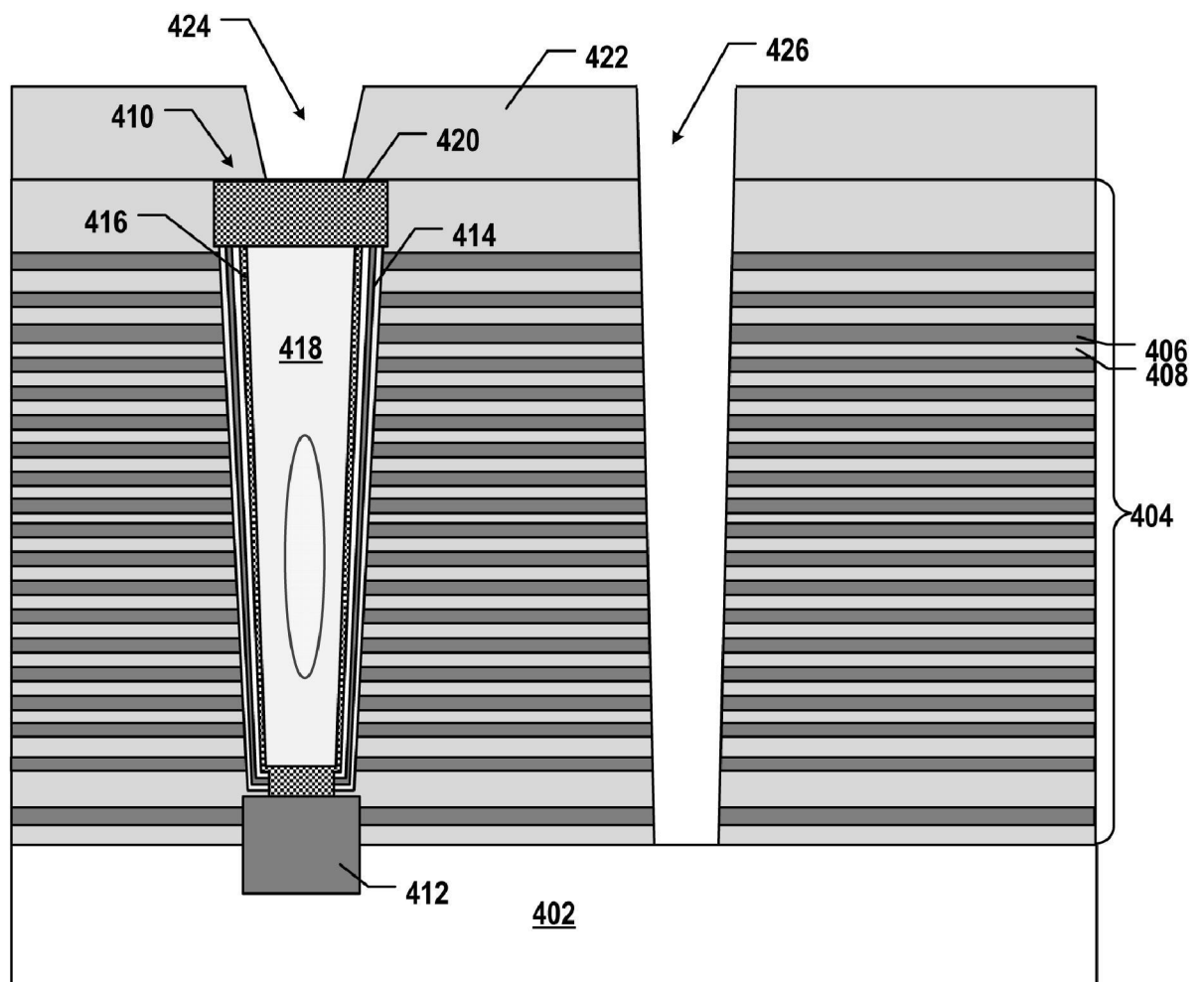
第2圖



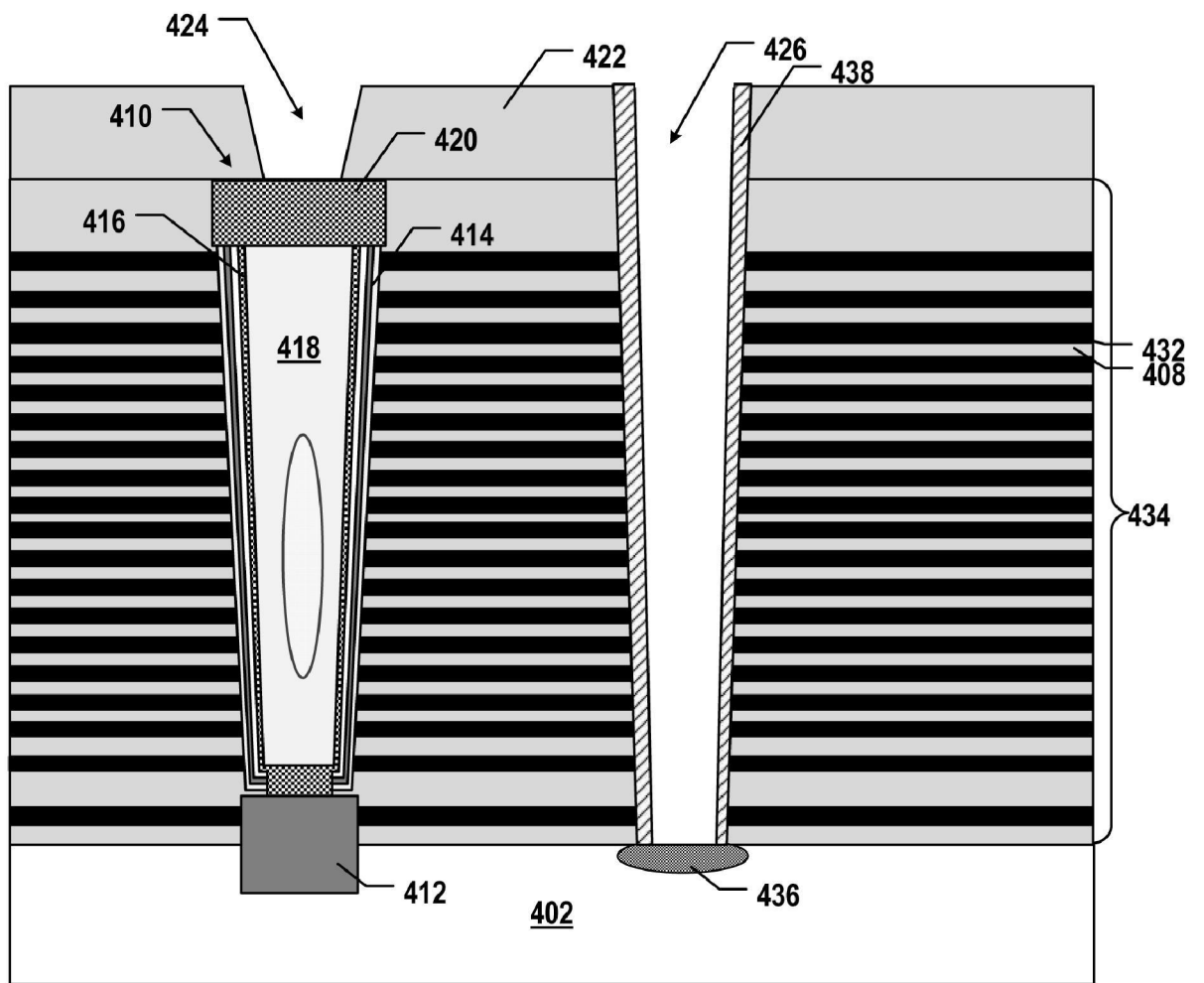
第3圖



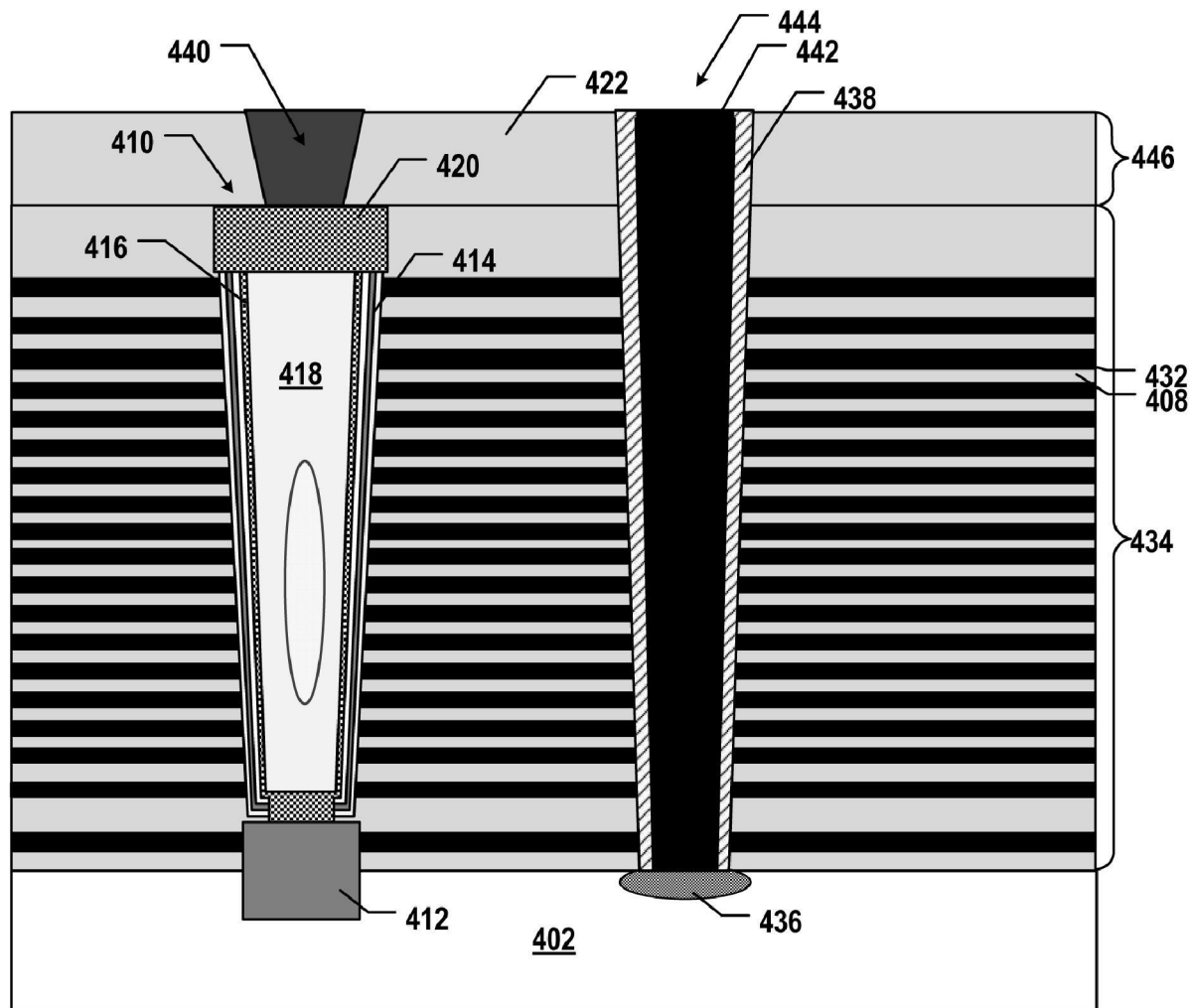
第4A圖



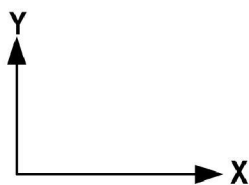
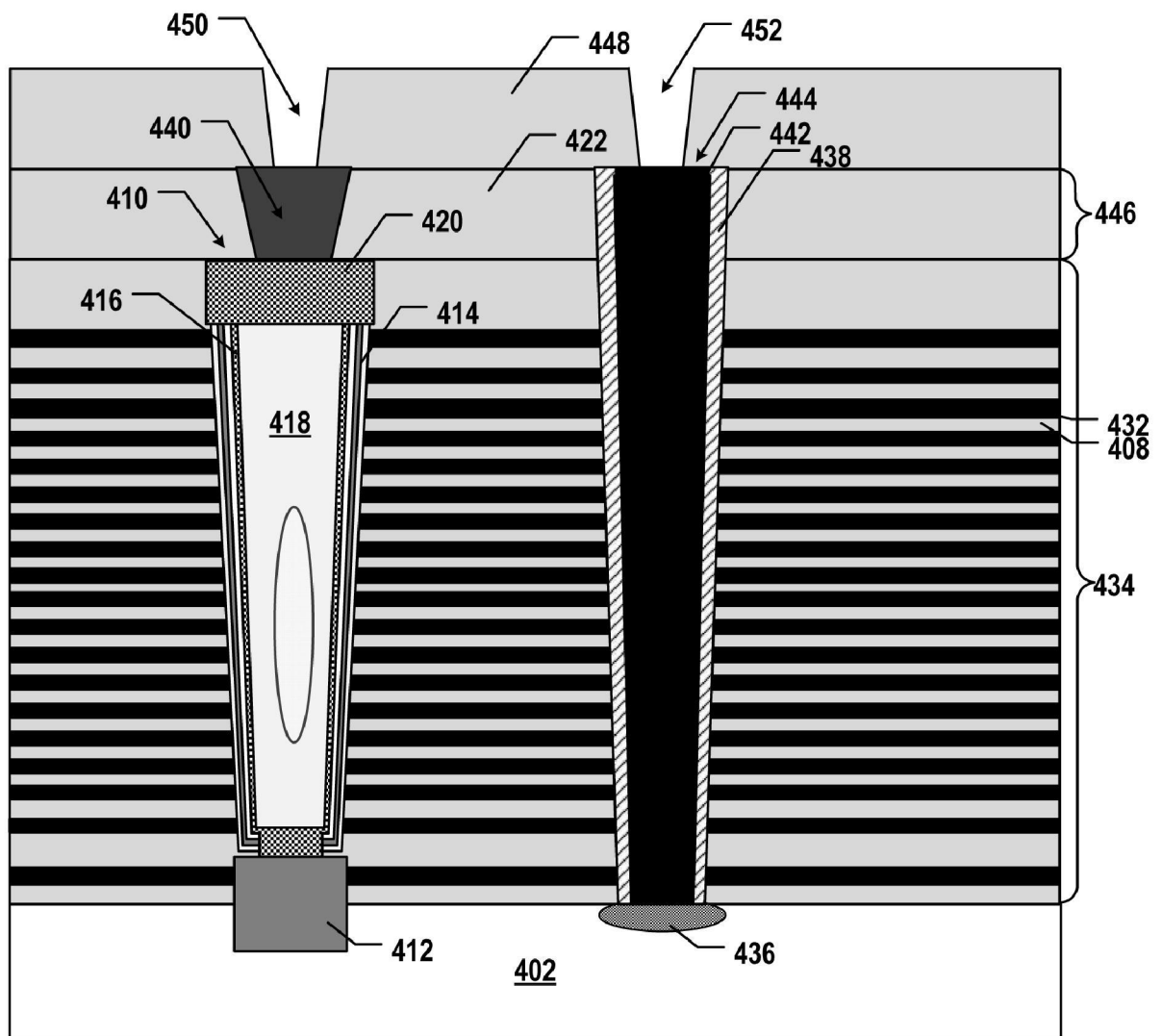
第4B圖



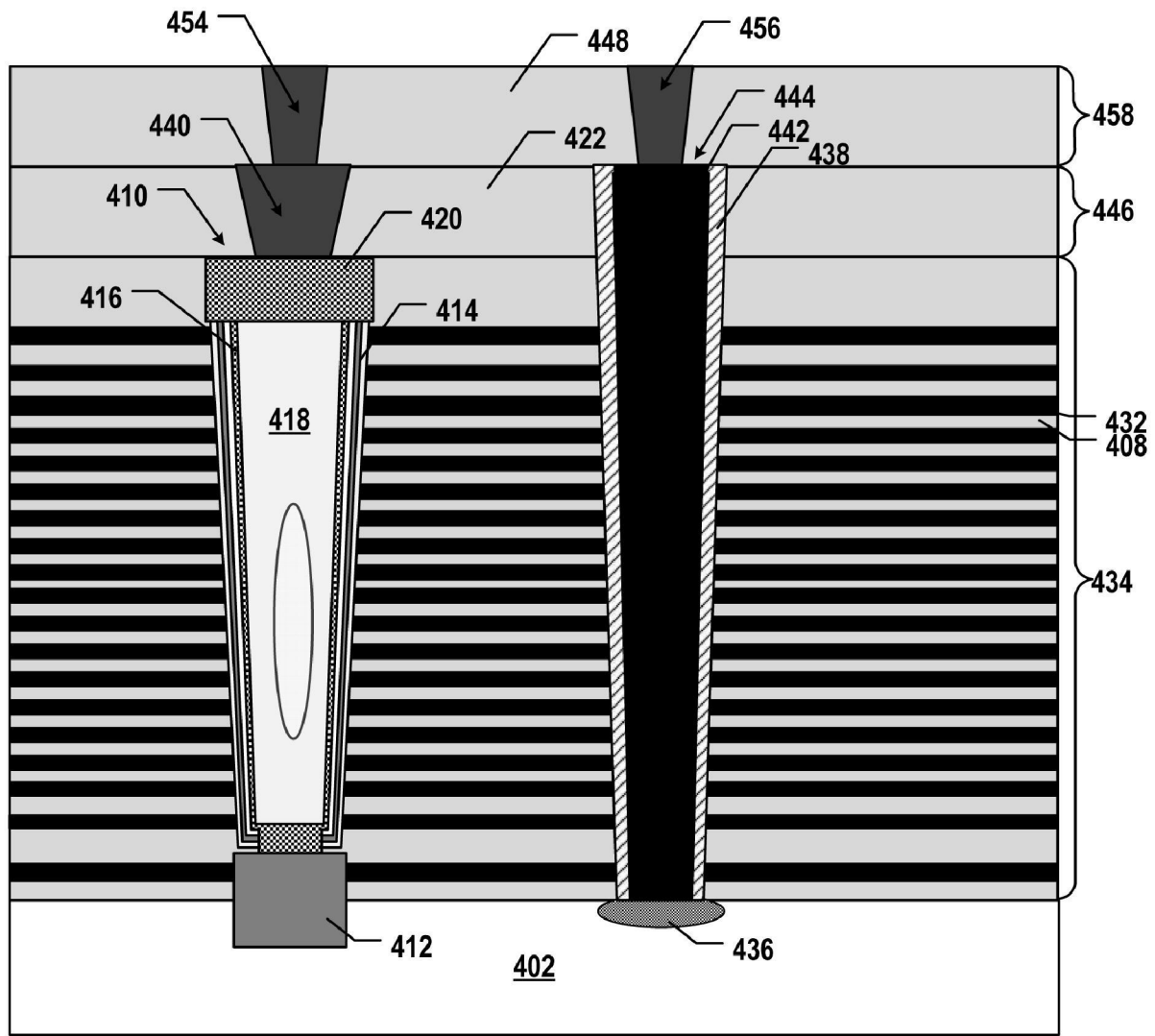
第4C圖



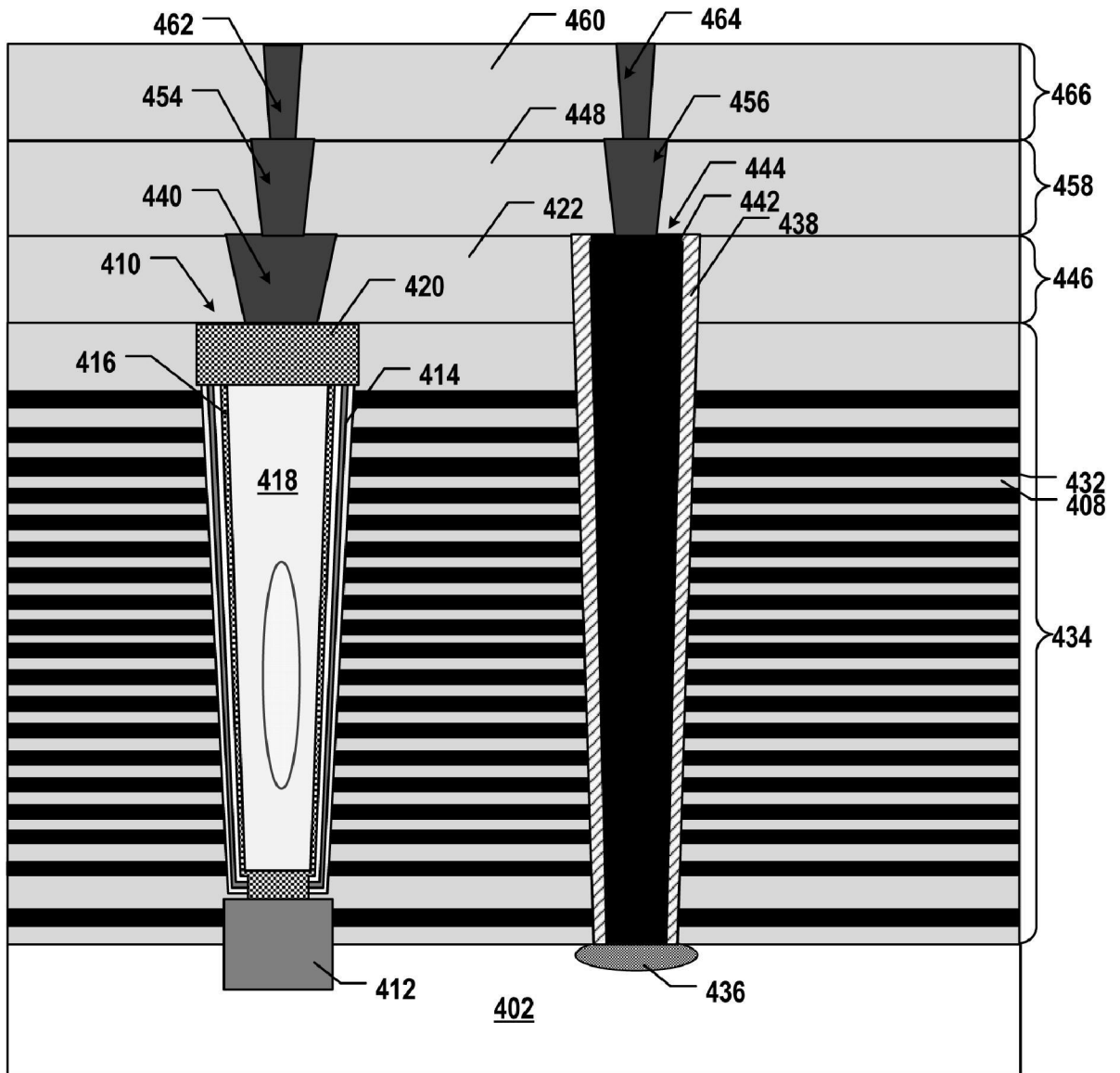
第4D圖



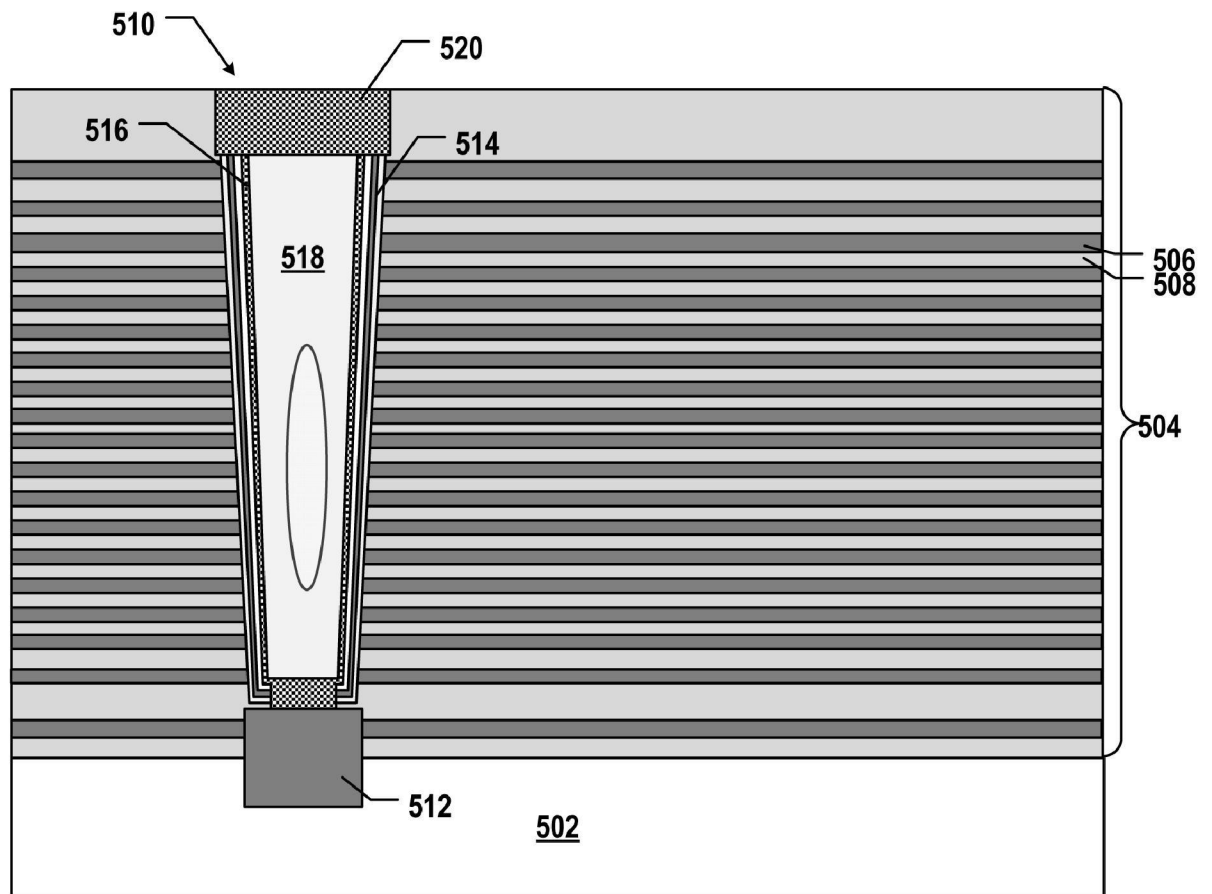
第4E圖



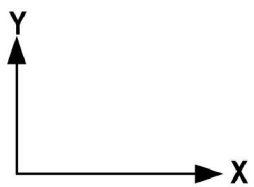
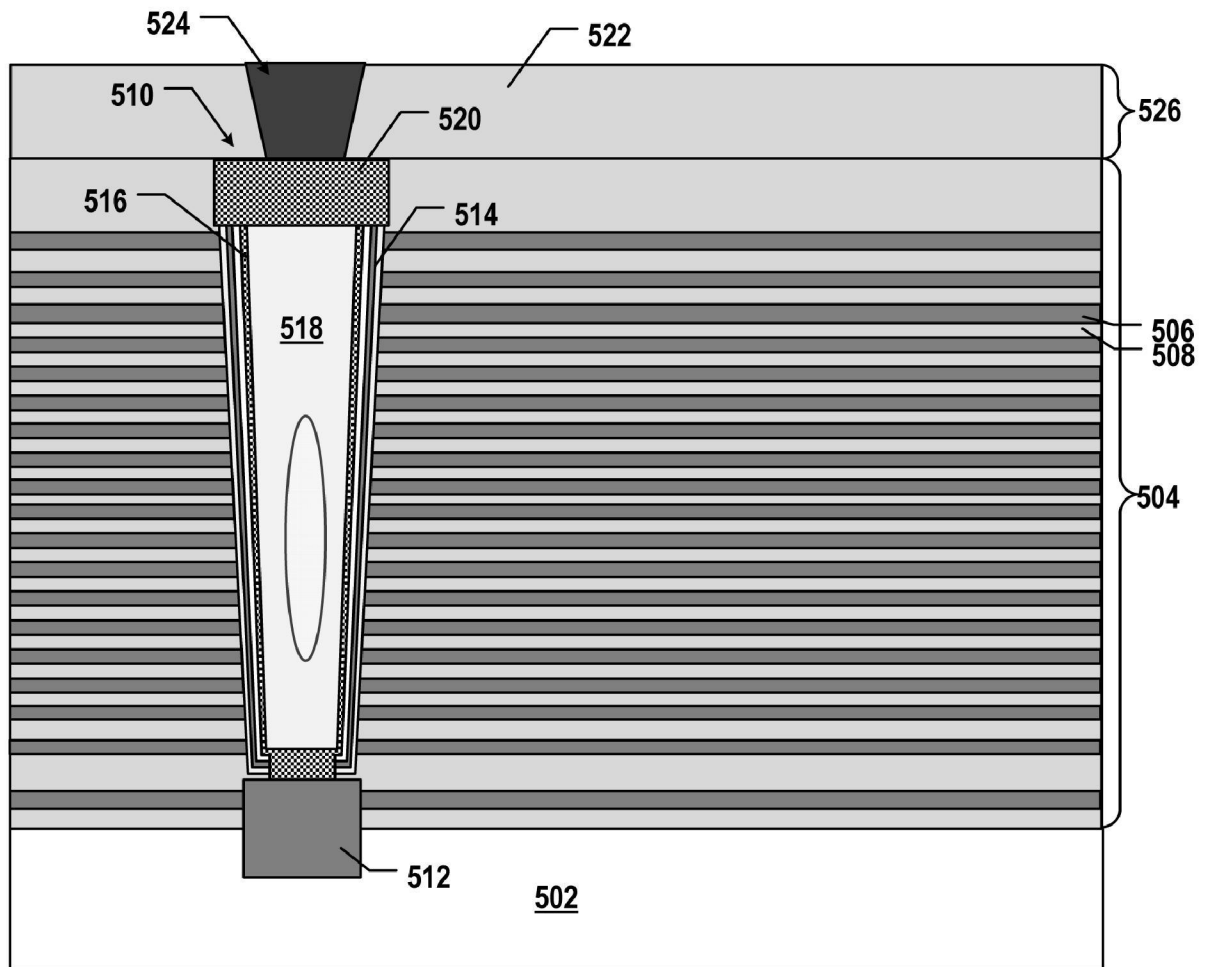
第4F圖



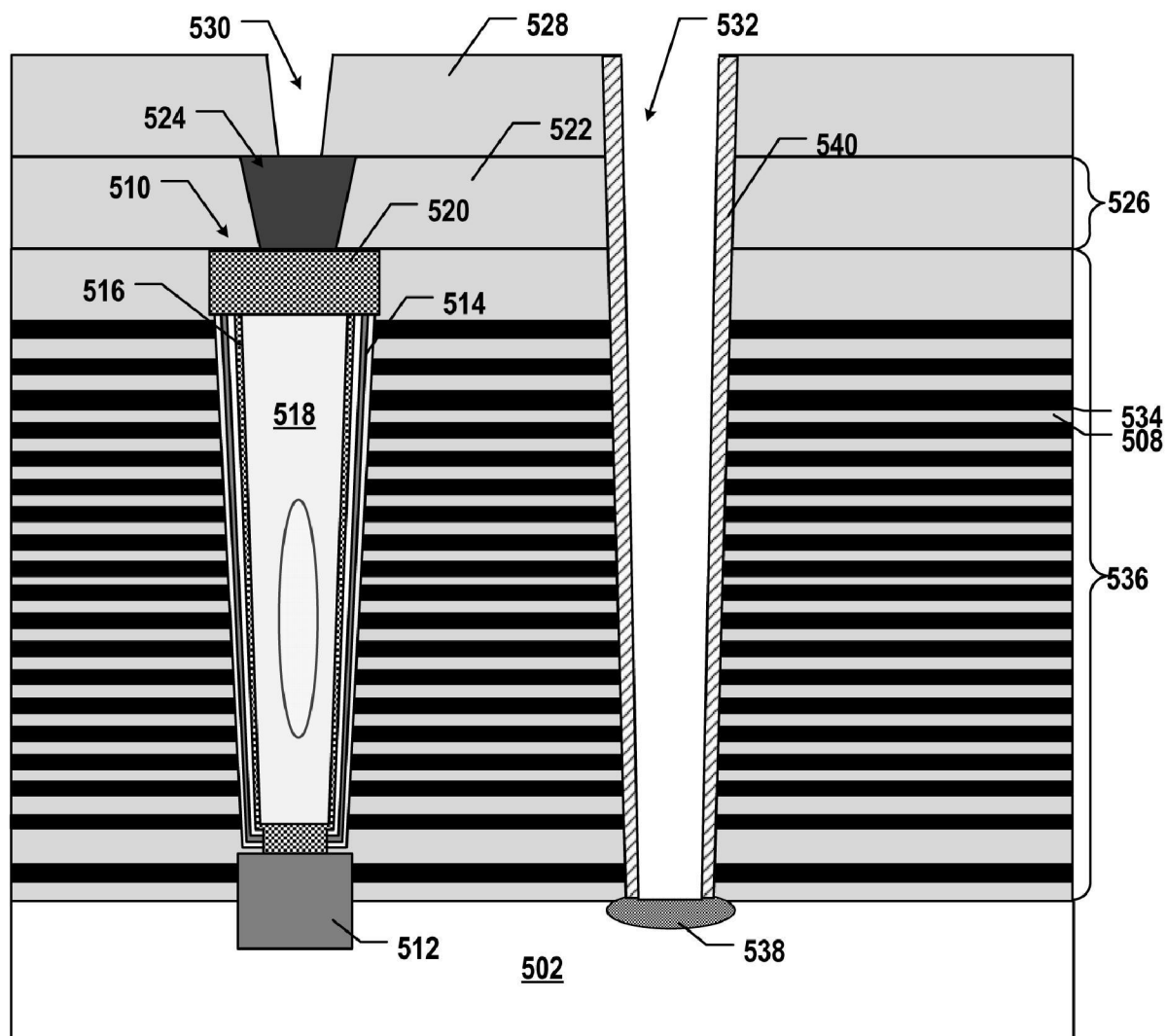
第4G圖



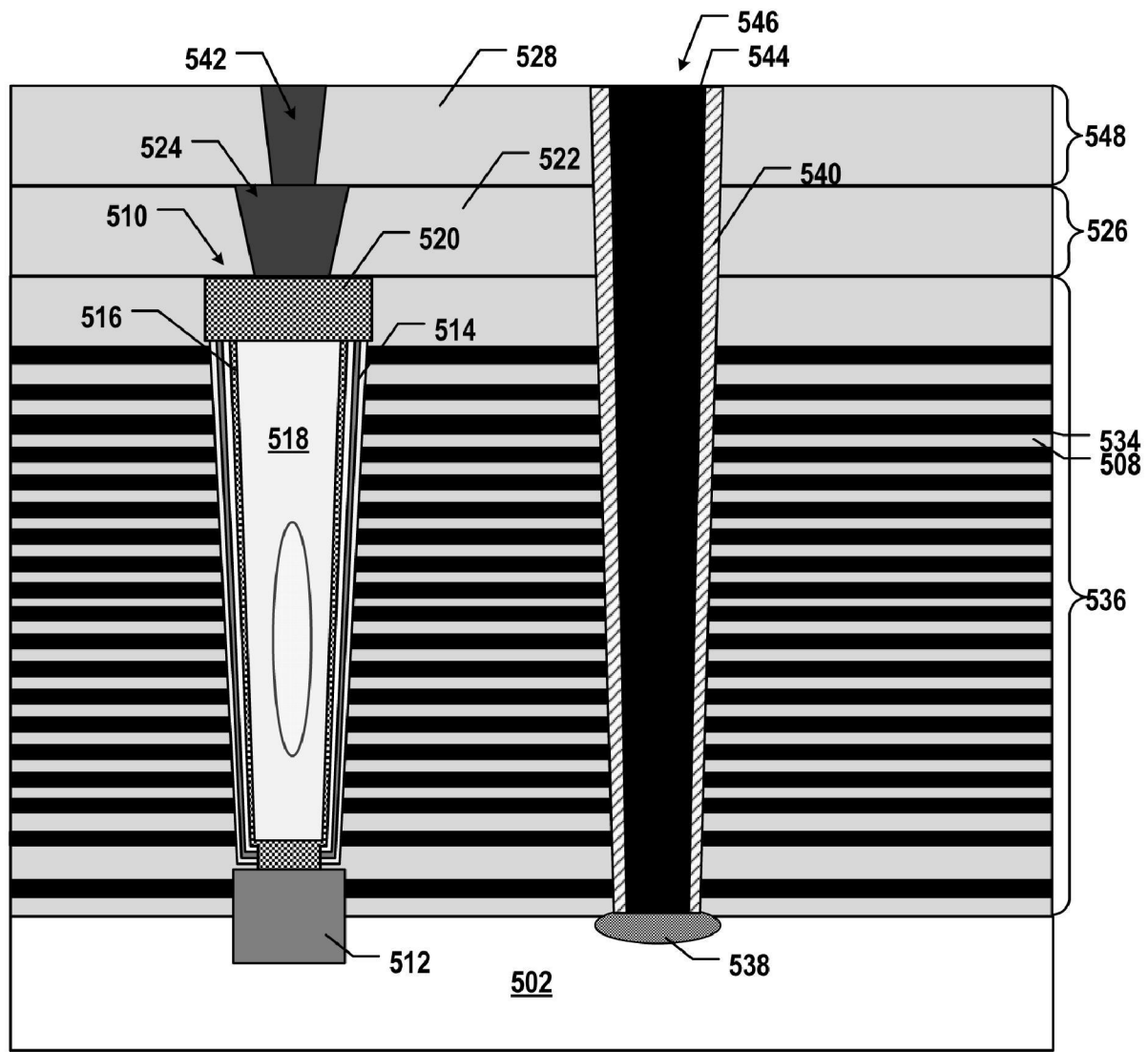
第5A圖



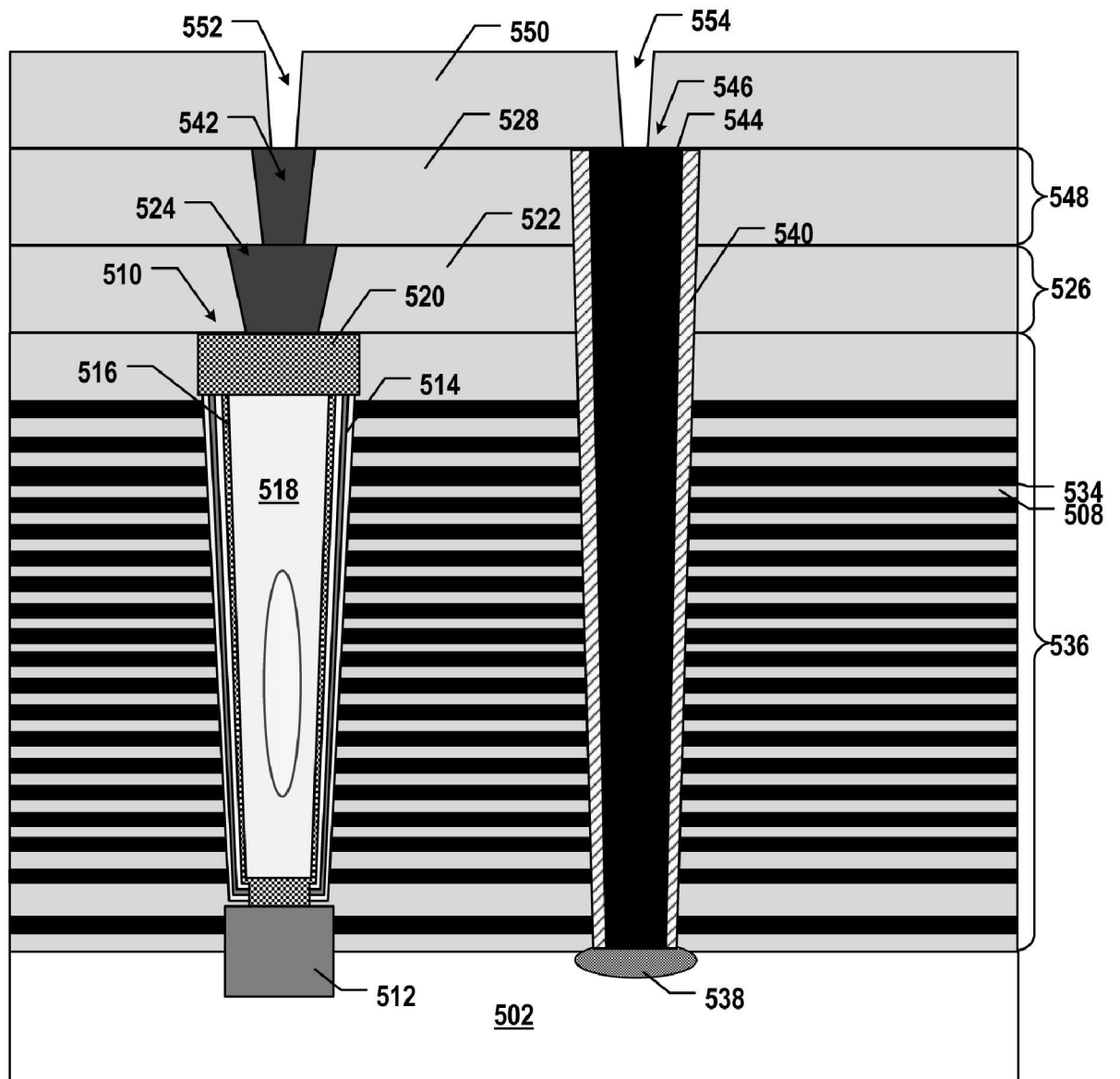
第5B圖



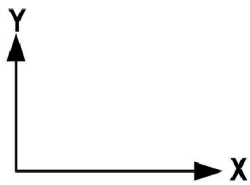
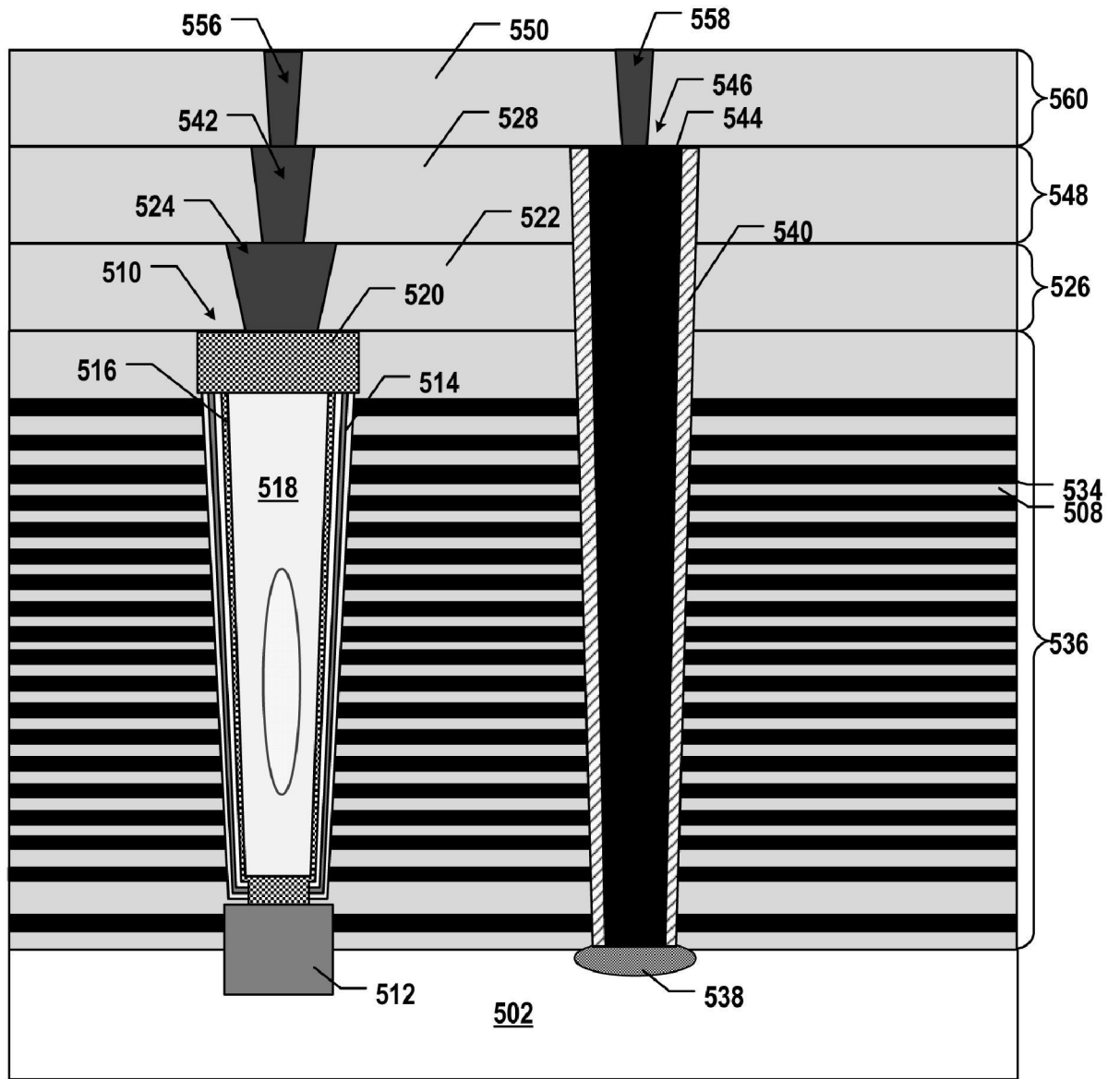
第5D圖



第5E圖



第5F圖



第5G圖

