

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5083245号  
(P5083245)

(45) 発行日 平成24年11月28日(2012.11.28)

(24) 登録日 平成24年9月14日(2012.9.14)

(51) Int.Cl.	F I				
G09G 3/30 (2006.01)	G09G	3/30		J	
G09G 3/20 (2006.01)	G09G	3/20	642B		
G09F 9/00 (2006.01)	G09G	3/20	670H		
H01L 51/50 (2006.01)	G09G	3/20	623R		
	G09G	3/20	641D		
請求項の数 22 (全 33 頁) 最終頁に続く					

(21) 出願番号 特願2009-46147 (P2009-46147)  
 (22) 出願日 平成21年2月27日(2009.2.27)  
 (65) 公開番号 特開2010-107936 (P2010-107936A)  
 (43) 公開日 平成22年5月13日(2010.5.13)  
 審査請求日 平成21年10月7日(2009.10.7)  
 (31) 優先権主張番号 特願2008-255550 (P2008-255550)  
 (32) 優先日 平成20年9月30日(2008.9.30)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000001443  
 カシオ計算機株式会社  
 東京都渋谷区本町1丁目6番2号  
 (74) 代理人 100095407  
 弁理士 木村 満  
 (72) 発明者 武居 学  
 東京都八王子市石川町2951番地の5  
 カシオ計算機株式会社 八王子技術センタ  
 ー内  
 (72) 発明者 尾崎 剛  
 東京都八王子市石川町2951番地の5  
 カシオ計算機株式会社 八王子技術センタ  
 ー内

最終頁に続く

(54) 【発明の名称】 画素駆動装置、発光装置、表示装置及び画素駆動装置の接続ユニット接続方法

(57) 【特許請求の範囲】

【請求項1】

複数の入出力端子と、該複数の入出力端子に接続された複数の画素と、を有する画素アレイを駆動する画素駆動装置であって、

前記複数の入出力端子の数より少ない所定の数の接続端子を有する接続ユニットと、

前記各接続端子と前記各入出力端子との接続を切り換える接続切換部と、

を備え、

前記接続切換部は、前記複数の入出力端子を互いに隣接する前記所定の数の前記入出力端子毎の複数のブロックに分割し、互いに隣接する2つの前記ブロックにおける一方のブロックと他方のブロックに対し、前記接続ユニットの前記各接続端子と前記一方のブロックの前記各入出力端子との接続順序と、前記接続ユニットの前記各接続端子と前記他方のブロックの前記各入出力端子との接続順序とを、互いに逆の順序に設定し、前記一方のブロックに属する第1の入出力端子と前記他方のブロックに属し前記第1の入出力端子と隣接する第2の入出力端子に対して、前記所定の数の接続端子の何れかの同じ前記接続端子を接続し、

前記接続ユニットは、測定用の電流を出力する電流源、測定用の電圧を出力する電圧源、電圧値を測定する電圧計及び電流値を測定する電流計の何れかを、前記複数の接続端子の各々に対応して複数備え、前記各接続端子と前記各ブロックの前記各入出力端子とが接続されたとき、(1)前記接続ユニットが接続された前記各ブロックの前記各入出力端子への前記測定用の電圧の供給又は前記測定用の電流の供給、(2)前記接続ユニットが接続さ

れた前記各ブロックの前記各入出力端子の電圧の電圧値の測定又は前記各入出力端子に流れる電流の電流値の測定、の何れかを行うことを特徴とする画素駆動装置。

【請求項 2】

前記接続ユニットの前記接続端子の数は、前記複数の入出力端子の数を偶数に分割した数に設定されていることを特徴とする請求項 1 に記載の画素駆動装置。

【請求項 3】

前記接続ユニットの前記各接続端子と前記各ブロックの前記各入出力端子との接続を切り換える切換制御信号を前記接続切換部に供給する制御部を備え、

接続切換部は、

前記接続ユニットの前記各接続端子と前記複数のブロックにおける奇数番目の前記ブロックの前記各入出力端子とを前記接続ユニットの前記各接続端子の配列順序に沿った順序で接続する第 1 のスイッチ群と、

前記接続ユニットの前記各接続端子と前記複数のブロックにおける偶数番目の前記ブロックの前記各入出力端子とを前記接続ユニットの前記各接続端子の配列順序と逆の順序で接続する第 2 のスイッチ群と、

前記制御部から供給される切換制御信号に基づいて、前記第 1 のスイッチ群及び前記第 2 のスイッチ群の開閉を制御する開閉制御部と、

を備えたことを特徴とする請求項 1 に記載の画素駆動装置。

【請求項 4】

前記接続ユニットは、前記電流源として、一定の電流値の電流を出力するように設定された定電流源を、前記所定の数の接続端子の各々に対応して該所定の数だけを備え、該各定電流源の出力端が前記各接続端子に接続されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の画素駆動装置。

【請求項 5】

前記接続ユニットは、前記電圧源として、一定の電圧値の電圧を出力するように設定された定電圧源を、前記所定の数の接続端子の各々に対応して該所定の数だけを備え、該各定電圧源の出力端が前記各接続端子に接続されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の画素駆動装置。

【請求項 6】

前記接続切換部により前記接続ユニットの前記各接続端子が接続された前記ブロックの前記各入出力端子の電位の値又は前記各接続端子から前記接続切換部を介して前記各入出力端子に流れる電流の電流値を取得する測定部を備えることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の画素駆動装置。

【請求項 7】

前記接続ユニットは、前記電流源と前記電圧計とを、前記所定の数の接続端子の各々に対応して該所定の数だけを備え、該各電圧計の入力端が前記各接続端子に接続された測定部を有することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の画素駆動装置。

【請求項 8】

前記接続ユニットは、前記電圧源と前記電流計とを、前記所定の数の接続端子の各々に対応して該所定の数だけを備え、該各電流計の入力端が前記各接続端子に接続された測定部を有することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の画素駆動装置。

【請求項 9】

前記測定部が取得した前記電位の値又は前記電流値に基づいて、供給される画像信号に応じて前記画素アレイの前記各画素を駆動する駆動信号を補正する補正部を備えることを特徴とする請求項 6 乃至 8 のいずれか 1 項に記載の画素駆動装置。

【請求項 10】

複数の入出力端子と、該複数の入出力端子に接続された、発光素子を有する複数の画素と、を有する画素アレイと、

前記複数の入出力端子の数より少ない所定の数の接続端子を有する接続ユニットと、

前記各接続端子と前記各入出力端子との接続を切り換える接続切換部と、

10

20

30

40

50

を備え、

前記接続切換部は、前記複数の入出力端子を互いに隣接する前記所定の数の前記入出力端子毎の複数のブロックに分割し、互いに隣接する2つの前記ブロックにおける一方のブロックと他方のブロックに対し、前記接続ユニットの前記各接続端子と前記一方のブロックの前記各入出力端子との接続順序と、前記接続ユニットの前記各接続端子と前記他方のブロックの前記各入出力端子との接続順序とを、互いに逆の順序に設定し、前記一方のブロックに属する第1の入出力端子と前記他方のブロックに属し前記第1の入出力端子と隣接する第2の入出力端子に対して、前記所定の数の接続端子の何れかの同じ前記接続端子を接続し、

前記接続ユニットは、測定用の電流を出力する電流源、測定用の電圧を出力する電圧源、電圧値を測定する電圧計及び電流値を測定する電流計の何れかを、前記複数の接続端子の各々に対応して複数備え、前記各接続端子と前記各ブロックの前記各入出力端子とが接続されたとき、(1)前記接続ユニットが接続された前記各ブロックの前記各入出力端子への前記測定用の電圧の供給又は前記測定用の電流の供給、(2)前記接続ユニットが接続された前記各ブロックの前記各入出力端子の電圧の電圧値の測定又は前記各入出力端子に流れる電流の電流値の測定、の何れかを行うことを特徴とする発光装置。

【請求項11】

前記接続ユニットの前記接続端子の数は、前記複数の入出力端子の数を偶数に分割した数に設定されていることを特徴とする請求項10に記載の発光装置。

【請求項12】

前記接続ユニットは、前記電流源として、一定の電流値の電流を出力するように設定された定電流源を、前記所定の数の接続端子の各々に対応して該所定の数だけを備え、該各定電流源の出力端が前記各接続端子に接続されていることを特徴とする請求項10又は11に記載の発光装置。

【請求項13】

前記接続ユニットは、前記電圧源として、一定の電圧値の電圧を出力するように設定された定電圧源を、前記所定の数の接続端子の各々に対応して該所定の数だけを備え、該各定電圧源の出力端が前記各接続端子に接続されていることを特徴とする請求項10又は11に記載の発光装置。

【請求項14】

前記接続ユニットが前記電流源を前記所定の数の接続端子の各々に対応して該所定の数だけ有して、前記接続切換部により前記接続ユニットの前記各接続端子が接続された前記各ブロックの、前記各入出力端子の電位の値を取得する、又は、前記接続ユニットが前記電圧源を前記所定の数の接続端子の各々に対応して該所定の数だけ有して、前記各接続端子から前記接続切換部を介して前記各入出力端子に流れる電流の電流値を取得する測定部を備えることを特徴とする請求項12又は13に記載の発光装置。

【請求項15】

前記接続ユニットは、前記電流源と前記電圧計とを、前記所定の数の接続端子の各々に対応して該所定の数だけを備え、該各電圧計の入力端が前記各接続端子に接続された測定部を有することを特徴とする請求項10又は11に記載の発光装置。

【請求項16】

前記接続ユニットは、前記電圧源と前記電流計とを、前記所定の数の接続端子の各々に対応して該所定の数だけを備え、該各電流計の入力端が前記各接続端子に接続された測定部を有することを特徴とする請求項10又は11に記載の発光装置。

【請求項17】

前記画素アレイは、前記複数の入出力端子の各々に接続される複数のデータラインを有し、

前記各画素は、電流路の一端が前記発光素子の一端に接続されるとともに前記各データラインに電氣的に接続され、該電流路の他端に所定の電圧値の電源電圧が印加されて、前記発光素子に供給する電流を制御する駆動トランジスタを有し、

10

20

30

40

50

前記測定部は、前記接続ユニットより、前記接続切換部を介して、オン状態とされた前記各画素の前記駆動トランジスタの電流路に電流が流れるときの前記各入出力端子の電位の値又は前記各接続端子から前記接続切換部及び前記各入出力端子を介して前記各データラインに流れる電流の電流値を取得することを特徴とする請求項 1 4 乃至 1 6 のいずれか 1 項に記載の発光装置。

【請求項 1 8】

前記測定部が取得した前記電位の値又は前記電流値に基づいて、供給される画像信号に応じて前記画素アレイの前記各画素を駆動する駆動信号を補正する補正部を備えることを特徴とする請求項 1 4 乃至 1 7 のいずれか 1 項に記載の発光装置。

【請求項 1 9】

複数の画素に接続された複数の入出力端子を有する画素アレイを駆動する画素駆動装置の前記複数の入出力端子に、該複数の入出力端子の数より少ない所定の数の接続端子を有する接続ユニットを接続する画素駆動装置の接続ユニット接続方法であって、

前記複数の入出力端子を互いに隣接する前記所定の数の入出力端子毎の複数のブロックに分割し、互いに隣接する 2 つの前記ブロックにおける一方のブロックと他方のブロックに対し、前記接続ユニットの前記各接続端子を、前記一方のブロックの前記各入出力端子と、前記他方のブロックの前記各入出力端子とに、互いに逆の順序で順次接続し、

前記一方のブロックに属する第 1 の入出力端子と前記他方のブロックに属し前記第 1 の入出力端子と隣接する第 2 の入出力端子に、前記所定の数の接続端子の何れかの特定の前記接続端子を接続し、

前記接続ユニットに、測定用の電流を出力する電流源、測定用の電圧を出力する電圧源、電圧値を測定する電圧計、電流値を測定する電流計、の何れかを前記複数の接続端子の各々に対応して複数設けて、前記接続ユニットの前記各接続端子と前記各ブロックの前記各入出力端子とを接続して、(1)前記接続ユニットを接続した前記各ブロックの前記各入出力端子への測定用の電圧又は電流の供給、(2)前記接続ユニットを接続した前記各ブロックの前記各入出力端子の電圧の電圧値又は前記各入出力端子に流れる電流の電流値の測定、の何れかを行うことを特徴とする画素駆動装置の接続ユニット接続方法。

【請求項 2 0】

$m$  ( $m$  は自然数) 個の入出力端子  $D(i)$  ( $i = 1 \sim m$ ) を有する表示パネルと、  
 $p$  ( $p$  は自然数、 $p < m$ ) 個の接続端子  $P(k)$  ( $k = 1 \sim p$ ) を有する接続ユニットと、

前記表示パネルの各入出力端子  $D(i)$  のいずれかと前記接続ユニットの各接続端子  $P(k)$  とを接続する接続切換部と、を備え、

前記接続切換部は、

前記表示パネルの入出力端子  $D(i)$  を互いに隣接する  $p$  個の前記入出力端子  $D(i)$  毎の複数のブロックに分割し、分割したブロックのブロック数を  $b$  ( $b = 1 \sim m/p$ ) とし、

前記ブロック数  $b$  が奇数の奇数ブロックの前記入出力端子  $D((b-1) \times p + k)$  に対する前記各接続端子  $P(k)$  の接続順序と、前記ブロック数  $b$  が偶数の偶数ブロックの前記入出力端子  $D((b-1) \times p + k)$  に対する前記各接続端子  $P(k)$  の接続順序と、を互いに逆の順序に設定して、

前記奇数ブロックの前記入出力端子  $D((b-1) \times p + k)$  と前記接続ユニットの接続端子  $P(k)$  とを接続したときは、前記偶数ブロックの前記表示パネルの入出力端子  $D((b-1) \times p + k)$  と前記接続ユニットの接続端子  $P(p-k+1)$  とを接続し、

前記偶数ブロックの前記入出力端子  $D((b-1) \times p + k)$  と前記接続ユニットの接続端子  $P(k)$  とを接続したときは、前記奇数ブロックの前記表示パネルの入出力端子  $D((b-1) \times p + k)$  と前記接続ユニットの接続端子  $P(p-k+1)$  とを接続し、

前記接続ユニットは、測定用の電流を出力する電流源、測定用の電圧を出力する電圧源、電圧値を測定する電圧計、電流値を測定する電流計、の何れかを前記各接続端子に対応して  $p$  個備え、前記各接続端子と前記各ブロックの前記各入出力端子とが接続されたとき

10

20

30

40

50

、(1)前記接続ユニットが接続された前記各ブロックの前記各入出力端子 $D((b-1) \times p + k)$ への前記測定用の電圧の供給又は前記測定用の電流の供給、(2)前記接続ユニットが接続された前記各ブロックの前記各入出力端子 $D((b-1) \times p + k)$ の電圧の電圧値の測定又は前記各入出力端子 $D((b-1) \times p + k)$ に流れる電流の電流値の測定、の何れかを行うことを特徴とする表示装置。

【請求項 2 1】

前記接続ユニットに接続する前記入出力端子 $D((b-1) \times p + k)$ を、前記奇数ブロック又は前記偶数ブロックに切り換える切換制御信号を前記接続切換部に供給する制御部を備え、

前記接続切換部は、

一端が前記表示パネルの前記奇数ブロックの入出力端子 $D((b-1) \times p + k)$ に接続され、他端が前記接続ユニットの接続端子 $P(k)$ に接続された第1のスイッチと、

一端が前記表示パネルの前記偶数ブロックの入出力端子 $D((b-1) \times p + k)$ に接続され、他端が前記接続ユニットの接続端子 $P(p - k + 1)$ に接続された第2のスイッチと、

前記制御部から供給された切換制御信号に基づいて、前記第1のスイッチと前記第2のスイッチとの開閉を制御する開閉制御部と、を備えた、

ことを特徴とする請求項 2 0 に記載の表示装置。

【請求項 2 2】

前記接続ユニットに接続する前記入出力端子 $D((b-1) \times p + k)$ を、前記奇数ブロック又は前記偶数ブロックに切り換える切換制御信号を前記接続切換部に供給する制御部を備え、

前記接続切換部は、

一端が前記表示パネルの前記偶数ブロックの入出力端子 $D((b-1) \times p + k)$ に接続され、他端が前記接続ユニットの接続端子 $P(k)$ に接続された第1のスイッチと、

一端が前記表示パネルの前記奇数ブロックの入出力端子 $D((b-1) \times p + k)$ に接続され、他端が前記接続ユニットの接続端子 $P(p - k + 1)$ に接続された第2のスイッチと、

前記制御部から供給された切換制御信号に基づいて、前記第1のスイッチと前記第2のスイッチとの開閉を制御する開閉制御部と、を備えた、

ことを特徴とする請求項 2 0 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素アレイを駆動する画素駆動装置、これを備える発光装置、表示装置及び画素駆動装置の接続ユニット接続方法に関するものである。

【背景技術】

【0002】

有機エレクトロルミネッセンス素子(有機EL素子)は、電場を加えることによって発光する蛍光性の有機化合物によって形成されたものであり、これを用いた有機発光ダイオード(Organic Light Emitting Diode: 以下、OLEDと記す)素子を各画素に有してなる表示パネルを備えた表示装置は次世代ディスプレイデバイスとして注目されている。

【0003】

このような表示装置においては、OLED素子が1画素に対応するようにそれぞれ行列配置されることによって表示パネルが形成され、画像データに基づいて、各画素のOLED素子を発光させることによって表示パネルに画像が表示される。

【0004】

このOLED素子は供給される電流の電流値に応じた輝度で発光する電流駆動素子であり、アクティブマトリクス駆動方式を適用した表示パネルにおいては、各画素に、1つのOLED素子と、該OLED素子に接続されて表示データに応じた電流値の駆動電流を

10

20

30

40

50

OLED素子に流すための駆動用トランジスタを含む複数のトランジスタを有する画素駆動回路と、を備える。

【0005】

このような表示パネルの駆動方法としては、例えば、表示データに応じた電圧値を有する電圧信号からなる駆動信号を駆動用トランジスタのゲート・ソース電極間に印加し、これをゲート・ソース電極間の容量成分に保持し、保持した電圧成分に応じた電流値の駆動電流を駆動用トランジスタのドレイン・ソース電極間に流して、これをOLED素子に供給するように構成される。

【0006】

この場合、駆動電流の電流値は駆動用トランジスタのゲート電圧に対するドレイン・ソース間電流の特性によって決まるが、各画素の駆動用トランジスタにおける電気的特性にばらつきがあると、駆動電流の電流値にもばらつきを生じる。

10

【0007】

また、各画素の駆動用トランジスタの特性が駆動履歴等によって変化(劣化)した場合には、駆動電流の電流値も変動する。このような駆動電流の電流値のばらつきや変動はそのまま画質の低下につながる。

【0008】

そこで、画質の向上を図るため、駆動時に各画素の駆動用トランジスタのゲート・ソース間電圧を閾値電圧 $V_{th}$ に設定したうえで駆動信号を印加することによって、閾値電圧 $V_{th}$ のばらつきや変動の影響を抑えるようにしたものがある(例えば、特許文献1参照)。

20

【0009】

しかしながら、特許文献1に記載されているような駆動方式では、駆動時に各画素の駆動用トランジスタのゲート・ソース間電圧を閾値電圧 $V_{th}$ に設定するための時間を必要とするが、画素数の多い高精細な表示パネルや比較的大型の表示パネルでは1画素の駆動に割り当てられる時間が比較的短くなるため、このような駆動方式を適用することは困難である。

【0010】

そこで、このような表示パネルの駆動においては各画素の駆動用トランジスタの閾値電圧 $V_{th}$ に対応する補正值を例えば起動時や定期的に測定し、これを記憶しておき、表示駆動時に記憶された補正值を用いて駆動信号の補正を行う方式の開発が進められている。

30

【0011】

このような補正值の測定方法としては、表示パネルの各データラインから所定の電流値の測定用電流を供給し、各画素の駆動用トランジスタのソース・ドレイン間に測定用電流を流すようにして、そのときの各データラインの電圧の電圧値を測定し、これに基づいて補正值を求める方式や、表示パネルの各データラインから所定の電圧値の測定用電圧を供給し、各画素の駆動用トランジスタのソース・ドレイン間に測定用電圧に応じた電流を流すようにして、そのときの各データラインに流れる電流の電流値を測定し、これに基づいて補正值を求める方式等がある。

【先行技術文献】

【特許文献】

40

【0012】

【特許文献1】特開2003-271095号公報(第5, 6頁、図1, 2)

【発明の概要】

【発明が解決しようとする課題】

【0013】

しかしながら、特に、画素数の多い高精細な表示パネルや比較的大型の表示パネルではデータラインの本数は非常に多くなるため、ドライバに測定用の電流源や電圧源を一つだけ備えて、上記のような電圧値や電流値の測定をデータライン毎に行うようにした場合には測定時間が非常に長くなってしまい、実用的ではない。

【0014】

50

一方、ドライバに測定用の電流源や電圧源をデータラインの本数分だけ備えて、上記のような電圧値や電流値の測定を全データライン間で並行して行うようにした場合には、測定時間は短縮されるが、必要な電流源や電圧源の数が膨大となり、ドライバのチップサイズが大型化したり、消費電力が増加したりして、製品コストの上昇を招いてしまう。

【0015】

そこで、ドライバが測定用の電流源や電圧源をデータラインの本数の $1/n$ の複数個備え、これを一組の測定用ユニットとして電圧値や電流値の測定を行い、これを $1/n$ のデータライン毎に順次接続して、全データラインに対する測定を行うようにした場合、測定時間の増大をある程度抑えるとともにコストの上昇もある程度抑えることができる。

【0016】

しかしながら、この場合、一組の測定ユニットが備える複数の測定用の電流源の各々から出力する電流の電流値や複数の測定用の電圧源の各々から出力する電圧の電圧値を一定値に設定しても、実際に各電流源や各電圧源から出力される電流や電圧の値を全て同じにすることは、通常、困難であって、各電流源から出力される電流の電流値や各電圧源から出力される電圧の電圧値には多少の偏差(ばらつき)が存在する。

【0017】

そのため、測定用ユニットによって測定される電圧値や電流値にも、この偏差が影響する。そして、更に、一組の測定ユニットを $1/n$ のデータライン毎に順次接続して測定を行う構成とした場合、上記の偏差の影響が周期的に生じるとともに、接続の切り換えが行われる境界の隣接するデータラインにおいて、測定値に段差が生じることがある。

【0018】

本発明は、このような従来の問題点に鑑みてなされたもので、接続ユニットを、順次、表示パネルに割り当てたときの出力段差を抑制することが可能な画素駆動装置、発光装置、表示装置及び画素駆動装置の接続ユニット接続方法を提供することを目的とする。

【課題を解決するための手段】

【0019】

この目的を達成するため、本発明の第1の観点に係る画素駆動装置は、  
複数の入出力端子と、該複数の入出力端子に接続された複数の画素と、を有する画素アレイを駆動する画素駆動装置であって、

前記複数の入出力端子の数より少ない所定の数の接続端子を有する接続ユニットと、

前記各接続端子と前記各入出力端子との接続を切り換える接続切換部と、

を備え、

前記接続切換部は、前記複数の入出力端子を互いに隣接する前記所定の数の前記入出力端子毎の複数のブロックに分割し、互いに隣接する2つの前記ブロックにおける一方のブロックと他方のブロックに対し、前記接続ユニットの前記各接続端子と前記一方のブロックの前記各入出力端子との接続順序と、前記接続ユニットの前記各接続端子と前記他方のブロックの前記各入出力端子との接続順序とを、互いに逆の順序に設定し、前記一方のブロックに属する第1の入出力端子と前記他方のブロックに属し前記第1の入出力端子と隣接する第2の入出力端子に対して、前記所定の数の接続端子の何れかの同じ前記接続端子を接続し、

前記接続ユニットは、測定用の電流を出力する電流源、測定用の電圧を出力する電圧源、電圧値を測定する電圧計及び電流値を測定する電流計の何れかを、前記複数の接続端子の各々に対応して複数備え、前記各接続端子と前記各ブロックの前記各入出力端子とが接続されたとき、(1)前記接続ユニットが接続された前記各ブロックの前記各入出力端子への前記測定用の電圧の供給又は前記測定用の電流の供給、(2)前記接続ユニットが接続された前記各ブロックの前記各入出力端子の電圧の電圧値の測定又は前記各入出力端子に流れる電流の電流値の測定、の何れかを行うことを特徴とする。

【0020】

前記接続ユニットの前記接続端子の数は、前記複数の入出力端子の数を偶数に分割した数に設定されていてもよい。

10

20

30

40

50

## 【 0 0 2 2 】

前記接続ユニットの前記各接続端子と前記各ブロックの前記各入出力端子との接続を切り換える切換制御信号を前記接続切換部に供給する制御部を備え、

接続切換部は、

前記接続ユニットの前記各接続端子と前記複数のブロックにおける奇数番目の前記ブロックの前記各入出力端子とを前記接続ユニットの前記各接続端子の配列順序に沿った順序で接続する第1のスイッチ群と、

前記接続ユニットの前記各接続端子と前記複数のブロックにおける偶数番目の前記ブロックの前記各入出力端子とを前記接続ユニットの前記各接続端子の配列順序と逆の順序で接続する第2のスイッチ群と、

前記制御部から供給される切換制御信号に基づいて、前記第1のスイッチ群及び前記第2のスイッチ群の開閉を制御する開閉制御部と、を備えるようにしてもよい。

10

## 【 0 0 2 3 】

前記接続ユニットは、前記電流源として、一定の電流値の電流を出力するように設定された定電流源を、前記所定の数の接続端子の各々に対応して該所定の数だけを備え、該各定電流源の出力端が前記各接続端子に接続されていてもよい。

## 【 0 0 2 4 】

前記接続ユニットは、前記電圧源として、一定の電圧値の電圧を出力するように設定された定電圧源を、前記所定の数の接続端子の各々に対応して該所定の数だけを備え、該各定電圧源の出力端が前記各接続端子に接続されていてもよい。

20

## 【 0 0 2 5 】

前記接続切換部により前記接続ユニットの前記各接続端子が接続された前記ブロックの前記各入出力端子の電位の値又は前記各接続端子から前記接続切換部を介して前記各入出力端子に流れる電流の電流値を取得する測定部を備えるようにしてもよい。

## 【 0 0 2 6 】

前記接続ユニットは、前記電流源と前記電圧計とを、前記所定の数の接続端子の各々に対応して該所定の数だけを備え、該各電圧計の入力端が前記各接続端子に接続された測定部を有するようにしてもよい。

## 【 0 0 2 7 】

前記接続ユニットは、前記電圧源と前記電流計とを、前記所定の数の接続端子の各々に対応して該所定の数だけを備え、該各電流計の入力端が前記各接続端子に接続された測定部を有するようにしてもよい。

30

## 【 0 0 2 8 】

前記測定部が取得した前記電位の値又は前記電流値に基づいて、供給される画像信号に応じて前記画素アレイの前記各画素を駆動する駆動信号を補正する補正部を備えるようにしてもよい。

## 【 0 0 2 9 】

本発明の第2の観点に係る発光装置は、

複数の入出力端子と、該複数の入出力端子に接続された、発光素子を有する複数の画素と、を有する画素アレイと、

40

前記複数の入出力端子の数より少ない所定の数の接続端子を有する接続ユニットと、

前記各接続端子と前記各入出力端子との接続を切り換える接続切換部と、

を備え、

前記接続切換部は、前記複数の入出力端子を互いに隣接する前記所定の数の前記入出力端子毎の複数のブロックに分割し、互いに隣接する2つの前記ブロックにおける一方のブロックと他方のブロックに対し、前記接続ユニットの前記各接続端子と前記一方のブロックの前記各入出力端子との接続順序と、前記接続ユニットの前記各接続端子と前記他方のブロックの前記各入出力端子との接続順序とを、互いに逆の順序に設定し、前記一方のブロックに属する第1の入出力端子と前記他方のブロックに属し前記第1の入出力端子と隣接する第2の入出力端子に対して、前記所定の数の接続端子の何れかの同じ前記接続端子

50



を接続し、

前記接続ユニットは、測定用の電流を出力する電流源、測定用の電圧を出力する電圧源、電圧値を測定する電圧計及び電流値を測定する電流計の何れかを、前記複数の接続端子の各々に対応して複数備え、前記各接続端子と前記各ブロックの前記各入出力端子とが接続されたとき、(1)前記接続ユニットが接続された前記各ブロックの前記各入出力端子への前記測定用の電圧の供給又は前記測定用の電流の供給、(2)前記接続ユニットが接続された前記各ブロックの前記各入出力端子の電圧の電圧値の測定又は前記各入出力端子に流れる電流の電流値の測定、の何れかを行うことを特徴とする。

【0030】

前記接続ユニットの前記接続端子の数は、前記複数の入出力端子の数を偶数に分割した数に設定されていてもよい。

10

【0032】

前記接続ユニットは、前記電流源として、一定の電流値の電流を出力するように設定された定電流源を、前記所定の数の接続端子の各々に対応して該所定の数だけを備え、該各定電流源の出力端が前記各接続端子に接続されていてもよい。

【0033】

前記接続ユニットは、前記電圧源として、一定の電圧値の電圧を出力するように設定された定電圧源を、前記所定の数の接続端子の各々に対応して該所定の数だけを備え、該各定電圧源の出力端が前記各接続端子に接続されていてもよい。

【0034】

前記接続ユニットが前記電流源を前記所定の数の接続端子の各々に対応して該所定の数だけ有して、前記接続切換部により前記接続ユニットの前記各接続端子が接続された前記各ブロックの、前記各入出力端子の電位の値を取得する、又は、前記接続ユニットが前記電圧源を前記所定の数の接続端子の各々に対応して該所定の数だけ有して、前記各接続端子から前記接続切換部を介して前記各入出力端子に流れる電流の電流値を取得する測定部を備えるようにしてもよい。

20

【0035】

前記接続ユニットは、前記電流源と前記電圧計とを、前記所定の数の接続端子の各々に対応して該所定の数だけを備え、該各電圧計の入力端が前記各接続端子に接続された測定部を有するようにしてもよい。

30

【0036】

前記接続ユニットは、前記電圧源と前記電流計とを、前記所定の数の接続端子の各々に対応して該所定の数だけを備え、該各電流計の入力端が前記各接続端子に接続された測定部を有するようにしてもよい。

【0037】

前記画素アレイは、前記複数の入出力端子の各々に接続される複数のデータラインを有し、

前記各画素は、電流路の一端が前記発光素子の一端に接続されるとともに前記各データラインに電氣的に接続され、該電流路の他端に所定の電圧値の電源電圧が印加されて、前記発光素子に供給する電流を制御する駆動トランジスタを有し、

40

前記測定部は、前記接続ユニットより、前記接続切換部を介して、オン状態とされた前記各画素の前記駆動トランジスタの電流路に電流が流れるときの前記各入出力端子の電位の値又は前記各接続端子から前記接続切換部及び前記各入出力端子を介して前記各データラインに流れる電流の電流値を取得するようにしてもよい。

【0038】

前記測定部が取得した前記電位の値又は前記電流値に基づいて、供給される画像信号に応じて前記画素アレイの前記各画素を駆動する駆動信号を補正する補正部を備えるようにしてもよい。

【0039】

本発明の第3の観点に係る画素駆動装置の接続ユニット接続方法は、

50

複数の画素に接続された複数の入出力端子を有する画素アレイを駆動する画素駆動装置の前記複数の入出力端子に、該複数の入出力端子の数より少ない所定の数の接続端子を有する接続ユニットを接続する画素駆動装置の接続ユニット接続方法であって、

前記複数の入出力端子を互いに隣接する前記所定の数の入出力端子毎の複数のブロックに分割し、互いに隣接する2つの前記ブロックにおける一方のブロックと他方のブロックに対し、前記接続ユニットの前記各接続端子を、前記一方のブロックの前記各入出力端子と、前記他方のブロックの前記各入出力端子とに、互いに逆の順序で順次接続し、

前記一方のブロックに属する第1の入出力端子と前記他方のブロックに属し前記第1の入出力端子と隣接する第2の入出力端子に、前記所定の数の接続端子の何れかの特定の前記接続端子を接続し、

前記接続ユニットに、測定用の電流を出力する電流源、測定用の電圧を出力する電圧源、電圧値を測定する電圧計、電流値を測定する電流計、の何れかを前記複数の接続端子の各々に対応して複数設けて、前記接続ユニットの前記各接続端子と前記各ブロックの前記各入出力端子とを接続して、(1)前記接続ユニットを接続した前記各ブロックの前記各入出力端子への測定用の電圧又は電流の供給、(2)前記接続ユニットを接続した前記各ブロックの前記各入出力端子の電圧の電圧値又は前記各入出力端子に流れる電流の電流値の測定、の何れかを行うことを特徴とする。

#### 【0040】

本発明の第4の観点に係る表示装置は、

$m$  ( $m$ は自然数)個の入出力端子  $D(i)$  ( $i = 1 \sim m$ ) を有する表示パネルと、

$p$  ( $p$ は自然数、 $p < m$ )個の接続端子  $P(k)$  ( $k = 1 \sim p$ ) を有する接続ユニットと、

前記表示パネルの各入出力端子  $D(i)$  のいずれかと前記接続ユニットの各接続端子  $P(k)$  とを接続する接続切換部と、を備え、

前記接続切換部は、

前記表示パネルの入出力端子  $D(i)$  を互いに隣接する  $p$  個の前記入出力端子  $D(i)$  毎の複数のブロックに分割し、分割したブロックのブロック数を  $b$  ( $b = 1 \sim m/p$ ) として、

前記ブロック数  $b$  が奇数の奇数ブロックの前記入出力端子  $D((b-1) \times p + k)$  に対する前記各接続端子  $P(k)$  の接続順序と、前記ブロック数  $b$  が偶数の偶数ブロックの前記入出力端子  $D((b-1) \times p + k)$  に対する前記各接続端子  $P(k)$  の接続順序と、を互いに逆の順序に設定して、

前記奇数ブロックの前記入出力端子  $D((b-1) \times p + k)$  と前記接続ユニットの接続端子  $P(k)$  とを接続したときは、前記偶数ブロックの前記表示パネルの入出力端子  $D((b-1) \times p + k)$  と前記接続ユニットの接続端子  $P(p-k+1)$  とを接続し、

前記偶数ブロックの前記入出力端子  $D((b-1) \times p + k)$  と前記接続ユニットの接続端子  $P(k)$  とを接続したときは、前記奇数ブロックの前記表示パネルの入出力端子  $D((b-1) \times p + k)$  と前記接続ユニットの接続端子  $P(p-k+1)$  とを接続し、

前記接続ユニットは、測定用の電流を出力する電流源、測定用の電圧を出力する電圧源、電圧値を測定する電圧計、電流値を測定する電流計、の何れかを前記各接続端子に対応して  $p$  個備え、前記各接続端子と前記各ブロックの前記各入出力端子とが接続されたとき、(1)前記接続ユニットが接続された前記各ブロックの前記各入出力端子  $D((b-1) \times p + k)$  への前記測定用の電圧の供給又は前記測定用の電流の供給、(2)前記接続ユニットが接続された前記各ブロックの前記各入出力端子  $D((b-1) \times p + k)$  の電圧の電圧値の測定又は前記各入出力端子  $D((b-1) \times p + k)$  に流れる電流の電流値の測定、の何れかを行うことを特徴とする。

#### 【0041】

前記接続ユニットに接続する前記入出力端子  $D((b-1) \times p + k)$  を、前記奇数ブロック又は前記偶数ブロックに切り換える切換制御信号を前記接続切換部に供給する制御部を備え、

10

20

30

40

50

前記接続切換部は、

一端が前記表示パネルの前記奇数ブロックの入出力端子  $D((b-1) \times p + k)$  に接続され、他端が前記接続ユニットの接続端子  $P(k)$  に接続された第1のスイッチと、

一端が前記表示パネルの前記偶数ブロックの入出力端子  $D((b-1) \times p + k)$  に接続され、他端が前記接続ユニットの接続端子  $P(p - k + 1)$  に接続された第2のスイッチと、

前記制御部から供給された切換制御信号に基づいて、前記第1のスイッチと前記第2のスイッチとの開閉を制御する開閉制御部と、を備えてもよい。

【0042】

前記接続ユニットに接続する前記入出力端子  $D((b-1) \times p + k)$  を、前記奇数ブロック又は前記偶数ブロックに切り換える切換制御信号を前記接続切換部に供給する制御部を備え、

10

前記接続切換部は、

一端が前記表示パネルの前記偶数ブロックの入出力端子  $D((b-1) \times p + k)$  に接続され、他端が前記接続ユニットの接続端子  $P(k)$  に接続された第1のスイッチと、

一端が前記表示パネルの前記奇数ブロックの入出力端子  $D((b-1) \times p + k)$  に接続され、他端が前記接続ユニットの接続端子  $P(p - k + 1)$  に接続された第2のスイッチと、

前記制御部から供給された切換制御信号に基づいて、前記第1のスイッチと前記第2のスイッチとの開閉を制御する開閉制御部と、を備えてもよい。

20

【発明の効果】

【0043】

本発明によれば、接続ユニットを、順次、表示パネルに割り当てたときの出力段差を抑制することができる。

【図面の簡単な説明】

【0044】

【図1】本発明の本実施形態に係る表示装置の構成を示すブロック図である。

【図2】図1に示す表示装置の各画素の構成を示す回路図である。

【図3】図1に示すシステムコントローラの構成を示す図である。

【図4】図1に示すデータドライバの構成を示す図である。

30

【図5】ブロックが奇数の場合のTF Tパネルの入出力端子と電流源部の接続端子との接続関係を示す図である。

【図6】ブロックが偶数の場合のTF Tパネルの入出力端子と電流源部の接続端子との接続関係を示す図である。

【図7】図1に示すシステムコントローラが実行する測定処理を示すフローチャートである。

【図8】ブロックが奇数の場合のTF Tパネルの入出力端子と電流源部の接続端子との具体的な接続関係を示す図である。

【図9】ブロックが偶数の場合のTF Tパネルの入出力端子と電流源部の接続端子との具体的な接続関係を示す図である。

40

【図10】TF Tパネルの各入出力端子と、電流源部の各接続端子との結線と電流特性との関係を示す図であり、(a)は、TF Tパネルの奇数ブロックの入出力端子と電流源部の接続端子との結線関係(1)を示し、(b)は、TF Tパネルの偶数ブロックの出力端子と測定ユニットの接続端子との結線関係を示し、(c)は、TF Tパネルの奇数ブロックの出力端子と測定ユニットの接続端子との結線関係(2)を示す。また、(d)~(f)は、それぞれ、(a)~(c)に示す結線関係の場合の電圧特性を示す。

【図11】最終的な電圧特性の例を示す図である。

【図12】データドライバの応用例(1)として、データドライバが2つのデータドライバによって構成された場合の表示装置の構成を示すブロック図である。

【図13】図12に示す構成における電圧特性の例を示す図である。

50

【図14】データドライバの応用例(2)として、データドライバ本体部と測定部とからなるデータドライバの構成を示す図である。

【図15】データドライバの応用例(3)として、電圧印加電流測定方式に従って構成されたデータドライバを示す図である。

【図16】データドライバの応用例(4)を示す図である。

【図17】データドライバの応用例(5)を示す図である。

【図18】データドライバの応用例(6)を示す図である。

【図19】データドライバの応用例(7)を示す図である。

【発明を実施するための形態】

【0045】

10

以下、本発明の実施形態に係る表示装置を図面を参照して説明する。

本実施形態に係る表示装置の構成を図1に示す。

本実施形態に係る表示装置(発光装置)1は、TFTパネル(画素アレイ)11と、表示信号生成回路12と、システムコントローラ13と、セレクトドライバ14と、電源ドライバ15と、データドライバ16と、によって構成される。

【0046】

TFTパネル11は、複数の画素11(i,j)( $i = 1 \sim m$ 、 $j = 1 \sim n$ 、 $m$ 、 $n$ ;自然数)を備えたものである。

【0047】

このTFTパネル11は、列方向に配列された複数のデータライン $L_d(i)$ ( $i = 1 \sim m$ )と、行方向に配列された複数のセレクトライン $L_s(j)$ ( $j = 1 \sim n$ )と、各データライン $L_d(i)$ の一端に接続されて列毎に設けられ、データドライバ16と接続するための複数の入出力端子 $D(1) \sim D(m)$ と、を有している。

20

【0048】

各画素11(i,j)は、それぞれ、画像の1画素に対応するものであり、各データライン $L_d(i)$ と各セレクトライン $L_s(j)$ の各交点近傍に行列配置される。各画素11(i,j)は、図2に示すように、発光素子としての有機EL素子111と、トランジスタ $T1 \sim T3$ と、キャパシタ $C1$ と、を備える。ここで、トランジスタ $T1 \sim T3$ とキャパシタ $C1$ とは画素駆動回路DCをなす。

【0049】

30

有機EL素子111は、有機化合物に注入された電子と正孔との再結合によって生じた励起子によって発光する現象を利用して発光する表示素子であり、供給された電流の電流値に対応する輝度で発光し、画像を表示する。

【0050】

有機EL素子111には、画素電極が形成され、この画素電極上に、正孔注入層と発光層と対向電極とが形成される(いずれも図示せず)。正孔注入層は、画素電極上に形成され、発光層に正孔を供給する機能を有する。

【0051】

画素電極は、透光性を備える導電材料、例えばITO(Indium Tin Oxide)、ZnO等から構成される。各画素電極は隣接する他の画素の画素電極と層間絶縁膜(図示せず)によって絶縁されている。

40

【0052】

正孔注入層は正孔(ホール)注入、輸送が可能な有機高分子系の材料から構成される。また、有機高分子系のホール注入・輸送材料を含む有機化合物含有液としては、例えば導電性ポリマーであるポリエチレンジオキシチオフェン(PEDOT)とドーパントであるポリスチレンスルホン酸(PSS)を水系溶媒に分散させた分散液であるPEDOT/PSS水溶液が用いられる。

【0053】

発光層は、インターレイヤ(図示せず)上に形成される。発光層は、アノード電極とカソード電極との間に所定の電圧を印加することにより光を発生する機能を有する。

50

## 【 0 0 5 4 】

発光層は、蛍光あるいは燐光を発光することが可能な公知の高分子発光材料、例えばポリパラフェニレンビニレン系やポリフルオレン系等の共役二重結合ポリマーを含む赤（R）、緑（G）、青（B）色の発光材料から構成される。

## 【 0 0 5 5 】

また、これらの発光材料は、適宜水系溶媒あるいはテトラリン、テトラメチルベンゼン、メシチレン、キシレン等の有機溶媒に溶解（又は分散）した溶液（分散液）をノズルコート法やインクジェット法等により塗布し、溶媒を揮発させることによって形成される。

## 【 0 0 5 6 】

対向電極は、導電材料、例えばCa, Ba等仕事関数の低い材料からなる層と、Al等の光反射性導電層と、からなる2層構造になっている。

10

## 【 0 0 5 7 】

電流は、画素電極から対極電極方向へと流れ、逆方向には流れず、画素電極、対極電極は、それぞれ、アノード電極、カソード電極となる。このカソード電極には、カソード電圧 $V_{cath}$ が印加される。

## 【 0 0 5 8 】

トランジスタ $T_1 \sim T_3$ は、nチャンネル型のFET（Field Effect Transistor；電界効果トランジスタ）によって構成されたTFTであり、例えば、アモルファスシリコン又はポリシリコンTFTによって構成されている。

## 【 0 0 5 9 】

20

トランジスタ $T_3$ は、電流値を制御しつつ、有機EL素子 $111$ に電流を供給する駆動トランジスタである。トランジスタ $T_3$ の電流上流端としてのドレインは、電圧ライン $L_v(j)$ に接続され、電流下流端としてのソースは有機EL素子 $111$ のアノードに接続される。そして、トランジスタ $T_3$ は、制御電圧としてのゲート電圧 $V_{gs}$ に対応する電流値の電流を有機EL素子 $111$ に供給する。

## 【 0 0 6 0 】

トランジスタ $T_1$ は、トランジスタ $T_3$ のゲートとドレイン間を接続又は遮断するためのスイッチトランジスタである。

## 【 0 0 6 1 】

各画素 $11(i, j)$ のトランジスタ $T_1$ のドレイン（端子）は、電圧ライン $L_v(j)$ （トランジスタ $T_3$ のドレイン）に接続され、ソースは、トランジスタ $T_3$ の制御端としてのゲートに接続される。

30

## 【 0 0 6 2 】

各画素 $11(1, 1) \sim 11(m, 1)$ のトランジスタ $T_1$ のゲート（端子）は、セレクトライン $L_s(1)$ に接続される。同様に、各画素 $11(1, 2) \sim 11(m, 2)$ のトランジスタ $T_1$ のゲートは、セレクトライン $L_s(2)$ に、・・・、各画素 $11(1, n) \sim 11(m, n)$ のトランジスタ $T_1$ のゲートは、セレクトライン $L_s(n)$ に、それぞれ、接続される。

## 【 0 0 6 3 】

画素 $11(1, 1)$ の場合、セレクトドライバ $14$ からセレクトライン $L_s(1)$ にHi（High；ハイ）レベルの信号が出力されると、トランジスタ $T_1$ はオンする。これにより、トランジスタ $T_3$ はドレインとゲートが接続されるため、トランジスタ $T_3$ はダイオード接続状態となる。

40

## 【 0 0 6 4 】

セレクトライン $L_s(1)$ にLo（Low；ロー）レベルの信号が出力されると、トランジスタ $T_1$ は、オフし、トランジスタ $T_1$ もオフする。それとともに、トランジスタ $T_1$ がオフすると、キャパシタ $C_{11}$ に充電された電荷は保持される。

## 【 0 0 6 5 】

トランジスタ $T_2$ は、セレクトドライバ $14$ によって選択されてオン、オフし、電源ドライバ $15$ とデータドライバ $16$ との間を導通、遮断するためのスイッチトランジスタである。

50

## 【 0 0 6 6 】

各画素 1 1 (i, j) のトランジスタ T 2 のドレインは、有機 E L 素子 1 1 1 のアノード (電極) に接続される。

## 【 0 0 6 7 】

各画素 1 1 (1, 1) ~ 1 1 (m, 1) のトランジスタ T 2 のゲートは、セレクトライン L s (1) に接続される。同様に、各画素 1 1 (1, 2) ~ 1 1 (m, 2) のトランジスタ T 2 のゲートは、セレクトライン L s (2) に、・・・、各画素 1 1 (1, n) ~ 1 1 (m, n) のトランジスタ T 2 のゲートは、セレクトライン L s (n) に接続される。

## 【 0 0 6 8 】

また、各画素 1 1 (1, 1) ~ 1 1 (n, 1) のトランジスタ T 2 の他端としてのソースは、データライン L d (1) に接続される。同様に、各画素 1 1 (2, 1) ~ 1 1 (2, n) のトランジスタ T 2 のソースは、データライン L d (2) に、・・・、各画素 1 1 (m, n) ~ 1 1 (m, n) のトランジスタ T 2 のソースは、データライン L d (m) に接続される。尚、データライン L d (1) ~ L d (m) は、それぞれ、入出力端子 D ( 1 ) ~ D ( m ) に接続されている。

10

## 【 0 0 6 9 】

画素 1 1 (1, 1) の場合、トランジスタ T 2 は、セレクトドライバ 1 4 から、セレクトライン L s (1) に H i レベルの信号が出力されるとオンして有機 E L 素子 1 1 1 のアノードとデータライン L d (1) とを接続する。

## 【 0 0 7 0 】

また、セレクトライン L s (1) に L o レベルの信号が出力されると、トランジスタ T 2 はオフして有機 E L 素子 1 1 1 のアノードとデータライン L d (1) とを遮断する。

20

## 【 0 0 7 1 】

キャパシタ C 1 は、トランジスタ T 3 のゲート V g s を保持する容量成分であり、その一端は、トランジスタ T 1 のソースとトランジスタ T 3 のゲートとに接続され、他端はトランジスタ T 3 のソースと有機 E L 素子 1 1 1 のアノードとに接続される。

## 【 0 0 7 2 】

キャパシタ C 1 は、電圧ライン L v (j) からトランジスタ T 2 のドレインに向けてドレイン電流 I d が流れるとき、トランジスタ T 3 はオン状態となり、対応するトランジスタ T 3 のゲート電圧 V g s で充電され、その電荷が蓄積される。

## 【 0 0 7 3 】

トランジスタ T 1 及び T 2 がオフすると、キャパシタ C 1 は、トランジスタ T 3 のゲート電圧 V g s を保持する。

30

## 【 0 0 7 4 】

図 1 に戻り、表示信号生成回路 1 2 は、例えば、コンポジット映像信号、コンポーネント映像信号のような映像信号 Image が外部から供給され、供給された映像信号 Image から輝度信号のような表示データ P i c、同期信号 S y n c を取得するものである。表示信号生成回路 1 2 は、取得した表示データ P i c、同期信号 S y n c をシステムコントローラ 1 3 に供給する。

## 【 0 0 7 5 】

システムコントローラ 1 3 は、表示データ P i c の補正処理、書き込み処理、有機 E L 素子 1 1 1 の発光動作を制御するものである。

40

## 【 0 0 7 6 】

表示データ P i c の補正処理は、ディスプレイ特性に対応する電流出力を得るように、表示信号生成回路 1 2 から供給された表示データ P i c を補正する処理である。また、書き込み処理は、各画素 1 1 (i, j) のキャパシタ C 1 に電圧を書き込む処理であり、発光動作は、有機 E L 素子 1 1 1 を発光させる動作である。

## 【 0 0 7 7 】

表示データ P i c の補正処理の制御を行うため、システムコントローラ 1 3 は、図 3 に示すように、補正データ記憶部 1 3 1 と、補正演算部 1 3 2 と、補正制御部 1 3 3 と、を備える。

50

## 【 0 0 7 8 】

補正データ記憶部 1 3 1 は、表示信号生成回路 1 2 から供給された表示データ Pic と補正に関するデータとを記憶するものである。システムコントローラ 1 3 は、表示信号生成回路 1 2 から表示データ Pic が供給されると、各画素 1 1 (i, j) の表示データ Pic を、この補正データ記憶部 1 3 1 に記憶する。

## 【 0 0 7 9 】

補正演算部 1 3 2 は、例えば、各画素 1 1 (i, j) のトランジスタ T 3 の と閾値電圧  $V_{th}$  とを補正用データとして取得して、表示信号生成回路 1 2 から供給された表示データ Pic を補正するものである。

## 【 0 0 8 0 】

補正演算部 1 3 2 は、データドライバ 1 6 から、データライン  $L_d(i) \sim L_d(m)$  から所定の電流値の電流を引き込んだときの、入出力端子  $D(1) \sim D(m)$  の端子電位  $V_s(i) \sim V_s(m)$  が供給され、この各入出力端子  $D(1) \sim D(m)$  の端子電位  $V_s(1) \sim V_s(m)$  と信号  $V_{source}(j)$  の電圧との差分からなる差分電圧  $V_{def}(1) \sim V_{def}(m)$  を求める。この差分電圧  $V_{def}(1) \sim V_{def}(m)$  は、選択された行のトランジスタ T 3 のドレイン・ソース間 (= ゲート・ソース間) に印加される印加電圧に概ね等しい。補正演算部 1 3 2 は求めた差分電圧  $V_{def}(1) \sim V_{def}(m)$  を補正データ記憶部 1 3 1 に記憶する。

## 【 0 0 8 1 】

補正演算部 1 3 2 は、例えば、引き込んだ電流の電流値とこの画素 1 1 (i, j) 毎の印加電圧に対応する差分電圧の値とに基づいて閾値電圧  $V_{th}$  を取得する。

## 【 0 0 8 2 】

補正演算部 1 3 2 は、取得した閾値電圧  $V_{th}$  を、補正に関するデータとして画素 1 1 (i, j) 毎に、補正データ記憶部 1 3 1 に記憶する。

## 【 0 0 8 3 】

そして、補正演算部 1 3 2 は、表示信号生成回路 1 2 から表示データ Pic が供給されると、補正データ記憶部 1 3 1 から、画素 (i, j) 毎に、閾値電圧  $V_{th}$  を読み出す。

## 【 0 0 8 4 】

そして、補正演算部 1 3 2 は、読み出した閾値電圧  $V_{th}$  に基づいて表示データ Pic を補正し、トランジスタ T 3 のゲート電圧  $V_{gs}$  に対応する電圧データ  $V_{data}$  を取得して、 $V_{data}(1) \sim V_{data}(m)$  として、順次、データドライバ 1 6 に出力する。

## 【 0 0 8 5 】

補正制御部 1 3 3 は、表示データ Pic の補正処理を制御するものである。システムコントローラ 1 3 は、補正演算部 1 3 2 が演算した電圧データ  $V_{data}$  を行毎に読み出し、それぞれ、 $V_{data}(1) \sim V_{data}(m)$  として、順次、データドライバ 1 6 に出力する。

## 【 0 0 8 6 】

システムコントローラ 1 3 は、このような補正処理を行って、書き込み処理、発光動作を制御する。システムコントローラ 1 3 は、このような制御を行うため、クロック信号  $CLK1, CLK2, CLK3$ 、スタート信号  $Sp1, Sp2, Sp3$ 、各種制御信号を生成して、セレクトドライバ 1 4、電源ドライバ 1 5、データドライバ 1 6 に供給する。

## 【 0 0 8 7 】

尚、外部から映像信号 Image が供給されたとき、システムコントローラ 1 3 は、表示信号生成回路 1 2 から供給された同期信号 Sync に、各クロック信号  $CLK1 \sim CLK3$ 、各スタート信号  $Sp1 \sim Sp3$ 、各種制御信号を同期させる。

## 【 0 0 8 8 】

システムコントローラ 1 3 は、動作を開始させるための信号としてのスタート信号  $Sp1 \sim Sp3$  を、セレクトドライバ 1 4、電源ドライバ 1 5、データドライバ 1 6 に出力する。

## 【 0 0 8 9 】

図 1 に戻り、セレクトドライバ 1 4 は、TFT パネル 1 1 の行を、順次、選択するドライバであり、例えば、シフトレジスタによって構成される。セレクトドライバ 1 4 は、そ

10

20

30

40

50

れぞれ、セレクトライン  $Ls(j)$  ( $j = 1 \sim n$ ) を介して各画素  $11(i, j)$  のトランジスタ  $T1, T2$  のゲートに接続される。

【0090】

セレクトドライバ14は、システムコントローラ13から垂直同期信号に同期したスタート信号  $Sp1$  が供給されて動作を開始し、システムコントローラ13から供給されるクロック信号  $CLK1$  に従い、順次、第1行目の画素  $11(1,1) \sim 11(m,1)$ 、 $\dots$ 、第  $n$  行目の画素  $11(1,n) \sim 11(m,n)$  に、 $Hi$  レベルの信号  $Vselect(j)$  を出力することにより、 $TFT$  パネル11の行を、順次、選択する。

【0091】

電源ドライバ15は、電圧ライン  $Lv(1) \sim Lv(n)$  に、それぞれ、電圧  $VL$  又は  $VH$  の信号  $Vsource(1) \sim Vsource(n)$  を出力するドライバである。電源ドライバ15は、それぞれ、電圧ライン  $Lv(j)$  ( $j = 1 \sim n$ ) を介して、各画素  $11(i, j)$  のトランジスタ  $T3$  のドレインに接続される。

10

【0092】

電源ドライバ15は、システムコントローラ13から垂直同期信号に同期したスタート信号  $Sp2$  が供給されて動作を開始し、システムコントローラ13から供給されるクロック信号  $CLK2$  に従って動作する。

【0093】

システムコントローラ13は、各種制御信号として、電圧制御信号  $Cv(L), Cv(H)$  を生成する。電圧制御信号  $Cv(L), Cv(H)$  は、それぞれ、電源ドライバ15が出力する信号  $Vsource(1) \sim Vsource(n)$  の電圧を  $VL, VH$  に制御する信号である。

20

【0094】

尚、本実施形態では、有機  $EL$  素子111のカソード電圧  $Vcath$  が  $0V$  に設定され、電圧  $VL$  は、有機  $EL$  素子111のカソード電圧  $Vcath = 0V$  と同じ電位に設定されるものとする。また、電圧  $VH$  は、例えば、 $+15V$  に設定されるものとする。

【0095】

システムコントローラ13は、補正処理時、書き込み処理時に電圧制御信号  $Cv(L)$  を電源ドライバ15に供給し、発光動作時に電圧制御信号  $Cv(H)$  を電源ドライバ15に供給する。

【0096】

データドライバ16は、各画素  $11(i, j)$  のキャパシタ  $C1$  に、表示データ  $Pic$  に対応する電圧信号  $Sv(1) \sim Sv(m)$  を書き込むドライバである。

30

【0097】

また、データドライバ16は、閾値電圧を取得するためのデータとして、各画素  $11(i, j)$  のトランジスタ  $T3$  のドレイン・ソース間に流れる電流の電流値と、ドレイン・ソース間 (=ゲート・ソース間) に印加される印加電圧に対応する各入出力端子  $D(i)$  の端子電位  $Vs(i)$  の値と、を取得する。本実施形態のデータドライバ16は、電流供給電圧計測方式に従って、この電流と電圧との値を取得するように構成されている。

【0098】

この電流供給電圧計測方式は、各画素  $11(i, j)$  から、各データライン  $Ld(i)$  を介して、各入出力端子  $D(i) \sim D(m)$  から電流を引き込んで、行毎に、画素  $11(1, j) \sim 11(m, j)$  に対応する各入出力端子  $D(i) \sim D(m)$  の端子電位  $Vs(1) \sim Vs(m)$  を測定する方式である。

40

【0099】

具体的に、データドライバ16は、図4に示すように、電流源部161と、測定部162と、切換部163と、スイッチ  $Sw1(i), Sw2(i)$  と、データ出力部164と、を備える。

【0100】

電流源部161は、データライン  $Ld(1) \sim Ld(p)$  の各々に対応する電流源  $161a(1) \sim 161a(p)$  を備えたものである。電流源  $161a(k)$  ( $k = 1 \sim p$ ) は、 $TF$

50



Tパネル11の各入出力端子D(i)から、予め設定された電流値の定電流を引き込むためのものである。この電流源部161は接続ユニットに相当するものである。

【0101】

電流源部161は、 $p$  ( $p$ ; 自然数) 個の接続端子P161(1)~P161( $p$ )を有する。尚、電流源161a(k) ( $k=1\sim p$ )の数 $p$ は、データドライバ16のチップサイズが大きくなるように、TFTパネル11の列数 $m$ の数分の1とされる。

【0102】

電流源161a(k)の電流上流端は、接続端子P161(k)に接続される。また、電流源161a(k)の電流下流端には電圧 $V_{ss}$ が印加される。本実施形態では、この電圧 $V_{ss}$ は、有機EL素子111のカソード電圧 $V_{cath}(=0V)$ と同じ電位に設定される

10

【0103】

測定部162は、電圧計162v(1)~162v( $m$ )と、スイッチSw1(1)~Sw1( $m$ )と、を備えたものである。

【0104】

電圧計162v(i) ( $i=1\sim m$ )は、それぞれ、入出力端子D(i)~D( $m$ )の端子電位 $V_s(1)\sim V_s(m)$ を計測するものであり、各電圧計162v(i)の一端は、スイッチSw1(i)の電流下流側端子に接続される。

【0105】

電圧計162v(i)は、例えば、ADC(アナログ-デジタル変換器)によって構成され、各入出力端子D(i)のアナログの電位を計測し、デジタルの端子電位 $V_s(i)$ に変換してシステムコントローラ13に出力する。

20

【0106】

スイッチSw1(1)~Sw1( $m$ )は、入出力端子D(i)~D( $m$ )の端子電位 $V_s(i)\sim V_s(m)$ の測定時に、それぞれ、TFTパネル11の入出力端子D(1)~D( $m$ )と、測定部162との接続、遮断を行うためのスイッチである。

【0107】

スイッチSw1(i) ( $i=1\sim m$ )の電流上流側端子は、それぞれ、TFTパネル11の入出力端子D(i)に接続される。

【0108】

システムコントローラ13は、制御信号として、切換制御信号Csw1(close)又はCsw1(open)を生成し、この切換制御信号Csw1(close)又はCsw1(open)をデータドライバ16に供給してスイッチSw1(i)の開閉を制御する。

30

【0109】

スイッチSw1(i)は、システムコントローラ13から切換制御信号Csw1(close)が供給されて閉じ、それぞれ、TFTパネル11の入出力端子D(1)~D( $m$ )と電圧計162v(1)~162v( $m$ )とを接続する。

【0110】

また、スイッチSw1(i)は、システムコントローラ13から切換制御信号Csw1(open)が供給されて開き、それぞれ、TFTパネル11の入出力端子D(1)~D( $m$ )と電圧計162v(1)~162v( $m$ )との間を遮断する。

40

【0111】

スイッチSw2(1)~Sw2( $m$ )は、それぞれ、データ出力部164の出力端子P164(1)~P164( $m$ )と、TFTパネル11の入出力端子D(1)~D( $m$ )との接続、遮断を行うためのスイッチである。

【0112】

スイッチSw2(1)~Sw2( $m$ )の信号出力側端子は、それぞれ、データ出力部164の各出力端子P164(1)~P164( $m$ )に接続され、パネル側端子は、それぞれ、入出力端子D(1)~D( $m$ )に接続される。

【0113】

50

システムコントローラ 13 は、水平制御信号として、切換制御信号  $Csw2(close)$  又は  $Csw1(open)$  を生成し、この切換制御信号  $Csw2(close)$  又は  $Csw1(open)$  をデータドライバ 16 に供給することにより、このスイッチ  $Sw2(i)$  ( $i = 1 \sim m$ ) の開閉を制御する。

【0114】

スイッチ  $Sw2(i)$  は、システムコントローラ 13 から切換制御信号  $Csw2(close)$  が供給されて閉じ、データ出力部 164 の出力端子  $P164(i)$  と入出力端子  $D(i)$  とを接続する。

【0115】

また、スイッチ  $Sw2(i)$  は、システムコントローラ 13 から切換制御信号  $Csw2(open)$  が供給されて開き、データ出力部 164 の出力端子  $P164(i)$  と入出力端子  $D(i)$  との間を遮断する。

10

【0116】

入出力端子  $D(1) \sim D(m)$  は、電流源部 161 の接続端子  $P161(k)$  の端子数  $p$  に対応した  $p$  個の入出力端子を 1 ブロックとする、 $B (= m/p)$  個のブロックに分けられている。 $B$  は総ブロック数である。

【0117】

切換部 163 は、TFT パネル 11 の入出力端子  $D(1) \sim D(m)$  と、電流源部 161 の接続端子  $P161(1) \sim P161(p)$  との接続を、入出力端子のブロック毎に切り換えるものである。ここで、図 4 に示すように、各ブロックに、入出力端子  $D(1)$  側から、ブロック番号(数)  $b(1 \sim m/p)$  を付与する。

20

【0118】

この切換部 163 は、ブロック数  $b$  を奇数として、TFT パネル 11 の入出力端子  $D((b-1) \times p + k)$  と電流源部 161 の接続端子  $P(k)$  とを接続したときは、ブロック数  $b$  が偶数である偶数ブロックの入出力端子  $D((b-1) \times p + k)$  と接続端子  $P(p-k+1)$  とを接続する。

【0119】

また、切換部 163 は、ブロック数  $b$  を偶数として、TFT パネル 11 の入出力端子  $D((b-1) \times p + k)$  と電流源部 161 の接続端子  $P(k)$  とを接続したときは、ブロック数  $b$  が奇数である奇数ブロックの入出力端子  $D((b-1) \times p + k)$  と接続端子  $P(p-k+1)$  とを接続するように構成されている。本実施形態の切換部 163 は、前者のように構成されているものとする。

30

【0120】

このため、切換部 163 は、スイッチ  $Sw3(1) \sim Sw3(m)$  と、デコーダ 163d と、を備える。

【0121】

スイッチ  $Sw3(1) \sim Sw3(m)$  は、それぞれ、スイッチ  $Sw1(1) \sim Sw1(m)$  を介して、TFT パネル 11 の入出力端子  $D(1) \sim D(m)$  のうちのいずれかのブロックの  $p$  個の入出力端子と、電流源部 161 の接続端子  $P161(1) \sim P161(p)$  とを接続、遮断するスイッチである。

【0122】

スイッチ  $Sw3(1) \sim Sw3(m)$  の電流上流側端子(一端)は、それぞれ、スイッチ  $Sw1(1) \sim Sw1(m)$  の電流下流側端子に接続される。

40

【0123】

スイッチ  $Sw3(1) \sim Sw3(p), \dots, Sw3(m-2p+1) \sim Sw3(m-p)$  の電流下流側端子(他端)は、それぞれ、電流源部 161 の接続端子  $P161(1) \sim P161(p)$  に接続される。

【0124】

そして、図 5 に示すように、スイッチ  $Sw1(1) \sim (m)$  が閉じると、スイッチ  $Sw3(1) \sim Sw3(p), \dots, Sw3(m-2p+1) \sim Sw3(m-p)$  の電流上流側端子が、それぞれ、TFT パネル 11 の奇数ブロックの入出力端子  $((b-1) \times p$

50

+ k) に接続される。

【0125】

即ち、スイッチ  $Sw3(1) \sim Sw3(p), \dots, Sw3(m-2p+1) \sim Sw3(m-p)$  は、ブロック番号  $b$  が奇数のときに、TFTパネル11の入出力端子  $D((b-1) \times p + k)$  と、電流源部161の接続端子  $P161(k)$  と、を接続するスイッチである。尚、この接続順序を正順とする。

【0126】

また、スイッチ  $Sw3(p+1) \sim Sw3(2p), \dots, Sw3(m-p+1) \sim Sw3(m)$  の電流下流側端子(他端)は、それぞれ、電流源部161の接続端子  $P161(1) \sim P161(p)$  に接続される。

10

【0127】

そして、図6に示すように、スイッチ  $Sw1(1) \sim (m)$  が閉じると、スイッチ  $Sw3(p+1) \sim Sw3(2p), \dots, Sw3(m-p+1) \sim Sw3(m)$  の電流上流側端子は、それぞれ、TFTパネル11の偶数ブロックの入出力端子  $((b-1) \times p + k)$  に接続される。

【0128】

即ち、スイッチ  $Sw3(p+1) \sim Sw3(2p), \dots, Sw3(m-p+1) \sim Sw3(m)$  は、ブロック番号  $b$  が偶数のときに、TFTパネル11の入出力端子  $D((b-1) \times p + k)$  と、電流源部161の接続端子  $P161(p-k+1)$  とを接続するスイッチである。尚、この接続順を逆順とする。

20

【0129】

デコーダ163dは、スイッチ  $Sw3(1) \sim Sw3(m)$  の開閉を制御するものであり、システムコントローラ13から切換制御信号  $Mpx(b, close)$  が供給されて、この切換制御信号  $Mpx(b, close)$  を解読して、スイッチ  $Sw3(1) \sim Sw3(m)$  の開閉を制御する。

【0130】

デコーダ163dは、システムコントローラ13から切換制御信号  $Mpx(b, close)$  が供給されると、この信号を解読して、スイッチ  $Sw3((b-1) \times p + 1) \sim Sw3(bp)$  を閉じ、それ以外のスイッチ  $Sw3$  を開く。

【0131】

切換部163がこのように構成されることにより、電流源161a(1) ~ 161a(p)に電流偏差がある場合でも、測定部162の各電圧計164v(1) ~ 164v(m)の測定結果に段差が生じなくなる。

30

【0132】

データ出力部164は、電圧データ  $Vdata(i)$  に対応するアナログ電圧の電圧信号  $Sv(i)$  を、TFTパネル11に出力するものである。

【0133】

データ出力部164は、例えば、DAC(デジタル-アナログ変換器)を備え、システムコントローラ13から供給されたデジタルの電圧データ  $Vdata(i)$  ( $i = 1 \sim m$ ) を、アナログの電圧信号  $Sv(i)$  に変換する。

40

【0134】

スイッチ  $Sw2(1) \sim Sw2(m)$  が閉じると、データ出力部164は、変換した電圧信号  $Sv(i)$  を、それぞれ、TFTパネル11の入出力端子  $D(1) \sim D(m)$  に出力する。

【0135】

次に、本実施形態に係る表示装置1の動作について説明する。

システムコントローラ13は、例えば、表示装置1の実使用時の起動時、あるいは定期的、等のタイミングで測定部162による測定処理を実行する。

【0136】

システムコントローラ13は、図7に示すフローチャートに従い、測定処理を実行する

50

。

## 【0137】

システムコントローラ13は、電源ドライバ15に電圧制御信号 $Cv(L)$ を供給する(ステップS11)。

## 【0138】

システムコントローラ13は、切換制御信号 $Csw1(close)$ 、 $Csw2(open)$ をデータドライバ16に供給する(ステップS12)。

## 【0139】

システムコントローラ13は、スタート信号 $Sp1 \sim Sp3$ を、セレクトドライバ14と、電源ドライバ15と、データドライバ16と、に供給する(ステップS13)。

10

## 【0140】

システムコントローラ13は、切換制御信号 $Mpx(b,close)$ によって指定するブロック番号 $b$ を1にセットする(ステップS14)。

## 【0141】

システムコントローラ13は、データドライバ16(切換部163)に切換制御信号 $Mpx(b,close)$ を供給する(ステップS15)。

## 【0142】

システムコントローラ13は、電圧計162b(1)~162b(p)が計測した端子電位 $Vs(1) \sim Vs(p)$ を取得する(ステップS16)。補正演算部132は、取得した端子電位 $Vs(1) \sim Vs(p)$ に基づく差分電圧 $Vdef(1) \sim Vdef(p)$ を求め、これを、補正データ記憶部131に記憶する(ステップS17)。

20

## 【0143】

システムコントローラ13は、切換制御信号 $Mpx(b,close)$ におけるブロック番号 $b$ を+1だけインクリメントする(ステップS18)。システムコントローラ13は、ブロック番号 $b$ が総ブロック数 $B$ を超えたか否かを判定する(ステップS19)。

## 【0144】

超えていないと判定した場合(ステップS19; No)、システムコントローラ13は、再度、ステップS15~S18を実行する。

## 【0145】

超えたと判定した場合(ステップS19; Yes)、システムコントローラ13は、この測定処理を終了させる。

30

## 【0146】

次に、システムコントローラ13がこのような測定処理を行ったときの具体的な動作について説明する。

尚、ここでは、例えば、 $m$ (TF Tパネル11の端子数)を576、 $p$ (電流源部161の端子数)を96とする。総ブロック数 $B$ は $6 (= 576 / 96)$ となる。

## 【0147】

システムコントローラ13が、電源ドライバ15に電圧制御信号 $Cv(L)$ を供給すると(ステップS11の処理)、電源ドライバ15は、電圧ライン $Lv(1) \sim Lv(n)$ に、それぞれ、電圧 $V_L$ の信号 $Vsource(1) \sim Vsource(n)$ を出力する。

40

## 【0148】

セレクトドライバ14、電源ドライバ15、データドライバ16は、システムコントローラ13からスタート信号 $Sp1 \sim Sp3$ が供給されて動作を開始し、クロック信号 $CLK1 \sim CLK3$ に従って動作する。

## 【0149】

セレクトドライバ14は、セレクトライン $Ls(1)$ に、Hiレベルの信号 $Vselect(1)$ を出力して第1行目の画素11(1,1)~11(576,1)を選択する。

## 【0150】

画素11(1,1)~11(576,1)の各トランジスタ $T1$ 、 $T2$ は、ゲートにHiレベルの信号 $Vselect(1)$ が供給されてオンし、各トランジスタ $T3$ がダイオード接続状態となる。

50

## 【0151】

システムコントローラ13がデータドライバ16に切換制御信号Mpx(1,close)を供給すると(ステップS15の処理)、デコーダ163dは、この切換制御信号Mpx(1,close)を解読し、ブロック番号b=1のスイッチSw3(1)~Sw3(96)を閉じ、それ以外のスイッチSw3(97)~(576)を開く。

## 【0152】

この場合、ブロック番号b=1であり、ブロック番号bが奇数であるから、デコーダ163dがスイッチSw3(1)~Sw3(576)の開閉を制御すると、接続構成は、図5に示すようになる。

## 【0153】

b=1, p=96であるから、図8に示すように、それぞれ、入出力端子D(1)~D(96)と、接続端子P161(1)~P161(96)とが、スイッチSw3(1)~(96)を介して接続され、接続順が図10(a)に示すような正順となる。

## 【0154】

入出力端子D(1)~D(96)と、接続端子P161(1)~P161(96)とが、それぞれ接続されると、電流源161a(1)~161a(96)は、それぞれ、各入出力端子D(1)~D(96)から定電流を引き込む。

## 【0155】

電流は、電源ドライバ15から、画素11(1,1)~11(96,1)のダイオード接続状態とされている各トランジスタT3のドレイン・ソース、トランジスタT2、データラインLd(1)~Ld(96)、TFTパネル11の入出力端子D(1)~D(96)、電流源161a(1)~161a(96)を経由して、電圧Vssの電圧源へと流れる。

## 【0156】

測定部162の電圧計162v(1)~162v(96)は、それぞれ、入出力端子D(1)~D(96)の端子電位Vs(1)~Vs(96)を計測し、順次、システムコントローラ13に出力する。

## 【0157】

補正演算部132は、データドライバ16から出力された端子電位Vs(1)~Vs(96)に基づく差分電圧Vdef(1)~Vdef(96)を求め、それぞれ、画素11(1,1)~11(96,1)のトランジスタT3のドレイン・ソース間(=ゲート・ソース間)に印加される印加電圧に対応する電圧として、補正データ記憶部131に記憶する(ステップS17の処理)。

## 【0158】

次に、システムコントローラ13がデータドライバ16に切換制御信号Mpx(2,close)を供給すると(ステップS15の処理)、デコーダ163dは、この切換制御信号Mpx(2,close)を解読し、ブロック番号b=2のスイッチSw3(96)~Sw3(192)を閉じ、それ以外のスイッチSw3(1)~(96), Sw3(193)~(576)を開く。

## 【0159】

この場合、ブロック番号b=2であり、ブロック番号bが偶数であるから、デコーダ163dがスイッチSw3(1)~Sw3(576)の開閉を制御すると、接続構成は、図6に示すようになる。

## 【0160】

b=2, p=96であるから、図9に示すように、それぞれ、入出力端子D(97)~D(192)と、接続端子P161(96)~P161(1)とが、スイッチSw3(97)~(192)を介して接続され、接続順が図10(b)に示すような逆順となる。

## 【0161】

入出力端子D(97)~D(192)と、接続端子P161(96)~P161(1)とが、それぞれ接続されると、電流源161a(96)~161a(1)は、それぞれ、入出力端子D(97)~D(192)から定電流を引き込む。

10

20

30

40

50

## 【0162】

電流は、電源ドライバ15から、画素11(97,1)～11(192,1)の各トランジスタT3のドレイン・ソース、トランジスタT2、データラインLd(97)～Ld(192)、TFTパネル11の入出力端子D(97)～D(192)、電流源161a(96)～161a(1)を經由して、負の電圧V<sub>ss</sub>の電圧源へと流れる。

## 【0163】

測定部162の電圧計162v(97)～162v(192)は、それぞれ、入出力端子D(97)～D(192)の端子電位V<sub>s</sub>(97)～V<sub>s</sub>(192)を計測し、順次、システムコントローラ13に出力する。

## 【0164】

補正演算部132は、データドライバ16から出力された端子電位V<sub>s</sub>(97)～V<sub>s</sub>(192)に基づく差分電圧V<sub>def</sub>(97)～V<sub>def</sub>(192)を求め、それぞれ、画素11(97,1)～11(192,1)のトランジスタT3のドレイン・ソース間(=ゲート・ソース間)に印加される印加電圧に対応する電圧として、補正データ記憶部131に記憶する(ステップS17の処理)。

## 【0165】

次に、システムコントローラ13がデコーダ163dに、切換制御信号Mpx(3,close)を供給すると(ステップS16の処理)、デコーダ163dは、この切換制御信号Mpx(3,close)を解読し、スイッチSw3(193)～Sw(288)を閉じ、それ以外のスイッチSw3(1)～Sw3(192), Sw3(289)～Sw(576)を開く。

## 【0166】

この場合、ブロック番号b=3であり、ブロック番号bが奇数であるから、デコーダ163dがスイッチSw3(1)～Sw3(576)の開閉を制御すると、接続構成は、図5に示すような構成となる。

## 【0167】

b=3、p=96であるから、それぞれ、入出力端子D(193)～D(288)と、接続端子P161(1)～P161(96)とが、スイッチSw3(193)～(288)を介して接続され、接続順が図10(c)に示すような正順となる。

## 【0168】

入出力端子D(193)～D(288)と、接続端子P161(1)～P161(96)とが、それぞれ接続されると、電流源161a(1)～161a(96)は、それぞれ、各入出力端子D(193)～D(288)から定電流を引き込む。

## 【0169】

接続順が図10(c)に示すように正順となるため、電流源部161の電流源161a(1)～161a(96)が定電流を引き込むと、電流は、電源ドライバ15から、画素11(193,1)～11(288,1)の各トランジスタT3のドレイン・ソース、トランジスタT2、TFTパネル11の入出力端子D(193)～D(288)、電流源161a(1)～161a(96)を經由して、負の電圧V<sub>ss</sub>の電圧源へと流れる。

## 【0170】

測定部162の電圧計162v(193)～162v(288)は、それぞれ、画素11(193,1)～11(288,1)のトランジスタT3のソース入出力端子D(193)～D(288)の端子電位V<sub>s</sub>(193)～V<sub>s</sub>(288)を計測し、順次、システムコントローラ13に出力する。

## 【0171】

補正演算部132は、データドライバ16から出力された端子電位V<sub>s</sub>(193)～V<sub>s</sub>(288)に基づく差分電圧V<sub>def</sub>(193)～V<sub>def</sub>(288)を求め、それぞれ、画素11(193,1)～11(288,1)のトランジスタT3のドレイン・ソース間(=ゲート・ソース間)に印加される印加電圧に対応する電圧として、補正データ記憶部131に記憶する(ステップS17の処理)。

## 【0172】

10

20

30

40

50

システムコントローラ 13 が、第 1 行目につき、このような処理を全部で 6 回繰り返すと (ステップ S 16 ~ S 19 の処理)、補正データ記憶部 131 に、第 1 行目の画素 11 (1,1) ~ 11 (576,1) の各トランジスタ T3 のドレイン・ソース間 (=ゲート・ソース間) に印加される印加電圧に対応する電圧として、差分電圧  $V_{def}(1) \sim V_{def}(576)$  が補正データ記憶部 131 に記憶される。

【0173】

接続順が図 10 (a) に示すような正順のときに、電圧計 162v (1) ~ 162v (96) が計測した端子電位  $V_s$  が図 10 (d) に示すような電位である場合、接続順が図 10 (b) に示すような逆順になったときに電圧計 162v (97) ~ 162v (192) が計測した端子電位  $V_s$  は、図 10 (e) に示すような特性を示す。

10

【0174】

また、接続順が図 10 (c) に示すような正順になったときに電圧計 162v (193) ~ 162v (288) が計測した入出力端子 D (193) ~ D (288) の端子電位  $V_s(193) \sim V_s(288)$  は、図 10 (f) に示すような、V1 から V2 に変化する特性を示す。

【0175】

従って、TFT パネル 11 の入出力端子 D (1) ~ D (576) と、電流源部 161 の接続端子 P 161 (1) ~ P 161 (96) とが、ブロック毎に、正順、逆順に、順次、接続されると、入出力端子 D (1) ~ D (576) の端子電位  $V_s(1) \sim V_s(576)$  は、図 11 に示すような特性を示すことになる。

20

【0176】

このように、電流源 161a (1) ~ 161a (p) の特性の偏差に基づいて、端子電位  $V_s(1) \sim V_s(p)$  に V1 ~ V2 の差が生じていたとしても、入出力端子 D (1) ~ D (m) に対する端子電位  $V_s(1) \sim V_s(m)$  における、隣接するブロックの境界における両ブロックの入出力端子に対応する端子電位  $V_s$  の間、例えば、ブロック番号  $b = 1$  の入出力端子 D (p) とブロック番号  $b = 2$  の入出力端子 D (p + 1) に対する端子電圧  $V_s(p)$  と  $V_s(p + 1)$  との間、に段差が生じないようにすることができる。

【0177】

補正演算部 132 は、各画素 11 (i, j) に対応する差分電圧  $V_{def}(i)$  を行毎に補正データ記憶部 131 から読み出し、読み出した差分電圧  $V_{def}(i)$  に基づいて各画素 11 (i, j) のトランジスタ T3 の閾値電圧を求め、補正データ記憶部 131 に記憶する。

30

【0178】

次に、表示装置 1 に外部から映像信号 Image が供給されて、TFT パネル 11 に映像信号に応じた画像情報を表示する時の動作について説明する。

このとき、表示信号生成回路 12 は、供給された映像信号 Image から表示データ Pic、同期信号 Sync を取得してシステムコントローラ 13 に供給する。そして、システムコントローラ 13 は、表示信号生成回路 12 から供給された表示データ Pic を、画素 11 (i, j) 毎に、補正データ記憶部 131 に記憶する。

【0179】

システムコントローラ 13 は、補正演算部 132 が、すべての画素 11 (i, j) について、補正した電圧データ  $V_{data}$  を補正データ記憶部 131 に記憶すると、書き込み処理を制御する。

40

【0180】

システムコントローラ 13 は、データドライバ 16 に切換制御信号 Csw1(open) と Csw2(close) とを供給する。

【0181】

システムコントローラ 13 は、セレクトドライバ 14 にスタート信号 Sp を供給する。

【0182】

セレクトドライバ 14 は、システムコントローラ 13 からスタート信号 Sp が供給されて動作を開始し、システムコントローラ 13 から供給されたクロック信号 CLK に従い、

50

順次、第 1 行目の画素 1 1 (1,1) ~ 1 1 (576,1)、・・・、第 n 行目の画素 1 1 (1,n) ~ 1 1 (576,n) に、H i レベルの信号 V select (j) を出力する。

【 0 1 8 3 】

データドライバ 1 6 のスイッチ S w 1 ( 1 ) ~ S w 1 ( 5 7 6 ) は、システムコントローラ 1 3 から切換制御信号 C sw1(open) が供給されて開き、それぞれ、T F T パネル 1 1 の入出力端子 D ( 1 ) ~ D ( 5 7 6 ) と電流源部 1 6 1 の接続端子 P 1 6 1 ( 1 ) ~ ( 9 6 ) との間を遮断する。

【 0 1 8 4 】

スイッチ S w 2 ( 1 ) ~ S w 2 ( 5 7 6 ) は、システムコントローラ 1 3 から切換制御信号 C sw1(open) が供給されて閉じ、それぞれ、データ出力部 1 6 4 の出力端子 P 1 6 4 ( 1 ) ~ P 1 6 4 ( 5 7 6 ) と、入出力端子 D ( 1 ) ~ D ( 5 7 6 ) と、を接続する。

10

【 0 1 8 5 】

システムコントローラ 1 3 における補正演算部 1 3 2 は、表示信号生成回路 1 2 から表示データ P i c が供給されると、補正データ記憶部 1 3 1 から、画素 (i, j) 毎に、閾値電圧 V t h を読み出す。そして、補正演算部 1 3 2 は、読み出した閾値電圧 V t h に基づいて表示データ P i c を補正した電圧データ V d a t a を取得して、V d a t a (1) ~ V d a t a (576) として、順次、データドライバ 1 6 に出力する。

【 0 1 8 6 】

データドライバ 1 6 のデータ出力部 1 6 4 は、システムコントローラ 1 3 から、第 1 行目の電圧データ V d a t a (1) ~ V d a t a (576) が供給されると、これらの電圧データ V d a t a (1) ~ V d a t a (576) をアナログの電圧信号 S v (1) ~ S v (576) に変換する。

20

【 0 1 8 7 】

そして、データ出力部 1 6 4 は、変換した電圧信号 S v (1) ~ S v (576) を、それぞれ、スイッチ S w 2 ( 1 ) ~ S w 2 ( 5 7 6 ) を介して、T F T パネル 1 1 の各入出力端子 D ( 1 ) ~ D ( 5 7 6 ) に出力する。

【 0 1 8 8 】

セレクトドライバ 1 4 が第 1 行目のセレクトライン L s (1) に H i レベルの信号 V select (1) を出力すると、第 1 行目の画素 1 1 (1,1) ~ 1 1 (576,1) のキャパシタ C 1 に、それぞれ、電圧信号 S v (1) ~ S v (576) に対応する電圧が書き込まれる。

【 0 1 8 9 】

同様にして、データドライバ 1 6 は、第 2 行目の画素 1 1 (1,2) ~ 1 1 (576,2) , ... , 第 n 行目の画素 1 1 (1,n) ~ 1 1 (576,n) のキャパシタ C 1 に電圧信号 S v (1) ~ S v (576) に対応する電圧を書き込む。

30

【 0 1 9 0 】

書き込みが終了すると、システムコントローラ 1 3 は、発光動作を制御する。

セレクトドライバ 1 4 は、L o レベルの信号 V select (1) ~ V select (n) を、それぞれ、セレクトライン L s (1) ~ L s (n) に出力する。

【 0 1 9 1 】

セレクトセレクトライン L s (1) ~ L s (n) の信号レベルが L o レベルになると、すべての画素 1 1 (i, j) のトランジスタ T 1 , T 2 はオフする。

40

【 0 1 9 2 】

システムコントローラ 1 3 は、電源ドライバ 1 5 に、電圧制御信号 C v (H) を供給する。電源ドライバ 1 5 は、システムコントローラ 1 3 から、この電圧制御信号 C v (H) が供給されて、電圧 V H (= + 1 5 V ) の信号 V source (1) ~ V source (n) を、電圧ライン L v (1) ~ L v (n) に出力する。

【 0 1 9 3 】

電圧ライン L v (1) ~ L v (n) の電圧が V H になると、各画素 1 1 (i, j) のトランジスタ T 3 は、各キャパシタ C 1 が保持した電圧をゲート電圧 V g s として、この信号ゲート電圧 V g s に対応する電流を有機 E L 素子 1 1 1 に供給する。

【 0 1 9 4 】

50



そして、各有機EL素子111は、この電流が流れることにより、この電流の電流値に対応する輝度で発光する。

【0195】

以上説明したように、本実施形態によれば、切換部163は、ブロック番号bが奇数の場合は、それぞれ、TF Tパネル11の入出力端子D((b-1)×p+k)と、電流源部161の接続端子P161(k)とを接続する。

【0196】

また、切換部163は、ブロック番号bが偶数の場合は、それぞれ、TF Tパネル11の入出力端子D((b-1)×p+k)と、電流源部161の接続端子P161(p-k+1)と、を接続するように構成されている。

10

【0197】

従って、入出力端子D(1)~D(m)と、接続端子P161(1)~P161(p)と、の接続が、ブロック番号bが奇数から偶数、又は、偶数から奇数に切り換わるとき、電流源部161の電流源161a(1)~161a(p)に電流値の偏差がある場合でも、隣接する入出力端子D(i)間で計測された端子電位Vsの段差を抑制することができる。このため、表示品位の低下を抑制することができる。

【0198】

尚、本発明を実施するにあたっては、種々の形態が考えられ、上記実施形態に限られるものではない。

【0199】

例えば、総ブロック数Bが偶数である場合には、図12に示すように、データドライバ16が2つのデータドライバ16-1, 16-2によって構成されてもよい。

20

【0200】

この場合、データドライバ16-1, 16-2がTF Tパネル11に接続される。各データドライバ16-1, 16-2が同じ特性及び構成を有する場合、隣接するデータドライバ16-1, 16-2の境界における両データドライバ16-1, 16-2の入出力端子に対応する端子電位Vsの間にも段差が生じないようにすることができる。

【0201】

すなわち、例えば、m=576、p=96として、上記のように、切換部163が、ブロック毎に、正順、逆順に切り換えるようにし、総ブロック数Bが偶数(B=6)である場合、データドライバ16-1, 16-2の電圧計163v(1)~(96)が計測した端子電位Vs(1)~Vs(1152)は、図13に示すような特性を示すことになる。これにより、隣接するデータドライバ間においても段差が生じなくなる。なお、図12においては2つのデータドライバ16-1, 16-2を備えるものとしたが、更に、3つ以上の複数のデータドライバを備えるものであってもよい。

30

【0202】

また、表示装置1は、図14に示すようにデータドライバがデータドライバ本体部16aと、測定部16bと、からなるものであってもよい。

【0203】

データドライバ本体部16aは、データ出力部164を備える。測定部16bは、電流源部161と、測定部162と、切換部163と、を備える。

40

【0204】

データドライバ本体部16aと測定部16bは、分離されて、例えば別チップで構成されて、実装されているものであってもよい。

【0205】

次に、上記実施形態では、データドライバ16が電流供給電圧計測方式に従って構成されているものとして説明した。しかし、データドライバ16は、このような構成に限られるものではなく、例えば、図15に示すような電圧印加電流測定方式に従って構成されたものでよい。

【0206】

50

図15に示すデータドライバ26は、電圧源部261と、測定部262と、切換部163と、スイッチSw1(1)~Sw1(m), Sw2(1)~Sw2(m)と、データ出力部164と、を備える。

【0207】

電圧源部261は、電圧源261v(1)~261v(p)を備えたものである。電圧源261V(1)~261v(p)は、データラインLd(i)に電圧を印加するものである。

【0208】

電圧源部261は、p個の接続端子P261(1)~P261(p)を有し、電圧源261v(1)~261v(p)の負極は、それぞれ、この接続端子P261(1)~P261(p)に接続される。

10

【0209】

また、電圧源261v(1)~261v(p)の正極は電圧Vssの電位に接続される。

【0210】

測定部262は、m個の電流計262a(1)~262a(m)を備えたものである。電流計262a(1)~262a(m)は、それぞれ、データラインLd(1)~Ld(m)に流れる電流Idの電流値を計測するものである。

【0211】

電流計262a(1)~262a(m)は、それぞれ、スイッチSw1(1)~Sw1(m)の電流下流側端子とスイッチSw3(1)~Sw3(m)の電流上流側端子との間に介挿され、計測した電流Idの電流値をシステムコントローラ13に出力する。

20

【0212】

また、図4に示すデータドライバ16は、代わりに、図16に示すような電流源&測定部361を備えたデータドライバ36であってもよい。

【0213】

電流源&測定部361は、電流源361a(1)~361a(p)と、電圧計361v(1)~361v(p)とを備えたものである。

【0214】

電流源361a(1)~361a(p)は、それぞれ、図4に示す電流源161a(1)~161a(p)と同等のものである。また、電圧計361v(1)~361v(p)は、それぞれ、図4に示す電圧計162a(1)~162a(m)と同等のものである。

30

【0215】

次に、図4に示すデータドライバ16は、図17に示すような構成のものであってもよい。このデータドライバ46は、切換部163と、データ出力部164と、電圧源部&測定部461と、を備えたものである。

【0216】

切換部163とデータ出力部164とは、それぞれ、図4に示す切換部163とデータ出力部164と同様のものである。

【0217】

電圧源&測定部461は、電圧源461v(1)~461v(p)と、電流計461a(1)~461a(p)とを備えたものである。すなわち、電流源&測定部461は、電圧源461v(1)~461v(p)の各々に対応して電流計461a(1)~461a(p)を備えて、電圧源461a(1)~461a(p)の数と電流計461a(1)~461a(p)の数を同じとしたものである。

40

【0218】

この電圧源461v(1)~461v(p)は、それぞれ、図15に示す電圧源261v(1)~261v(p)と同等のものである。また、電流計461a(1)~461a(p)は、それぞれ、図15に示す電圧計262a(1)~262a(m)と同等のものである。

【0219】

50

また、上記実施形態においては、電流源部 161 の各電流源 161 a (1) ~ 161 a (p) の特性の偏差や電圧源部 261 の各電圧源 261 v (1) ~ 261 v (p) の特性の偏差によって、各電圧計 162 v (i) が計測した電圧値や各電流計 262 a (i) が計測した電流値が変化する場合について説明した。

【0220】

しかし、仮に各画素や各電流源、各電圧源の特性が揃っていたとしても、各電圧計や電流計の特性が揃っていない場合には、各電圧計や各電流計により得られる電圧値や電流値に、図 10 (d) に示したのと同様の変化が生じることになる。

【0221】

そこで、例えば、図 4 における電流源部 161 を測定部に置き換え、測定部 162 を電流源部に置き換えるようにしてもよい。

10

【0222】

この場合の構成を図 18 に示す。図 18 に示すデータドライバ 56 は、切換部 163 と、データ出力部 164 と、電流源部 561 と、測定部 562 と、を備える。

【0223】

切換部 163 とデータ出力部 164 とは、それぞれ、図 4 に示す切換部 163 とデータ出力部 164 と同様のものである。

【0224】

電流源部 561 は、電流源 561 a (1) ~ 561 a (m) を備えたものである。測定部 562 は、電圧計 562 v (1) ~ 562 v (p) を備えたものである。

20

【0225】

そして、切換部 163 は、接続順序を交互に変えて、測定部 562 の各電圧計 562 v (1) ~ 562 v (p) を接続する。

【0226】

このように構成されると、各電圧計 562 v (1) ~ 562 v (p) の特性が揃っていない場合でも、測定した電圧値の偏差を抑制することができる。

【0227】

また、例えば、図 15 に示す電圧源部 261 を測定部に置き換え、測定部 262 を電圧源部に置き換えるようにしてもよい。

【0228】

30

この場合の構成を図 19 に示す。図 19 に示すデータドライバ 66 は、切換部 163 と、データ出力部 164 と、電圧源部 661 と、測定部 662 と、を備える。

【0229】

切換部 163 とデータ出力部 164 とは、それぞれ、図 4 に示す切換部 163 とデータ出力部 164 と同様のものである。

【0230】

電圧源部 661 は、電圧源 661 v (1) ~ 661 v (m) を備えたものである。測定部 662 は、電流計 662 a (1) ~ 662 a (p) を備えたものである。

【0231】

そして、切換部 163 は、接続順序を交互に変えて、測定部の各電流計 662 a (1) ~ 662 a (p) と電圧源 661 v (1) ~ 661 v (m) とを接続する。

40

【0232】

このように構成されると、各電流計 662 a (1) ~ 662 a (p) の特性が揃っていない場合でも、測定した電流値の偏差を抑制することができる。

【符号の説明】

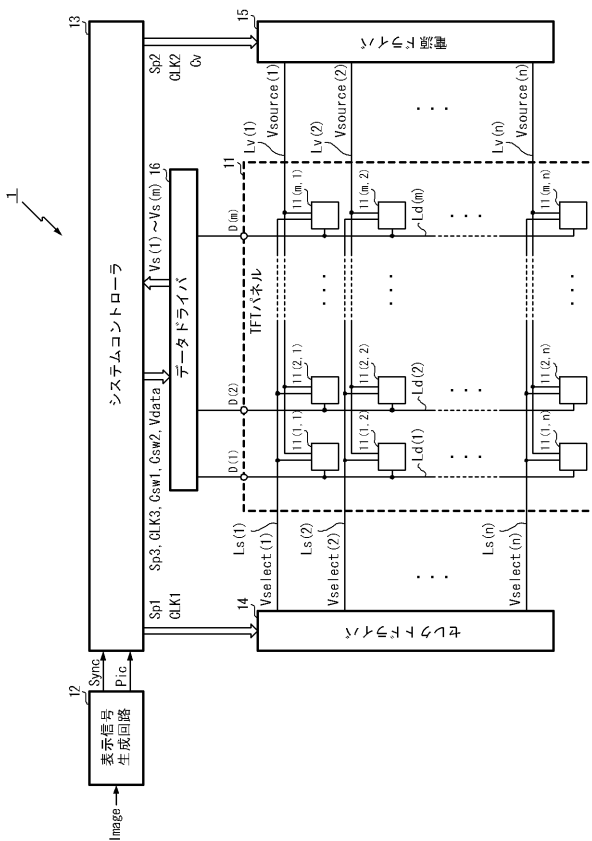
【0233】

1・・・表示装置、11・・・TF Tパネル、D(1)~D(m)・・・入出力端子(TF Tパネル)、11(i,j)・・・画素、12・・・表示信号生成回路、13・・・システムコントローラ、16・・・データドライバ、161・・・電流源部、P161(1)~P161(p)・・・接続端子、162・・・測定部、163・・・切換部、163d

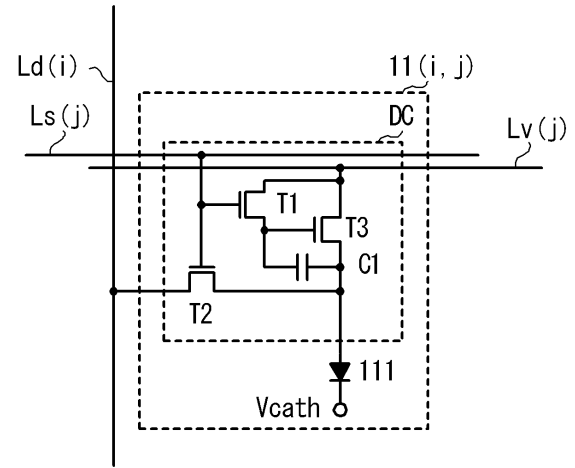
50

・・・デコーダ、Sw1(1)～Sw1(m), Sw2(1)～Sw2(m), Sw3(1)～Sw3(m)・・・スイッチ

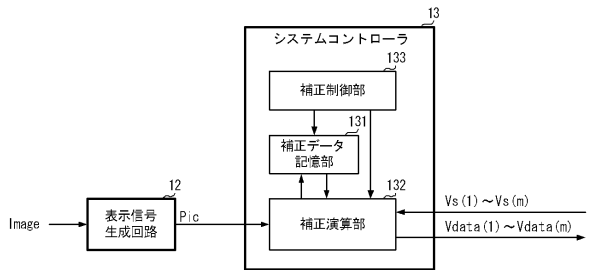
【図1】



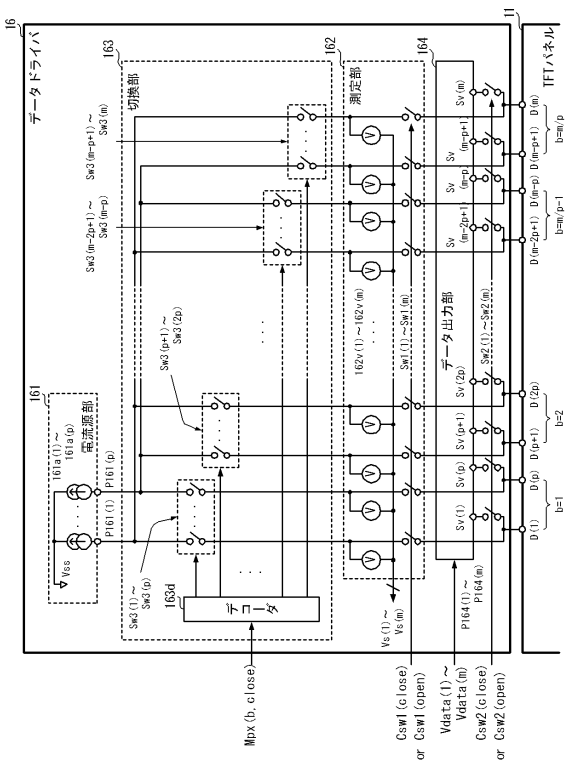
【図2】



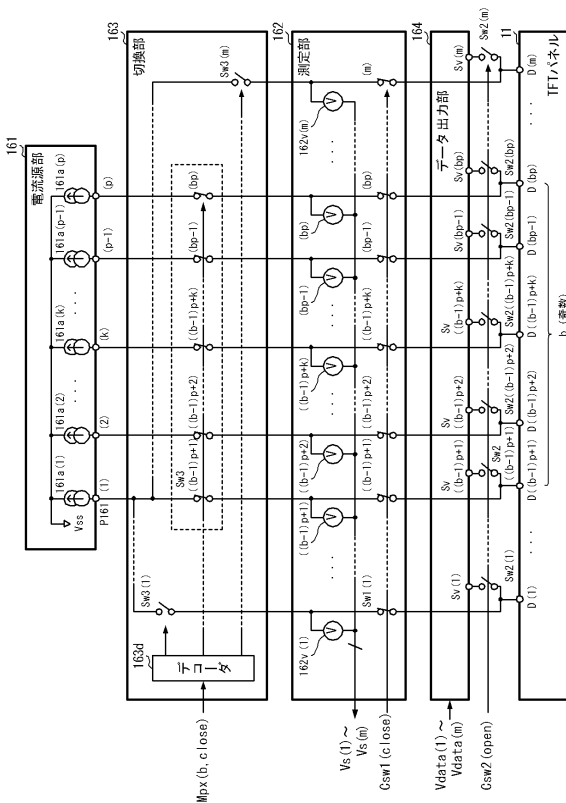
【図3】



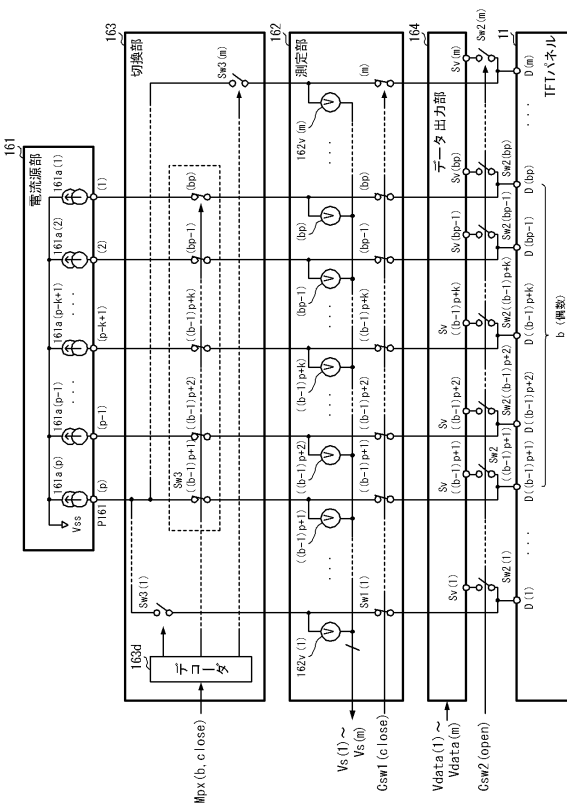
【図4】



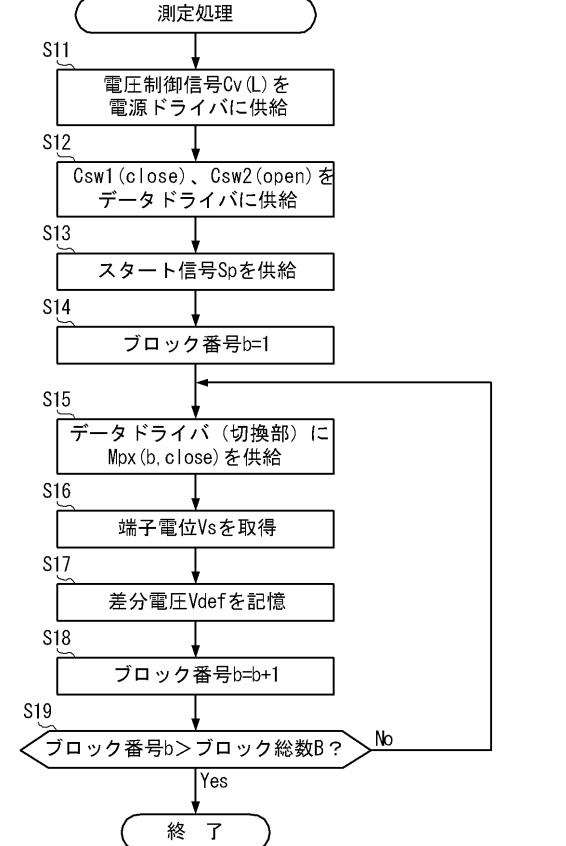
【図5】



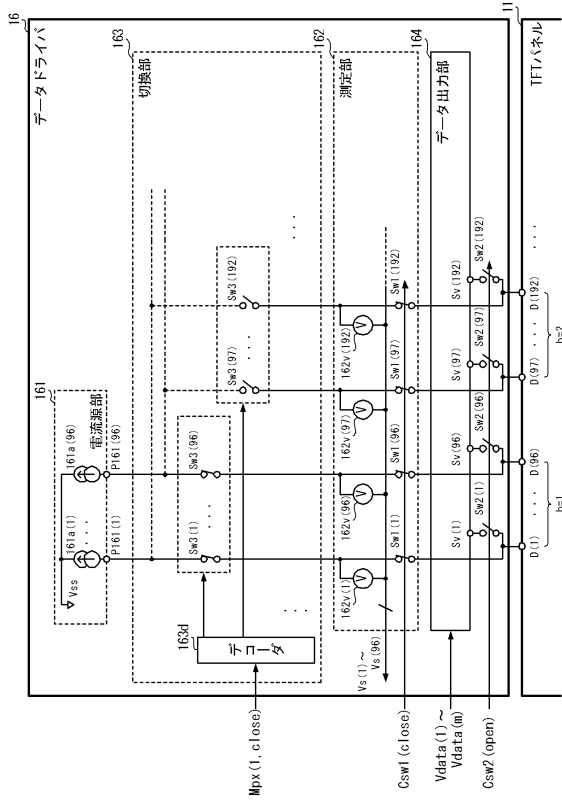
【図6】



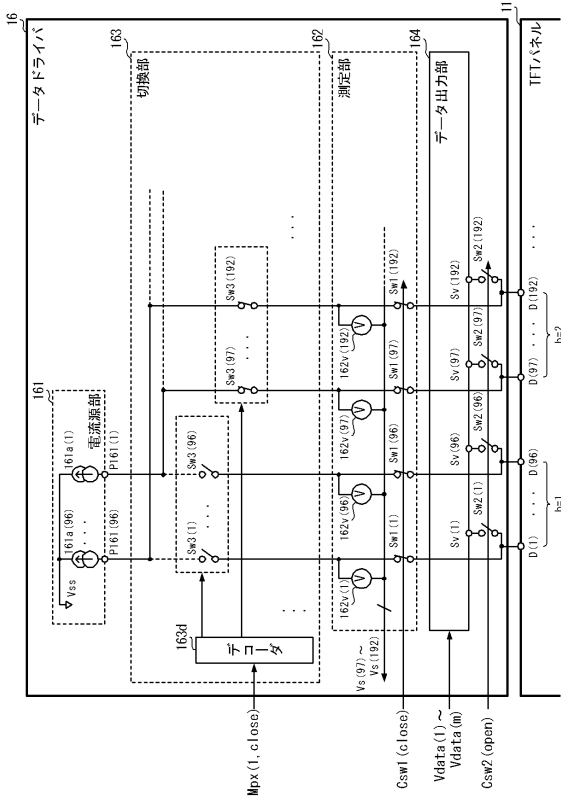
【図7】



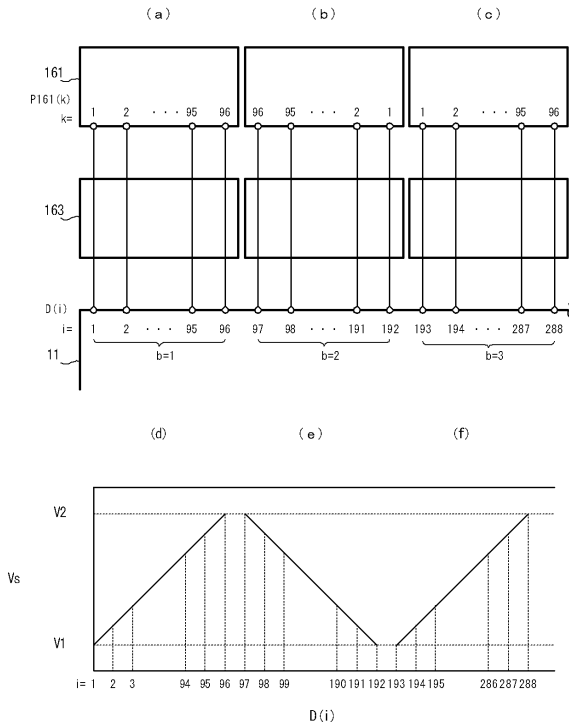
【図 8】



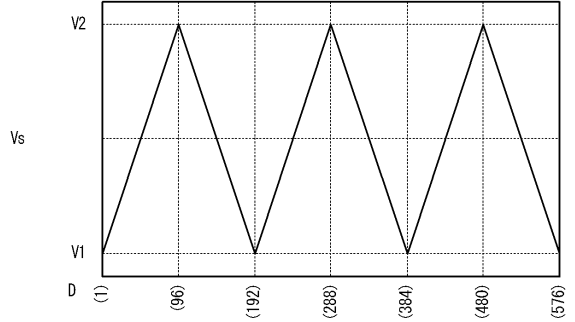
【図 9】



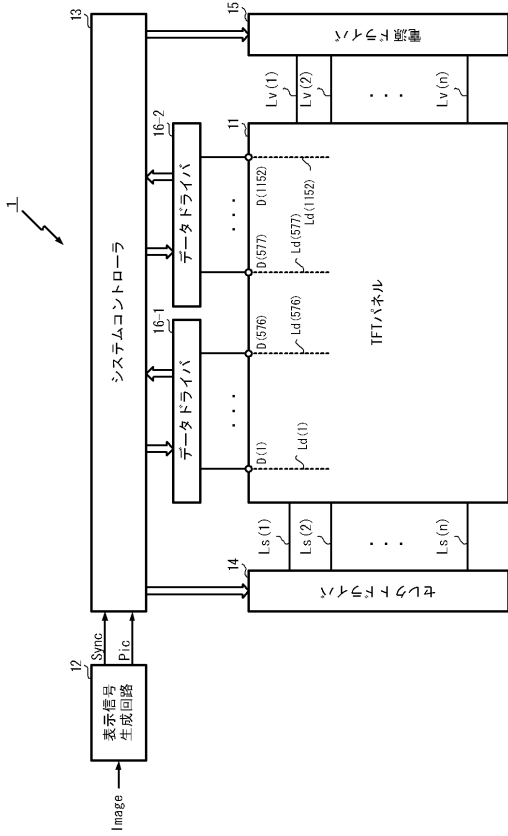
【図 10】



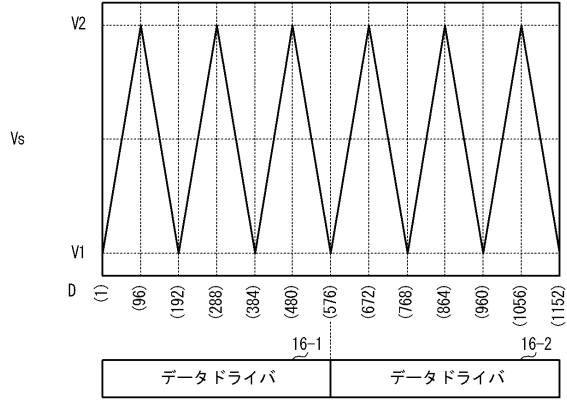
【図 11】



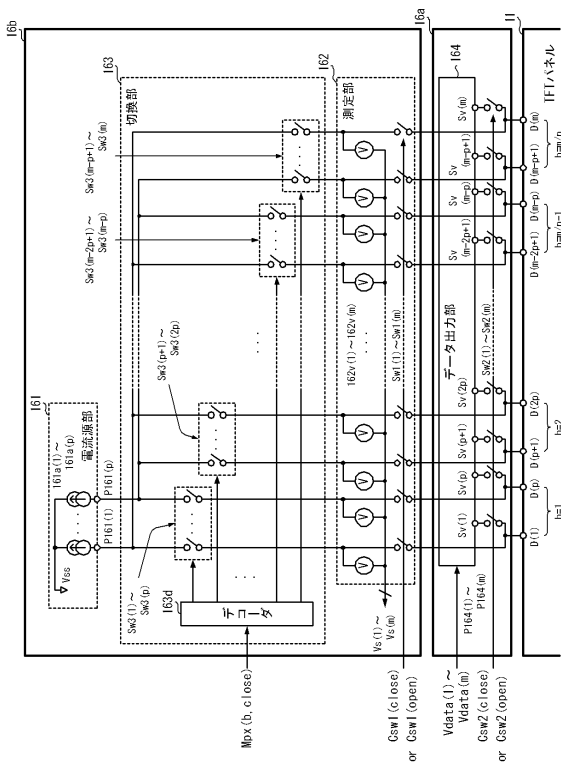
【図12】



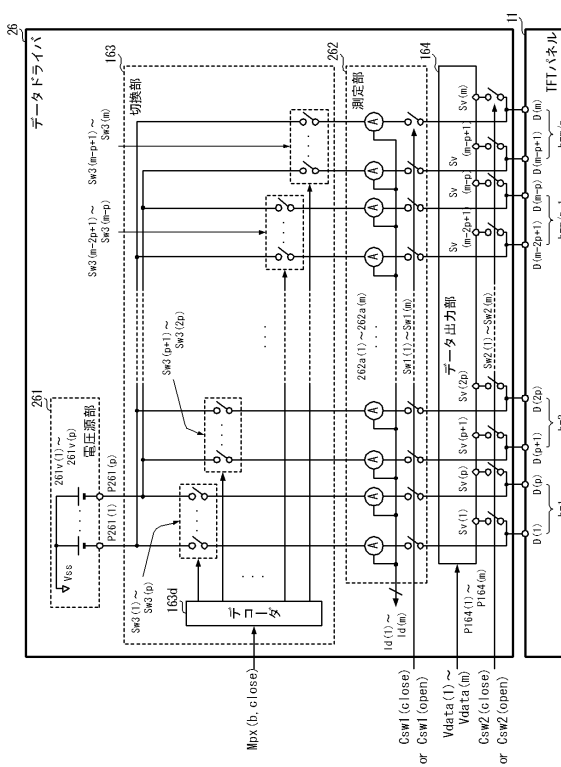
【図13】



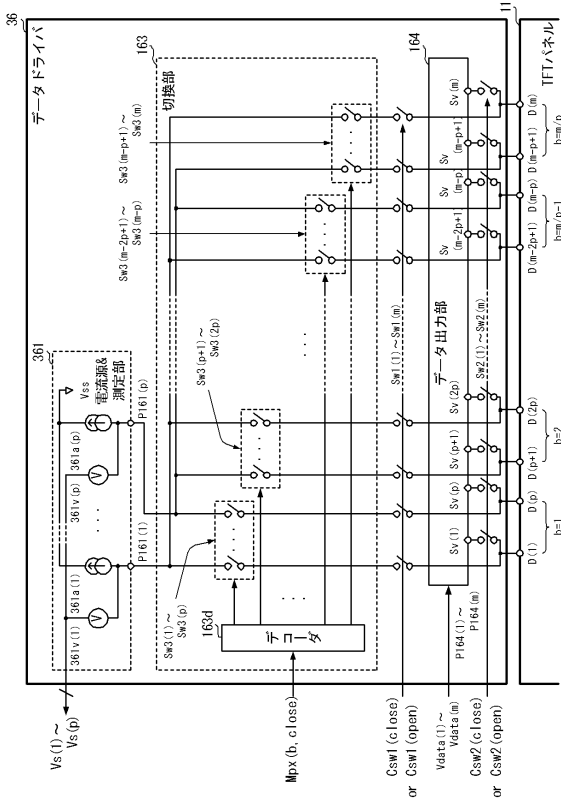
【図14】



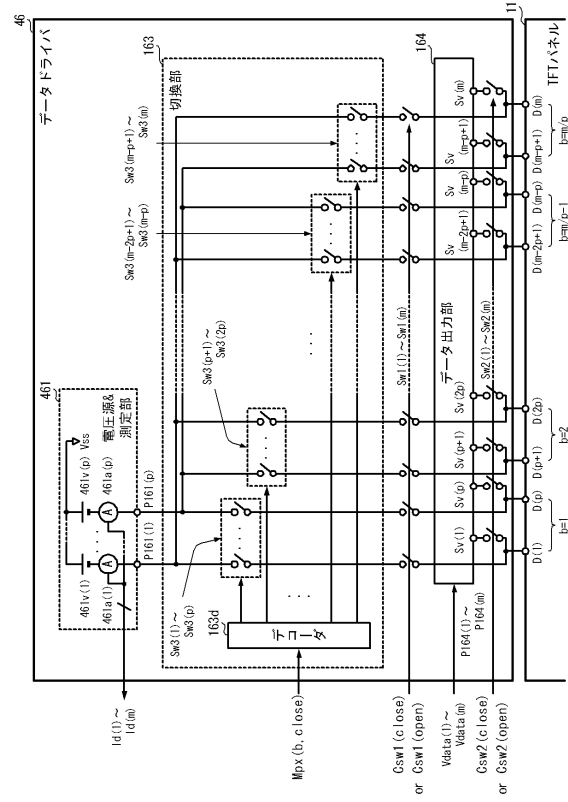
【図15】



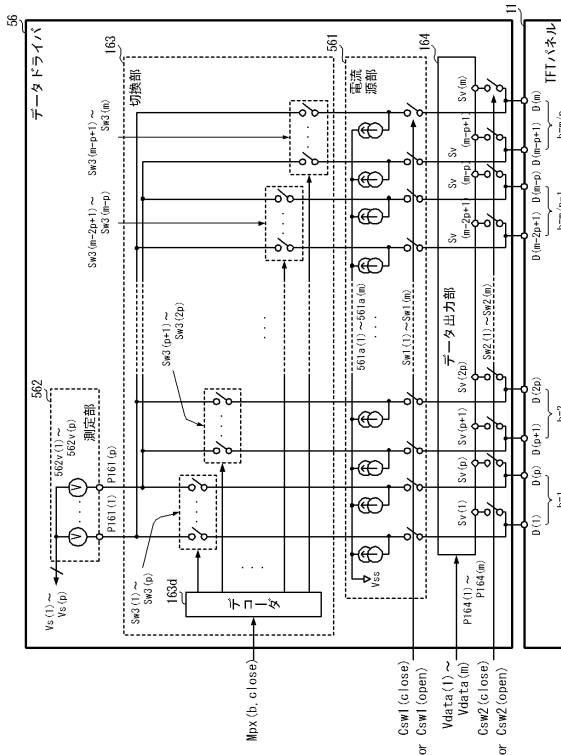
【図16】



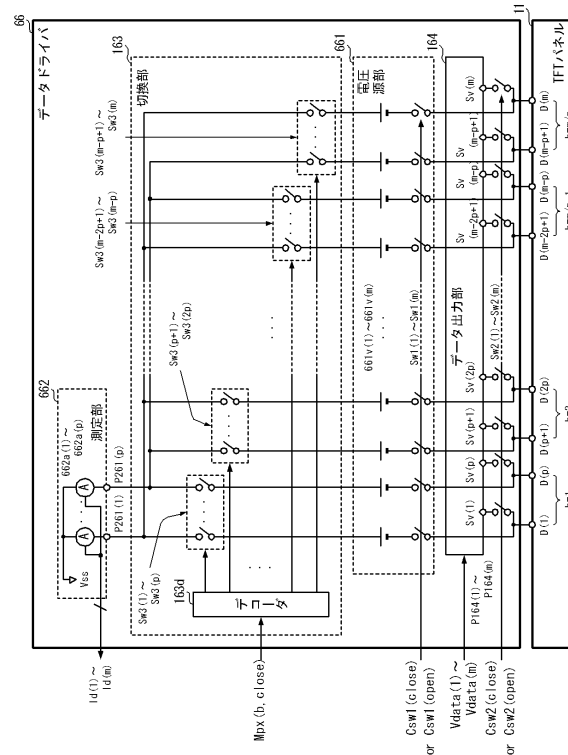
【図17】



【図18】



【図19】





---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 1 2 E  
G 0 9 G 3/20 6 4 1 P  
G 0 9 F 9/00 3 4 8 Z  
H 0 5 B 33/14 A

(72)発明者 榎山 俊二  
東京都八王子市石川町2951番地の5 カシオ計算機株式会社 八王子技術センター内

審査官 山崎 仁之

(56)参考文献 特開2005-157274(JP,A)  
特開2007-052422(JP,A)  
特開2005-284038(JP,A)  
特開2004-004673(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G 0 9 G 3 / 3 0  
G 0 9 F 9 / 0 0  
G 0 9 G 3 / 2 0  
H 0 1 L 5 1 / 5 0