

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 12 月 19 日 (19.12.2024)



(10) 国际公布号
WO 2024/255543 A1

(51) 国际专利分类号:
H10K 59/131 (2023.01) **H10K 59/80** (2023.01)

(21) 国际申请号: PCT/CN2024/094323

(22) 国际申请日: 2024 年 5 月 21 日 (21.05.2024)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310706609.X 2023年6月14日 (14.06.2023) CN

(71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。成都京东方光电科技

有限公司 (CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省成都市高新区 (西区) 合作路 1188 号, Sichuan 611731 (CN)。

(72) 发明人: 李硕 (LI, Shuo); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。侯鹏 (HOU, Peng); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。石领 (SHI, Ling); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。荣坤 (RONG, Kun); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京银龙知识产权代理有限公司 (DRAGON INTELLECTUAL PROPERTY LAW

(54) Title: DISPLAY PANEL AND DISPLAY APPARATUS

(54) 发明名称: 显示面板及显示装置

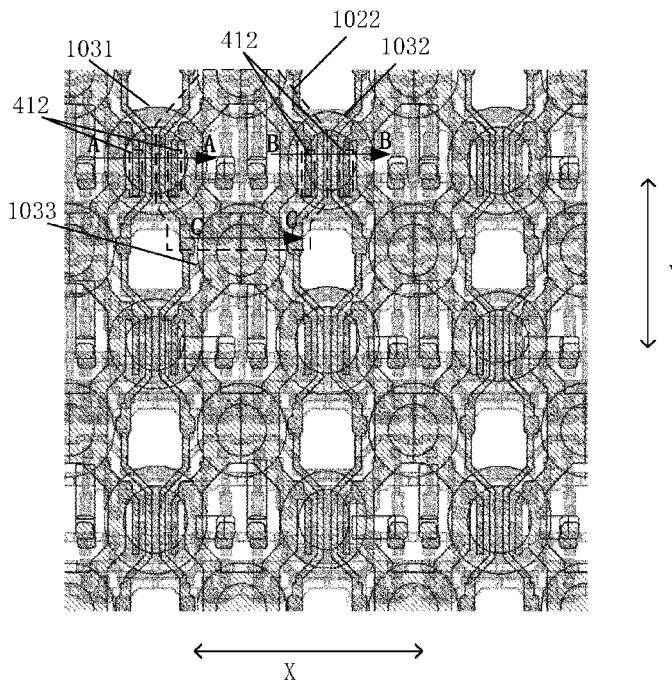


图 2

(57) Abstract: The present application discloses a display panel and a display apparatus. The display panel comprises a first metal layer and an anode layer which are stacked on a base substrate. The first metal layer comprises a first signal line, a second signal line, and a third signal line which are arranged at equal intervals. The orthographic projection of the second signal line on the base substrate at least partially overlaps with the anode layer.

(57) 摘要: 本申请公开了一种显示面板及显示装置。所述显示面板包括位于衬底基板上层叠设置的第一金属层和阳极层, 所述第一金属层包括等间距设置的第一信号线、第二信号线和第三信号线; 所述第二信号线在衬底基板上的正投影与所述阳极层至少部分交叠。

[见续页]



WO 2024/255543 A1

FIRM); 中国北京市海淀区西直门北大街32号院枫
蓝国际中心2号楼10层, Beijing 100082 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ,
IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ,
LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,
MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,
PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

显示面板及显示装置

相关申请的交叉引用

本申请主张在 2023 年 06 月 14 日在中国提交的中国专利申请号 No. 202310706609.X 的优先权，其全部内容通过引用包含于此。

技术领域

本申请涉及显示技术领域，尤其涉及一种显示面板及显示装置。

背景技术

有机发光二极管(organic light-emitting diode, OLED)显示面板由于具有自发光，驱动电压低，以及响应速度快等优点而得到了广泛的应用。OLED 显示面板一般包括：多个像素单元，每个像素单元包括发光单元以及与该发光单元连接的像素电路，发光单元包括阳极、位于阳极上的发光层和位于发光层上的阴极。因此发光单元的阳极的平坦程度影响着一个发光单元的色分离情况。

然而由于阳极下方的像素电路具有较为复杂的电子元件（如晶体管、存储电容等）以及走线结构，导致阳极的平坦程度并不十分理想。因此，目前的显示面板及显示装置仍有待改进。

发明内容

本申请提供一种显示面板及其制备方法。

本申请第一方面，提供了一种显示面板，所述显示面板包括位于衬底基板上层叠设置的第一金属层和阳极层，所述第一金属层包括等间距设置的第一信号线、第二信号线和第三信号线；所述第二信号线在衬底基板上的正投影与所述阳极层至少部分交叠。

在一些实施例中，所述显示面板具有沿第一方向交替设置的第一像素电路和第二像素电路，所述第一像素电路和所述第二像素电路沿第二方向对称设置；

所述阳极层包括与第一子像素对应的第一阳极和与第二子像素对应

的第二阳极；所述第一阳极关于所述第一像素电路的第一边界对称，所述第二阳极关于所述第二像素电路的第二边界对称，所述第一像素电路的第一边界和所述第二像素电路的第二边界平行；

所述第二信号线包括与所述第一像素电路对应的第一部分，以及与所述第二像素电路对应的第二部分，所述第一部分和所述第二部分在所述衬底基板上的正投影中，位于所述第一子像素区域内的部分关于所述第一像素电路的第一边界对称，位于所述第二子像素区域内的部分关于所述第二像素电路的第二边界对称。

在一些实施例中，所述第一信号线和所述第二信号线之间的距离大于或等于 $2.5\ \mu\text{m}$ ，或者所述第二信号线和所述第三信号线之间的距离大于或等于 $2.5\ \mu\text{m}$ ，所述第一信号线、所述第二信号线和所述第三信号线的宽度分别独立地大于或等于 $2\ \mu\text{m}$ 。

在一些实施例中，显示面板还包括第二金属层，所述第二金属层具有第一辅助金属线，所述第一辅助金属线在所述衬底基板上的正投影与所述阳极在所述衬底基板上的正投影至少部分交叠，且所述第一辅助金属线与所述第三信号线在所述衬底基板上的投影的交叠面积，小于所述第三信号线在所述衬底基板上的投影的 20%。

在一些实施例中，所述第一辅助金属线设置于所述第一像素电路的第一边界的投影位置上，且所述第一辅助金属线关于所述第一像素电路的第一边界对称，或者，所述第一辅助金属线设置于所述第二像素电路的第二边界上，且所述第一辅助金属线关于所述第二像素电路的第二边界对称。

在一些实施例中，所述第一辅助金属线的宽度大于或等于 $2\ \mu\text{m}$ 。

在一些实施例中，所述阳极层还包括与第三子像素对应的第三阳极，所述第三阳极在所述衬底基板上的正投影分别与所述第一像素电路和所述第二像素电路部分交叠，所述第三阳极具有沿所述第一方向延伸的对称轴；

所述第一信号线在所述第三阳极区域内的投影为一体结构。

在一些实施例中，所述衬底基板还包括第一复位电源线、第二复位电源线和第三复位电源线，所述第一复位电源线、所述第二复位电源线和所述第三复位电源线网状连接。

在一些实施例中，所述第二金属层还包括第二辅助金属线和第三辅助金属线，所述第二辅助金属线和所述第三辅助金属线在所述衬底基板上的正投影具有至少部分与所述第三阳极在所述基板上的正投影交叠；所述第二辅助金属线和所述第三辅助金属线沿所述第二方向对称分布。

在一些实施例中，显示面板进一步包括依次层叠与所述衬底基板上的第一至第三栅极层，所述第一至第三栅极层均位于所述衬底基板和所述第一金属层之间，所述第三栅极层在所述第三阳极的投影区域内的投影与所述第二金属层在所述第三阳极的投影区域内的投影沿所述第一方向对称。

在一些实施例中，所述显示面板还包括像素界定层，所述像素界定层具有第一至第三开口，所述第一开口和所述第一阳极对应，所述第二开口和所述第二阳极对应，所述第三开口和所述第三阳极对应，

所述第一开口和所述第二开口在所述衬底基板的投影区域内包括3个过孔，在所述第三开口在所述衬底基板的投影区域内包括1.5个过孔。

在一些实施例中，所述第一信号线为所述显示面板的驱动电源线，所述第二信号线为辅助驱动电源线，所述第三信号线为所述显示面板的数据信号线。

在一些实施例中，所述第一金属层为第二源漏极层，所述第二金属层为第一源漏极层。

在一些实施例中，所述像素电路包括：

第一晶体管，所述第一晶体管的栅极与第一复位信号线连接，所述第一晶体管的第一极与第一复位电源线连接，所述第一晶体管的第二极与第三节点连接；

第二晶体管，所述第二晶体管的栅极与所述显示面板包括的第一栅极信号线连接，所述第二晶体管的第一极与第一节点连接，所述第二晶体管的第二极与所述第三节点连接；

第三晶体管，所述第三晶体管的栅极与所述第一节点连接，所述第三晶体管的第一极与第二节点连接，所述第三晶体管的第二极与所述第三节点连接；

第四晶体管，所述第四晶体管的栅极与所述显示面板包括的第二栅极信号线连接，所述第四晶体管的第一极与所述显示面板包括的数据信号线连接，

所述第四晶体管的第二极与所述第二节点连接；

第五晶体管，所述第五晶体管的栅极与发光控制信号线连接，所述第五晶体管的第一极与所述显示面板包括的驱动电源线连接，第五晶体管的第二极与所述第二节点；

第六晶体管，所述第六晶体管的栅极与所述发光控制信号线连接，所述第六晶体管的第一极与所述第三节点连接，所述第六晶体管的第二极与发光单元连接；

第七晶体管，所述第七晶体管的栅极与所述显示面板包括的第二栅极信号线连接，所述第七晶体管的第一极与第二复位电源线连接，所述第七晶体管的第二极与所述发光单元连接；

第八晶体管，所述第八晶体管的栅极与所述第二复位信号线连接，所述第八晶体管的第一极和所述显示面板包括的第三复位电源线连接，所述第八晶体管的第二极与所述第二节点连接；

存储电容，所述存储电容的一端与所述驱动电源线连接，所述存储电容的另一端与所述第一节点连接。

本申请第二方面，提供了一种显示装置，显示装置包括所述的显示面板。

附图说明

通过阅读参照以下附图所作的对非限制性实施例所作的详细描述，本申请的其它特征、目的和优点将会变得更明显：

图 1 是本申请实施例提供的一种显示面板的局部结构示意图；

图 2 是本申请实施例提供的另一种显示面板的局部结构示意图；

图 3 是图 2 中对应的第一源漏极层的局部结构示意图；

图 4 是图 2 中对应的第二源漏极层的局部结构示意图；

图 5 是本申请实施例提供的像素电路的等效电路图；

图 6 是图 5 对应的时序图；

图 7 是本申请实施例提供的一种 AA（或 BB）区域的截面图；

图 8 是本申请实施例提供的另一种 AA（或 BB）区域的截面图；

图 9 是本申请实施例提供的一种电路结构示意图；

图 10 是本申请实施例提供的一种电路结构示意图；

图 11 是本申请实施例提供的一种显示面板的有源层、第一栅极层、第二栅极层和氧化物层的局部叠加示意图；

图 12 是本申请实施例提供的一种显示面板的有源层、第一栅极层、第二栅极层、氧化物层和第三栅极层的局部叠加示意图；

图 13 是本申请实施例提供的一种显示面板的有源层、第一栅极层、第二栅极层、氧化物层、第三栅极层、第一源漏极层和第二源漏极层的局部叠加示意图；

图 14 是本申请实施例提供的一种显示面板的有源层、第一栅极层、第二栅极层、氧化物层、第三栅极层、第一源漏极层、第二源漏极层、阳极层和像素界定层的局部叠加示意图；

图 15 是本申请实施例提供的一种 CC 区域的截面图；

图 16 是本申请实施例提供的一种第一源漏极层的局部结构示意图；

图 17 是本申请实施例提供的另一种显示面板的有源层、第一栅极层、第二栅极层、氧化物层、第三栅极层和第一源漏极层的局部叠加示意图；

图 18 是本申请实施例提供的另一种显示面板的第一源漏极层的局部示意图；

图 19 是本申请实施例提供的另一种显示面板的有源层、第一栅极层、第二栅极层、氧化物层、第三栅极层、第一源漏极层和第二源漏极层的局部叠加示意图；

图 20 是本申请实施例提供的另一种显示面板的有源层、第一栅极层、第二栅极层、氧化物层、第三栅极层、第一源漏极层、第二源漏极层、阳极层和像素界定层的局部叠加示意图；

图 21 是本申请实施例提供的另一种显示面板的有源层、第一栅极层、第二栅极层、氧化物层、第三栅极层、第一源漏极层的局部叠加示意图；

图 22 和图 23 是相关技术中一种显示面板的过孔与像素界定层开口的局部叠加示意图；

图 24 和图 25 是本申请实施例提供的一种显示面板的过孔与像素界定层开口的局部叠加示意图。

具体实施方式

在下文中，仅简单地描述了某些示例性实施例。正如本领域技术人员可

认识到的那样，在不脱离本申请的精神或范围的情况下，可通过各种不同方式修改所描述的实施例，不同的实施例在不冲突的情况下可以任意结合。因此，附图和描述被认为本质上是示例性的而非限制性的。

本申请所有实施例中采用的晶体管均可以为场效应管或其他特性相同的器件，根据在电路中的作用本申请的实施例所采用的晶体管主要为开关晶体管。由于这里采用的开关晶体管的源极、漏极是对称的，所以其源极、漏极是可以互换的。在本申请实施例中，将其中源极称为第一极，漏极称为第二极，或者，将其中漏极称为第一极，源极称为第二极。按附图中的形态规定晶体管的中间端为栅极、信号输入端为源极、信号输出端为漏极。此外，本申请实施例所采用的开关晶体管可以包括 P 型开关晶体管和 N 型开关晶体管中的任一种，其中，P 型开关晶体管在栅极为低电平时导通，在栅极为高电平时截止，N 型开关晶体管在栅极为高电平时导通，在栅极为低电平时截止。此外，本申请各个实施例中的多个信号都对应有有效电位和无效电位，有效电位和无效电位仅代表该信号的电位有两个状态量，不代表全文中有效电位或无效电位具有特定的数值。

图 1 是本申请实施例提供的一种显示面板的局部结构示意图。该显示面板 10 可以包括衬底基板 101 和多个像素单元 102。

多个像素单元 102 的至少一个包括第一子像素、第二子像素和第三子像素，第一子像素、第二子像素和第三子像素均包括像素电路和发光元件。第一子像素、第二子像素和第三子像素中的像素电路分别与栅极信号线、数据信号线和发光信号线连接，像素电路被配置为在栅极信号线和发光信号线的控制下，接收数据信号线传输的数据电压，向发光元件输出相应的电流。第一子像素、第二子像素和第三子像素的发光元件分别与所在子像素的像素电路连接，发光元件被配置为响应所在子像素的像素电路输出的电流发出相应亮度的光。

在一种可行的实施例中，图 2 是本申请实施例提供的另一种显示面板的局部结构示意图。如图 2 所示，多个像素电路沿第一方向 X 排布，至少一个像素电路包括：沿第二方向 Y 排布的多个第一像素电路 1021 和沿第二方向 y 排布的多个第二像素电路 1022。其中，第一方向 X 和第二方向 Y 垂直，例如第一方向 X 为像素行方向，第二方向 Y 为像素列方向。其中，多个第一像素电路

1021 和第二像素电路 1022 沿第一方向交替设置，且多个第一像素电路 1021 和多个第二像素电路 1022 中每个像素电路包括沿第二方向延伸的第一边界和第二边界。

在一种可行的实施例中，像素单元中可以包括红色(R)子像素、绿色(G)子像素和蓝色(B)子像素。在一些实施例方式中，像素单元中子像素的形状可以是矩形、菱形、五边形或六边形。像素单元可以采用水平并列、竖直并列或品字方式排列。图 2 示出了成品字排列的第一子像素、第二子像素和第三子像素的位置。其中，第一子像素 1031 为红色子像素、第二子像素 1032 为蓝色子像素，第三子像素 1033 为绿色子像素。

应当理解的是，第一像素电路 1021 和第二像素电路 1022 不必然与第一子像素和第二子像素存在对应关系，即，第一像素电路 1021 与跨接在其上的第一子像素 1031 不一定存在对应关系，换言之，第一像素电路 1021 可以是用于控制第一子像素 1031 对应的像素电路，也可能是用于控制第三子像素 1033 对应的像素电路，或者其他像素的控制电路，具体根据像素电路的布图设计决定，本申请不做具体限定。

在一种可行的实施例中，像素电路可以是 3T1C、4T1C、5T1C、5T2C、6T1C 或 7T1C 等结构。图 5 是本申请实施例提供的像素电路的等效电路图。如图 5 所示，像素电路可以包括第一晶体管 T1，第二晶体管 T2，第三晶体管 T3，第四晶体管 T4，第五晶体管 T5，第六晶体管 T6，第七晶体管 T7，第八晶体管 T8 以及存储电容 Cst。

其中，第七晶体管 T7 的栅极可以与第一复位信号线 Reset_H 连接，第七晶体管 T7 的第一极可以与第二复位电源线 Vinit2 连接，第七晶体管 T7 的第二极可以与发光单元连接。该第七晶体管 T7 还可以称为复位晶体管。

第四晶体管 T4 的栅极可以与第一栅极信号线 Gate_P 连接，第四晶体管 T4 的第一极可以与数据信号线 Data 连接，第四晶体管 T4 的第二极可以与第二节点 N2 连接。也即是，第四晶体管 T4 可以为像素电路中的数据写入晶体管。

第五晶体管 T5 的栅极可以与发光控制信号线 EM 连接，第五晶体管 T5 的第一极可以与驱动电源线 VDD 连接，第五晶体管 T5 的第二极可以与第二节点 N2 连接。由于该第五晶体管 T5 的栅极与发光控制信号 EM 连接，因此该第五

晶体管 T5 还可以称为发光控制晶体管。

第一晶体管 T1 的栅极可以与第二复位信号线 Reset_P 连接，第一晶体管 T1 的第一极可以与第一复位电源线 Vinit1 连接，第一晶体管 T1 的第二极可以与第三节点 N3 连接。该第一晶体管 T1 还可以称为复位晶体管。

第六晶体管 T6 的栅极可以与发光控制信号线 EM 连接，第六晶体管 T6 的第一极可以与第三节点 N3 连接，第五晶体管的第二极可以与发光单元连接。由于该第六晶体管 T6 的栅极与发光控制信号线 EM 连接，因此该第六晶体管 T6 还可以称为发光控制晶体管。

第二晶体管 T2 的栅极可以与第二栅极信号线 Gate_N 连接，第二晶体管 T2 的第一极与第三节点 N3 连接，第二晶体管 T2 的第二极可以与第一节点 N1 连接。该第二晶体管 T2 还可以称为补偿晶体管。

第三晶体管 T3 的栅极可以与第一节点 N1 连接，第三晶体管 T3 的第一极可以与第二节点 N2 连接，第三晶体管 T3 的第二极与第三节点 N3 连接。该第三晶体管 T3 还可以称为驱动晶体管。

第八晶体管 T8 的栅极可以与第一复位信号线 Reset_H 连接，即第八晶体管 T8 的栅极和第七晶体管 T7 的栅极共用第一复位信号线 Reset_H，第八晶体管 T8 的第一极可以与第三复位电源线 Vinit3 连接，第八晶体管 T8 的第二极可以与第二节点 N2 连接。该第八晶体管 T8 还可以称为复位晶体管。

存储电容 Cst 的一端可以与驱动电源线 VDD 连接，存储电容 Cst 的另一端可以与第一节点 N1 连接。可选的，存储电容 Cst 可以包括两个电容极板 Cst1 和 Cst2，在本申请实施例中，电容极板 Cst1 可以称为存储电容 Cst 的一端，第一端或第一存储电容电极，电容极板 Cst2 可以称为存储电容 Cst 的另一端、第二端或第二存储电容电极。

结合上述实施例可知，在本申请实施例中，第二晶体管 T2 为 N 型晶体管，第一晶体管 T1、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5、第六晶体管 T6 和第七晶体管 T7 均为 P 型晶体管。

可选的，本申请实施例记载的各个 N 型晶体管可以均为氧化物晶体管，各个 P 型晶体管可以均为低温多晶硅（LTPS）晶体管。氧化物材料可以包括铟镓锌氧化物（indium gallium zinc oxide, IGZO），即氧化物晶体管可以为 IGZO 晶体管。由该 8 个晶体管构成的像素电路也可以称为 LTP0 像素电路。

显示面板中的像素电路为该 LTP0 像素电路的显示面板可以称为 LTP0 显示面板。

以图 5 所示的像素电路，第一电位相对于第二电位为高电位为例，对本申请实施例记载的像素电路的驱动原理进行如下介绍。时序如图 6 所示。

在初始化阶段 t_1 ，第二复位信号线 Reset_P 提供的第二复位信号的电位、第一栅极信号线 Gate_P 提供的第一栅极驱动信号的电位以及发光控制信号线 EM 提供的发光控制信号的电位均为第一电位。第二栅极信号线 Gate_N 提供的第二栅极驱动信号的电位和第一复位信号线 Reset_H 提供的第一复位信号的电位均为第二电位。相应的，第七晶体管 T7 和第二晶体管 T2 开启。第四晶体管 T4、第五晶体管 T5、第一晶体管 T1、第六晶体管 T6、第二晶体管 T2 和第三晶体管 T3 均关断。如此，第二复位电源线 Vinit2 提供的第二电位的第二复位信号可以经过开启的第七晶体管 T7 传输至发光单元的阳极，第三复位电源线 Vinit3 提供的第二电位的第三复位信号可以经开启的第八晶体管 T8 传输至第二节点 N2，实现对发光单元的阳极和第二节点 N2 的复位。

在补偿阶段 t_2 ，第二复位信号线 Reset_P 提供的第二复位信号的电位跳变为第二电位，第二栅极信号线 Gate_N 提供的第二栅极驱动信号的电位跳变为第一电位，且发光控制信号线 EM 提供的发光控制信号的电位保持为第一电位。相应的，第一晶体管 T1、第二晶体管 T2 和第三晶体管 T3 均开启，第七晶体管 T7、第四晶体管 T4、第五晶体管 T5、第六晶体管 T6 和第八晶体管 T8 关断。如此，第一复位电源信号经开启的第一晶体管 T1 传输至 N3，第二晶体管 T2 基于第三节点 N3 的电位调节第一节点 N1 的电位。此外，第一复位电源线 Vinit1 提供的第二电位的复位电源信号可以经开启的第一晶体管 T1 和第二晶体管 T2 传输至第一节点 N1，实现对第一节点 N1 的复位。

在写入阶段 t_3 ，第二复位信号线 Reset_P 提供的第二复位信号的电位跳变为第一电位，第一复位信号线 Reset_H 提供的第一复位信号保持为第一电位，第一栅极信号线 Gate_P 提供的第一栅极驱动信号的电位跳变为第二电位，第二栅极信号线 Gate_N 保持为第一电位，发光控制信号线 EM 提供的发光控制信号的电位保持为第一电位。在存储电容 Cst 的自举作用下，第一节点 N1 的电位保持为第二电位。相应的，第二晶体管 T2、第三晶体管 T3 和第四晶体管 T4 开启，第一晶体管 T1、第五晶体管 T5、第六晶体管 T6、第七晶

晶体管 T7 和第八晶体管 T8 均关断。如此，数据信号线 Data 提供的的数据信号线能够依次经开启的第四晶体管 T4，第三晶体管 T3 和第二晶体管 T2 传输至第一节点 N1。

在发光阶段 t4，第二复位信号线 Reset_P 提供的第二复位信号的电位保持第一电位，第一复位信号线 Reset_H 提供的第一复位信号保持为第一电位，第一栅极信号线 Gate_P 提供的第一栅极驱动信号的电位跳变为第二电位，第二栅极信号线 Gate_N 跳变为第二电位，发光控制信号线 EM 提供的发光控制信号的电位跳变为第二电位。在存储电容 Cst 的自举作用下，第一节点 N1 的电位保持为数据信号线 Data 的第二电位。相应的，第三晶体管 T3、第五晶体管 T5 以及第六晶体管 T6 开启，第一晶体管 T1、第二晶体管 T2、第四晶体管 T4、第七晶体管 T7 以及第八晶体管 T8 均关断。如此，驱动电源线 VDD 提供的驱动电源信号经开启的第五晶体管 T5 传输至第二节点 N2，第三晶体管 T3 能够基于第一节点 N1 的电位和传输至第二节点 N2 的电位，向第三节点 N3 传输驱动电流。然后，该驱动电流可以再经开启的第六晶体管 T6 传输至发光单元的阳极，发光单元的阳极与阴极层间产生压差，发光单元发光。其中，阴极层与驱动电源线 VSS 连接。

在一个可行的实施例中，发光元件可以是有机致电发光二极管（OLED），包括设置的阳极层、有机发光层和阴极层。如前所述，发光元件阳极层的平坦程度会影响发光元件发光时色分离的情况。

图 7 是图 2 在 AA 区域的局部结构截面图。如图 7 所示，该显示面板包括第一金属层和阳极层（图中未示出），第一金属层具有等间距设置的第一信号线 411、第二信号线 412 和第三信号线 413，其中第二信号线 412 在衬底基板上的正投影与阳极层至少部分交叠。

由此，发光元件的阳极层在第一信号线、第二信号线和第三信号线的承托作用下，能够呈现更好的平坦效果。

此处需要特别说明的是，在本申请中，第一至第三信号线、金属线等结构和其他膜层，如阳极层“交叠”或“部分交叠”，特指二者在衬底基板上的正投影之间具有交叠或部分交叠的位置关系，而非二者之间具有直接接触的层叠关系。

在一种可行的实施例中，显示面板可以包括构成像素电路且沿远离衬底

基板 101 的方向依次层叠的有源层 Poly, 第一栅极绝缘层 (gate insulator, GI1), 第一栅极层 Gate1, 第二栅极绝缘层 GI2, 第二栅极层 Gate2, 氧化物层 Oxid, 第三栅极绝缘层 GI3, 第三栅极层 Gate3, 第一层间介电层 (inter level dielectric, ILD0), 第二层间介电层 ILD, 第一源漏极层 SD1, 第一平坦层 (planarization layer, PLN1)、第二源漏极层 SD2、第二平坦层 PLN2、第三平坦层 PLN3、阳极层 (anode layer, Anode) 和像素界定层 (pixel definition layer, PDL)。

示例性的, 第一金属层可以为第二源漏极层 SD2, 第二金属层可以为第一源漏极层 SD1。图 3 以及图 4 示出了图 2 中第一源漏极层和第二源漏极层的结构示意图。

示例性的, 如图 8 所示, 第一金属层可以为第二源漏极层 SD2, 第一信号线 411 和第二信号线 412 可以配置为驱动电源线 VDD, 第三信号线 413 可以配置为数据信号线 Data。

需要说明的是, 图 2 中还示出了第一像素电路 1021 和第二像素电路 1022 沿第一方向交替设置, 第一像素电路 1021 和第二像素电路 1022 沿第二方向对称, 阳极层包括与第一子像素对应的第一阳极 1031 和第二子像素对应的第二阳极 1032, 第一阳极 1031 关于第一像素电路 1021 的第一边界对称, 第二阳极 1032 关于第二像素电路 1022 的第二边界对称, 第一像素电路 1021 的第一边界和第二像素电路 1022 的第二边界平行。

进一步地, 第二信号线 412 包括与第一像素电路 1021 对应的第一部分, 以及与第二像素电路 1022 对应的第二部分, 第一部分和第二部分在衬底基板上的正投影中位于第一子像素区域内的部分关于第一像素电路 1021 的第一边界对称, 在第二子像素的区域内的部分关于第二像素电路 1022 的第二边界对称。

在一个可行的实施例中, 如图 8 所示, 相邻的两个第三信号线之间的距离、第一信号线和第二信号线之间的距离或者第二信号线和第三信号线之间的距离相等 (如图 8 所示 a) 且大于或等于 $2.5\ \mu\text{m}$, 第一信号线、第二信号线和第三信号线的宽度相等 (如图 8 所示 b) 大于或等于 $2\ \mu\text{m}$ 。

由此, 本申请实施例通过在第一子像素和第二子像素下的第二源漏极层 SD2 增加设置第二信号线, 有效增加了第二源漏极层 SD2 与阳极层的交叠面

积，提高了第一子像素和第二子像素对应阳极的平坦程度。并且具有前述的对称结构的第一金属层可以进一步提高相应位置处阳极的平坦程度，并提供对称的金属走线环境。从而有利于进一步提升包括平坦程度在内的该显示面板的性能，例如提供对称的图形可以在刻蚀等构图工艺制程，以及形成发光层等结构的沉积工艺中提供更加一致的底层环境，从而提升刻蚀或是沉积的效果。

在一个可行的实施例中，阳极层还包括和第三子像素对应的第三阳极 1033，第三阳极 1033 分别与第一像素电路 1021 和第二像素电路 1022 部分交叠，第三阳极 1033 沿第一方向对称。为了进一步提升该显示面板的性能，可在对第一子像素 1031 和第二子像素 1032 进行基于第二源漏极层 SD2 的平坦处理后，对第三阳极 1033 进行平坦优化。

可选的，第一信号线在第三阳极的投影为一体结构。示例性的，图 9 是本申请实施例提供的一种图 2 中 CC 区域的截面图。如图 9 所示，第一信号线被配置为一体结构的驱动电源线 VDD。

由此，本申请实施例通过对在第一子像素和第二子像素的投影区域的第二源漏极层 SD2 增加第二信号线，以增强第一子像素和第二子像素阳极的平坦程度，并在第三子像素的投影区域的第二源漏极层 SD2 的驱动电源线 VDD 设置为一体结构，以增强第三子像素阳极的平坦程度。由此，通过对第二源漏极层 SD2 的改进，能够分别实现第一子像素、第二子像素和第三子像素阳极的平坦程度改进，有效避免了因阳极不平坦产生色分离的情况。

在一个可行的实施例中，图 10 是本申请实施例提供的一种电路结构示意图。其中，图 10 所示的连接结构为图 2 中第一像素电路 1021 和第二像素电路 1022 对应的连接结构。如图 10 所示，在第一像素电路 1021 和第二像素电路 1022 的下部，第一复位电源线 Vinit1、第二复位电源线 Vinit2 和第三复位电源线 Vinit3 被配置为沿第一方向 X 延伸的信号线，与沿第二方向 Y 延伸的信号线形成网状连接。

需要说明的是，数据信号线 Data 和驱动电源线 VDD 为纵向信号线，其中，横向信号线主要为横向方向设置的多个像素电路提供信号，纵向信号线主要为纵向方向设置的多个像素电路提供信号。

图 11 是本申请实施例提供的一种显示面板的有源层、第一栅极层、第二

栅极层和氧化物层的局部叠加示意图, 其中 Vinit1、Vinit2 和 Vinit3 均由第一栅极层 Gate1 金属形成; 图 12 是本申请实施例提供的一种显示面板的有源层、第一栅极层、第二栅极层、氧化物层和第三栅极层的局部叠加示意图, 即在图 11 的基础上进一步示出了第三栅极层的叠加位置; 图 13 是本申请实施例提供的一种显示面板的有源层、第一栅极层、第二栅极层、氧化物层、第三栅极层、第一源漏极和第二源漏极的局部叠加示意图; 图 14 是本申请实施例提供的显示面板的有源层、第一栅极层、第二栅极层、氧化物层、第三栅极层、第一源漏极层、第二源漏极层、阳极层和像素界定层的局部叠加示意图。上述金属层的层叠顺序如前所述, 在此不再赘述。

在本申请一个可行的实施例中, 由于阳极平坦度受与阳极最近的金属层 (第二源漏极层 SD2) 的影响较强, 随着距离边缘影响次之, 因此, 本申请还进一步提出对第一源漏极层 SD1 走线的优化方法, 以进一步增强子像素阳极的平坦程度。

可选的, 第一源漏极层 SD1 上还设置有第一辅助金属线, 第一辅助金属线与阳极至少部分交叠, 且第一辅助金属线与第三信号线在第一源漏极层 SD1 的投影的交叠面积小于第三信号线在第一源漏极层 SD1 上的投影面积的 20%。

示例性的, 如图 15 所示, 第一辅助金属线 51 设置在两个数据信号线 Data 的对称线上, 与两个数据信号线 Data 形成互补结构, 进一步增强阳极的平坦程度。而且, 第一辅助金属线 51 与原电路中的走线结构形成等间距均匀走线结构, 增加了第一源漏极层 SD1 与阳极层的交叠面积, 为进一步提高阳极平坦提供稳定的基础结构。

优选的, 第一辅助金属线 51 与两个数据信号线 Data 的结构互补, 第一辅助金属线 51 的宽度 (如图 15 所示 d) 大于或等于 $2\mu\text{m}$, 进一步地, 第一辅助金属线 51 与原电路中的走线结构形成等间距均匀走线结构, 第一辅助金属线 51 与原电路中的结构之间的距离 (如图 15 所示 c) 大于或等于 $1.5\mu\text{m}$ 。

应当理解的是, 由于第一子像素和第二子像素跨接在第一像素电路和第二像素电路上, 因此, 第一辅助金属线设置于第一像素电路的第一边界的投影位置上, 且关于第一像素电路的第一边界对称, 或者, 第一辅助金属线设置于第二像素电路的第二边界上, 且关于第二像素电路的第二边界对称。

图 16 是本申请实施例提供的一种第一源漏极层的局部结构示意图, 图

17 是本申请实施例提供的另一种显示面板的有源层、第一栅极层、第二栅极层、氧化物层、第三栅极层和第一源漏极的局部叠加示意图。

由此，本申请实施例通过在第一子像素和第二子像素投影区域的第一源漏极层 SD1 增加第一辅助金属线，增大了第一源漏极 SD1 与阳极之间的交叠面积，以增强第一子像素和第二子像素阳极的平坦程度，有效避免了因阳极不平坦产生色分离的情况。

在一个可行的实施例中，与第二源漏极层 SD2 一致的，第一源漏极层 SD1 层还可对第三阳极进行平坦优化。

可选的，参考图 17-20，第一源漏极层 SD1 包括第二辅助金属线 53 和第三辅助金属线 54，第二辅助金属线 53 和第三辅助金属线 54 至少部分的与第三阳极交叠，第二辅助金属线 53 和第三辅助金属线 54 沿第二方向对称。

示例性的，如图 18 所示，第一源漏极层 SD1 在第三阳极的投影区域增加了第二辅助金属线 53 和第三辅助金属线 54，与原电路中的金属结构 55 形成对称结构，实现对第三阳极的均匀支撑，从而有效提高第三阳极的平坦程度。

进一步地，由于随着金属层距离阳极的越远影响越小，在第一源漏极 SD1 在第一方向的对称性不佳的情况下，还可以利用第三栅极层进行弥补。

可选的，第三栅极层在第三阳极的投影区域内的投影与第二金属层在第三阳极的投影区域内的投影沿第一方向对称。

示例性的，如图 21 所示，第三栅极层在第三阳极的投影区域内的投影 61 与第二金属层在第三阳极的投影区域内的投影 55 第一方向对称。

在一个可行的实施例中，除通过走线优化阳极平坦程度外，层间介电层 ILD 的过孔和平坦层（包括第一平坦层 PLN1、第二平坦层 PLN2 和第三平坦层 PLN3）的过孔设计也会影响阳极的平坦程度。

相关技术中，如图 22 和图 23 所示，当像素界定层的开口在平行于显示面板上的截面宽度为 $22\ \mu\text{m}$ 时，开口率为 20.56%。像素界定层（如图中所示出的 PDL）可具有和第一阳极（第一子像素区域）对应的第一开口，和第二阳极（第二子像素区域）对应的第二开口，以及和第三阳极（第三子像素区域）对应的第三开口。其中，第一开口的投影区域内有 3 个孔，第二开口的投影区域内有 2.5 个孔，第三开口的投影区域内有 4.5 个孔，第二子像素与第一平坦层 PLN1 有 $-0.3\ \mu\text{m}$ 的交叠，其中第三平坦层 PLN3 边界到第一开口

边界的距离 d_1 为 $13.6\ \mu\text{m}$ ，到第二开口边界的距离 d_2 为 $25.115\ \mu\text{m}$ ，到第三开口边界的距离 d_3 为 $11.055\ \mu\text{m}$ 。

本领域技术人员能够理解的是，前文所述的 2.5 个孔、4.5 个孔应做广义理解。即某一过孔的部分区域未落在特定的投影区域内，未落在投影区域内的过孔的横截面面积可以为该过孔整体横截面面积的 30%-70%，例如为 40%-60%。

在本申请实施例中，将像素界定层的开口率限制为 15.93%，可以是使第一开口和第二开口的投影区域包括 3 个过孔，第三开口的投影区域包括 1.5 个过孔。

示例性的，如图 24 和图 25 所示，经过限制的像素界定层，第一开口的投影区域包括 3 个过孔，第二开口的投影区域包括 3 个过孔，第三开口的投影区域包括 1.5 个过孔。第二开口的边界与第一平坦层的过孔边界有 $+1.6\ \mu\text{m}$ 的间距，第三平坦层 PLN3 边界到第一开口边界的距离 d_1 为 $14.25\ \mu\text{m}$ ，到第二开口边界的距离 d_2 为 $26.2\ \mu\text{m}$ ，到第三开口边界的距离 d_3 为 $12.625\ \mu\text{m}$ 。

此处需要特别说明的是，上述过孔（如图中所示出的 10a-10c）可以为为了实现各金属走线之间和/或电极与有源层等结构的电连接关系，而在包括但不限于层间介电层（如前述的第一层间介电层 ILD0，第二层间介电层 ILD）以及第一平坦层 PLN1、第二平坦层 PLN2、第三平坦层 PLN3 中形成的贯穿性过孔。

由此，通过限制像素限定层的开口率，进一步减少了像素开口投影区域对应的过孔数量，从而实现提高阳极平坦的目的。同时，有效避免了第二子像素开口的边缘与第一平坦层上的过孔交叠，进一步提高了像素阳极边缘的平坦程度。

在本说明书的描述中，需要理解的是，术语“上”、“下”、“前”、“后”、“长度”、“宽度”、“左”、“右”、“竖直”、“水平”、“顶”、“底”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本申请和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请的限制。例如“上”“下”来描述图标的一个组件对于另一组件的相对关系，但是这些术语用于本说明书中仅出于方便，例如根据附图中所

述的示例的方向。能理解的是，如果将图标的装置翻转使其上下颠倒，则所叙述在“上”的组件将会成为在“下”的组件。当某结构在其它结构“上”时，有可能是指某结构一体形成于其它结构上，或指某结构“直接”设置在其它结构上，或指某结构通过另一结构“间接”设置在其它结构上。此外，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者多个该特征。在本申请的描述中，“多个”的含义是两个或两个以上，除非另有明确具体的限定。

在本申请中，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”、“固定”等术语应做广义理解，例如，可以是固定连接，也可以是可拆卸连接，或成一体；可以是机械连接，也可以是电连接，还可以是通信；可以是直接相连，也可以通过中间媒介间接相连，可以是两个元件内部的连通或两个元件的相互作用关系。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本申请中的具体含义。在本申请中，除非另有明确的规定和限定，第一特征在第二特征之“上”或之“下”可以包括第一和第二特征直接接触，也可以包括第一和第二特征不是直接接触而是通过它们之间的另外的特征接触。而且，第一特征在第二特征“之上”、“上方”和“上面”包括第一特征在第二特征正上方和斜上方，或仅仅表示第一特征水平高度高于第二特征。第一特征在第二特征“之下”、“下方”和“下面”包括第一特征在第二特征正下方和斜下方，或仅仅表示第一特征水平高度小于第二特征。

上文的申请提供了许多不同的实施方式或例子用来实现本申请的不同结构。为了简化本申请，上文中对特定例子的部件和设置进行描述。当然，它们仅仅为示例，并且目的不在于限制本申请。此外，本申请可以在不同例子中重复参考数字和/或参考字母，这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施方式和/或设置之间的关系。

以上，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到其各种变化或替换，这些都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以权利要求的保护范围为准。

权 利 要 求 书

1. 一种显示面板，包括位于衬底基板上层叠设置的第一金属层和阳极层，

所述第一金属层包括等间距设置的第一信号线、第二信号线和第三信号线；

所述第二信号线在衬底基板上的正投影与所述阳极层至少部分交叠。

2. 根据权利要求 1 所述的显示面板，其中，所述显示面板具有沿第一方向交替设置的第一像素电路和第二像素电路，所述第一像素电路和所述第二像素电路沿第二方向对称设置；

所述阳极层包括与第一子像素对应的第一阳极和与第二子像素对应的第二阳极；所述第一阳极关于所述第一像素电路的第一边界对称，所述第二阳极关于所述第二像素电路的第二边界对称，所述第一像素电路的第一边界和所述第二像素电路的第二边界平行；

所述第二信号线包括与所述第一像素电路对应的第一部分，以及与所述第二像素电路对应的第二部分，所述第一部分和所述第二部分在所述衬底基板上的正投影中，位于所述第一子像素区域内的部分关于所述第一像素电路的第一边界对称，位于所述第二子像素区域内的部分关于所述第二像素电路的第二边界对称。

3. 根据权利要求 2 所述的显示面板，其中，所述第一信号线和所述第二信号线之间的距离大于或等于 $2.5\ \mu\text{m}$ ，

或者所述第二信号线和所述第三信号线之间的距离大于或等于 $2.5\ \mu\text{m}$ ，所述第一信号线、所述第二信号线和所述第三信号线的宽度分别独立地大于或等于 $2\ \mu\text{m}$ 。

4. 根据权利要求 2 所述的显示面板，其中，还包括第二金属层，所述第二金属层具有第一辅助金属线，所述第一辅助金属线在所述衬底基板上的正投影与所述阳极在所述衬底基板上的正投影至少部分交叠，且所述第一辅助金属线与所述第三信号线在所述衬底基板上的投影的交叠面积，小于所述第三信号线在所述衬底基板上的投影的 20%。

5. 根据权利要求 4 所述的显示面板，其中，所述第一辅助金属线设

置于所述第一像素电路的第一边界的投影位置上，且所述第一辅助金属线关于所述第一像素电路的第一边界对称，或者，

所述第一辅助金属线设置于所述第二像素电路的第二边界上，且所述第一辅助金属线关于所述第二像素电路的第二边界对称。

6. 根据权利要求 5 所述的显示面板，其中，所述第一辅助金属线的宽度大于或等于 $2\ \mu\text{m}$ 。

7. 根据权利要求 2 所述的显示面板，其中，所述阳极层还包括与第三子像素对应的第三阳极，所述第三阳极在所述衬底基板上的正投影分别与所述第一像素电路和所述第二像素电路部分交叠，所述第三阳极具有沿所述第一方向延伸的对称轴；

所述第一信号线在所述第三阳极区域内的投影为一体结构。

8. 根据权利要求 2 所述的显示面板，其中，所述衬底基板还包括第一复位电源线、第二复位电源线和第三复位电源线，所述第一复位电源线、所述第二复位电源线和所述第三复位电源线网状连接。

9. 根据权利要求 8 所述的显示面板，其中，第二金属层还包括第二辅助金属线和第三辅助金属线，所述第二辅助金属线和所述第三辅助金属线在所述衬底基板上的正投影具有至少部分与第三阳极在所述基板上的正投影交叠；所述第二辅助金属线和所述第三辅助金属线沿所述第二方向对称分布。

10. 根据权利要求 8 所述的显示面板，其中，进一步包括依次层叠与所述衬底基板上的第一至第三栅极层，所述第一至第三栅极层均位于所述衬底基板和所述第一金属层之间，所述第三栅极层在第三阳极的投影区域内的投影与第二金属层在所述第三阳极的投影区域内的投影沿所述第一方向对称。

11. 根据权利要求 8 所述的显示面板，其中，所述显示面板还包括像素界定层，所述像素界定层具有第一至第三开口，所述第一开口和所述第一阳极对应，所述第二开口和所述第二阳极对应，所述第三开口和所述第三阳极对应，

所述第一开口和所述第二开口在所述衬底基板的投影区域内包括 3 个过孔，在所述第三开口在所述衬底基板的投影区域内包括 1.5 个过孔。

12. 根据权利要求 2-11 中任一所述的显示面板，其中，所述第一信号线为所述显示面板的驱动电源线，所述第二信号线为辅助驱动电源线，所述第三信号线为所述显示面板的数据信号线。

13. 根据权利要求 1-11 中任一所述的显示面板，其中，所述第一金属层为第二源漏极层，第二金属层为第一源漏极层。

14. 根据权利要求 1-11 中任一所述的显示面板，其中，像素电路包括：

第一晶体管，所述第一晶体管的栅极与第一复位信号线连接，所述第一晶体管的第一极与第一复位电源线连接，所述第一晶体管的第二极与第三节点连接；

第二晶体管，所述第二晶体管的栅极与所述显示面板包括的第一栅极信号线连接，所述第二晶体管的第一极与第一节点连接，所述第二晶体管的第二极与所述第三节点连接；

第三晶体管，所述第三晶体管的栅极与所述第一节点连接，所述第三晶体管的第一极与第二节点连接，所述第三晶体管的第二极与所述第三节点连接；

第四晶体管，所述第四晶体管的栅极与所述显示面板包括的第二栅极信号线连接，所述第四晶体管的第一极与所述显示面板包括的数据信号线连接，所述第四晶体管的第二极与所述第二节点连接；

第五晶体管，所述第五晶体管的栅极与发光控制信号线连接，所述第五晶体管的第一极与所述显示面板包括的驱动电源线连接，第五晶体管的第二极与所述第二节点；

第六晶体管，所述第六晶体管的栅极与所述发光控制信号线连接，所述第六晶体管的第一极与所述第三节点连接，所述第六晶体管的第二极与发光单元连接；

第七晶体管，所述第七晶体管的栅极与所述显示面板包括的第二栅极信号线连接，所述第七晶体管的第一极与第二复位电源线连接，所述第七晶体管的第二极与所述发光单元连接；

第八晶体管，所述第八晶体管的栅极与所述第二复位信号线连接，所述第八晶体管的第一极和所述显示面板包括的第三复位电源线连接，所述

第八晶体管的第二极与所述第二节点连接；

存储电容，所述存储电容的一端与所述驱动电源线连接，所述存储电容的另一端与所述第一节点连接。

15. 一种显示装置，所述显示装置包括权利要求 1-14 中任一所述的显示面板。

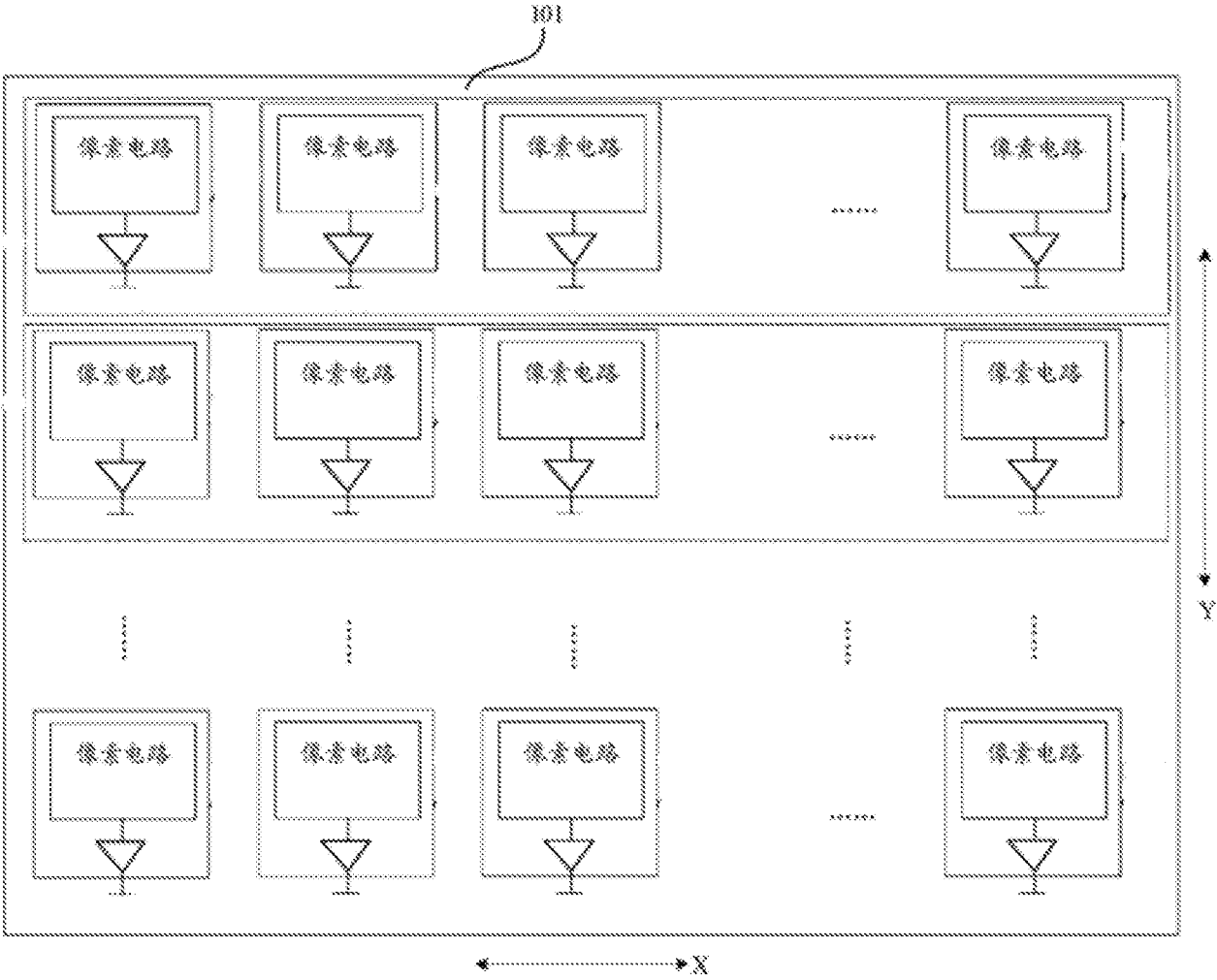


图 1

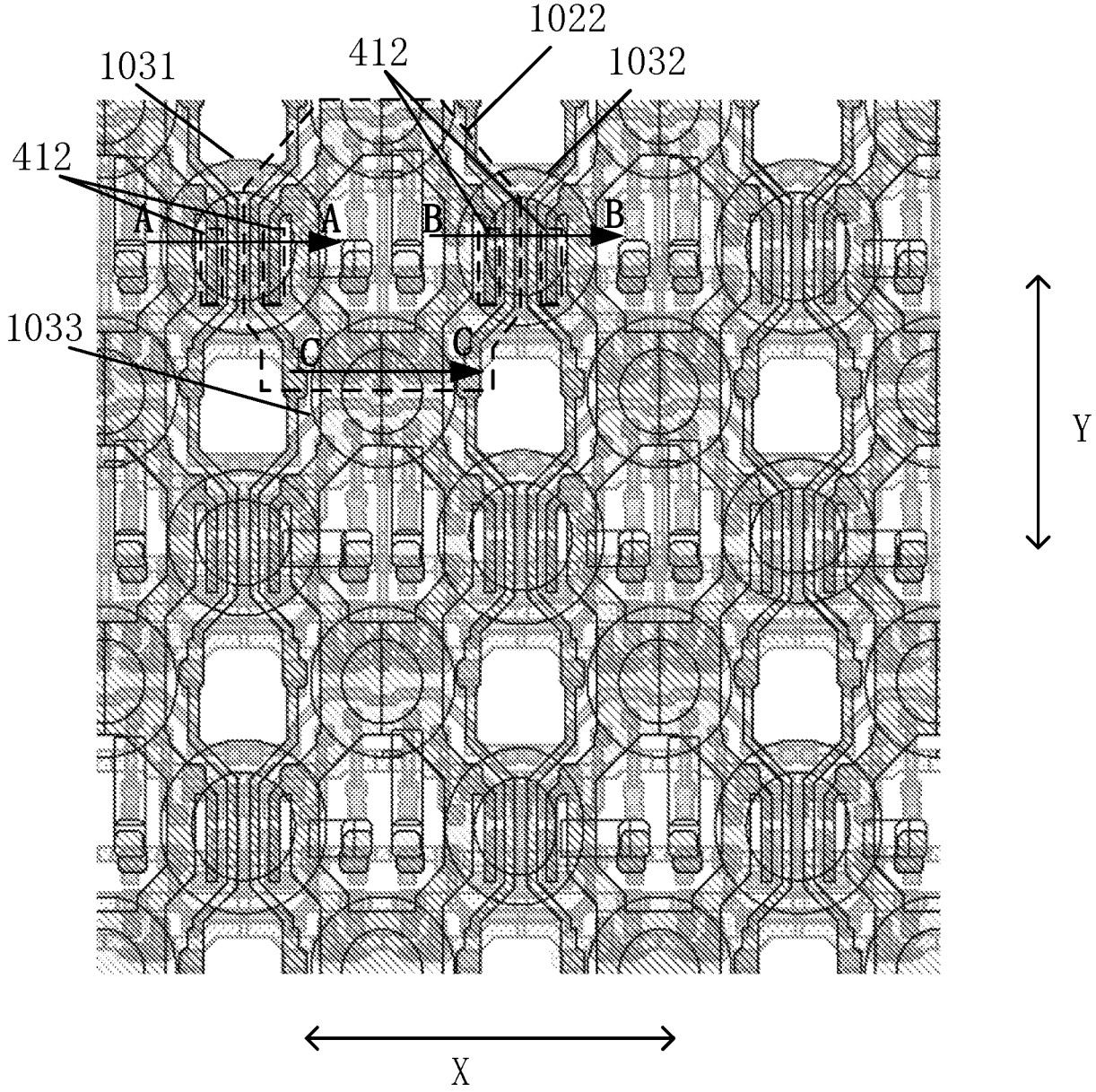


图 2

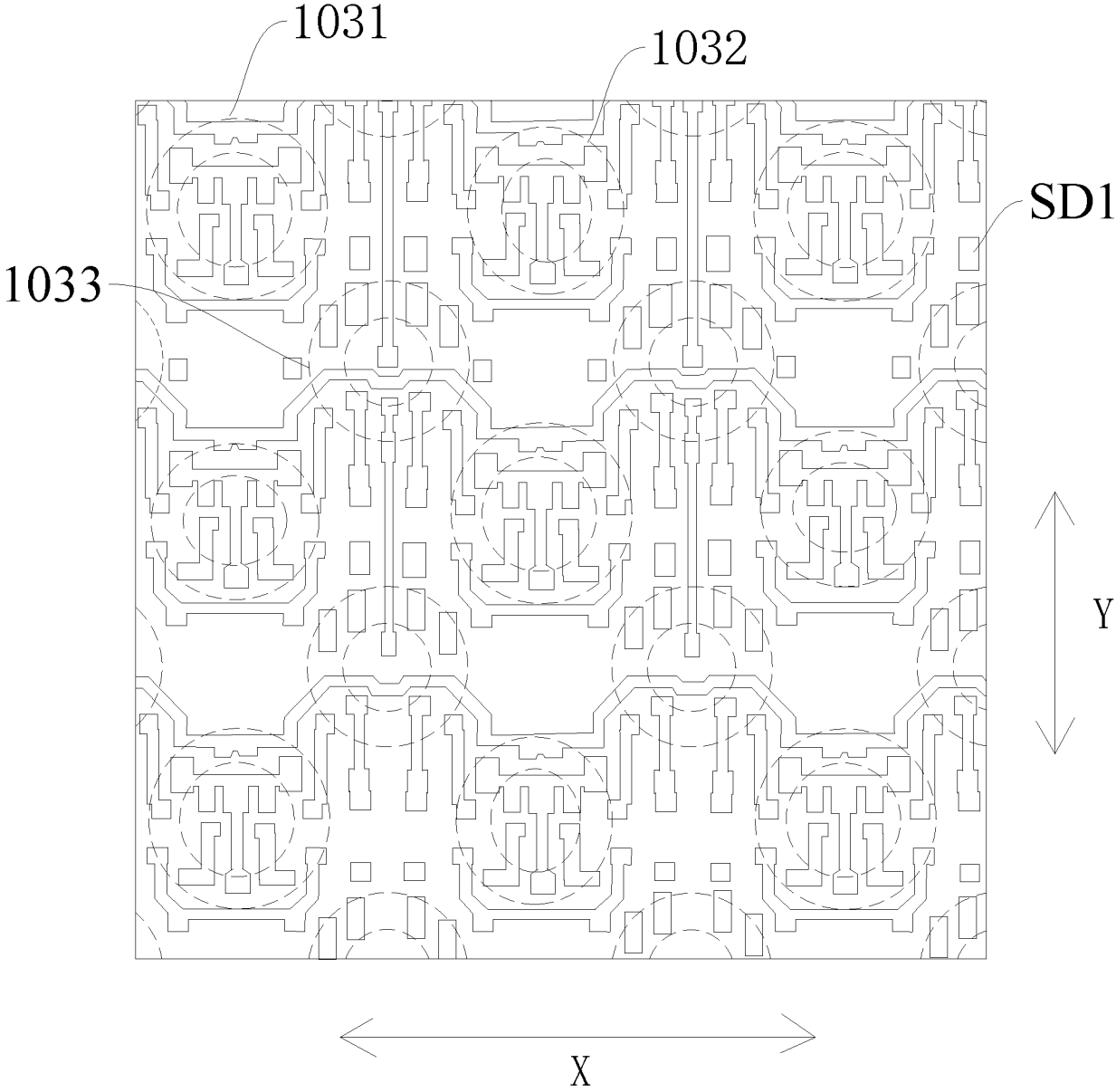
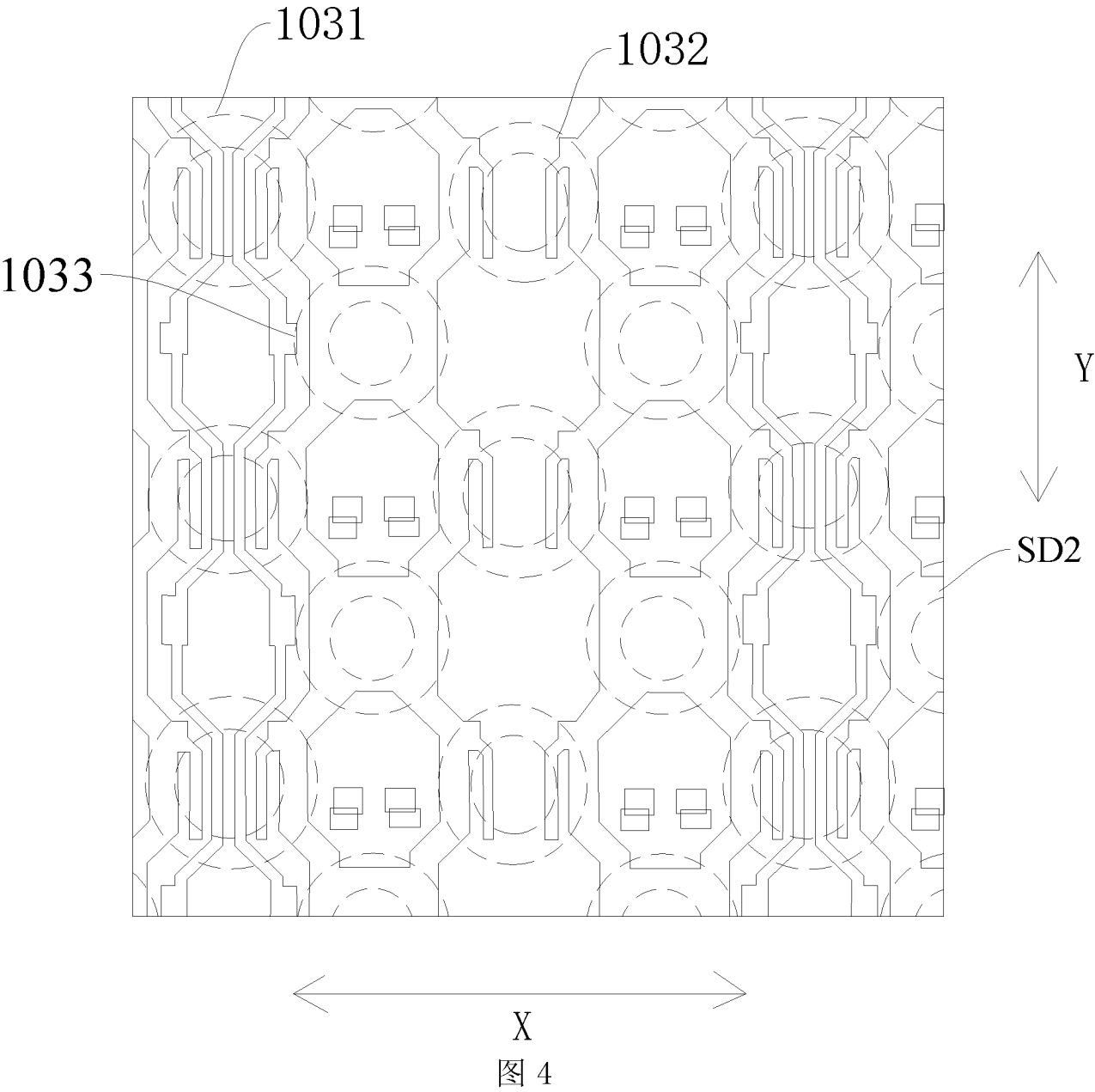


图 3



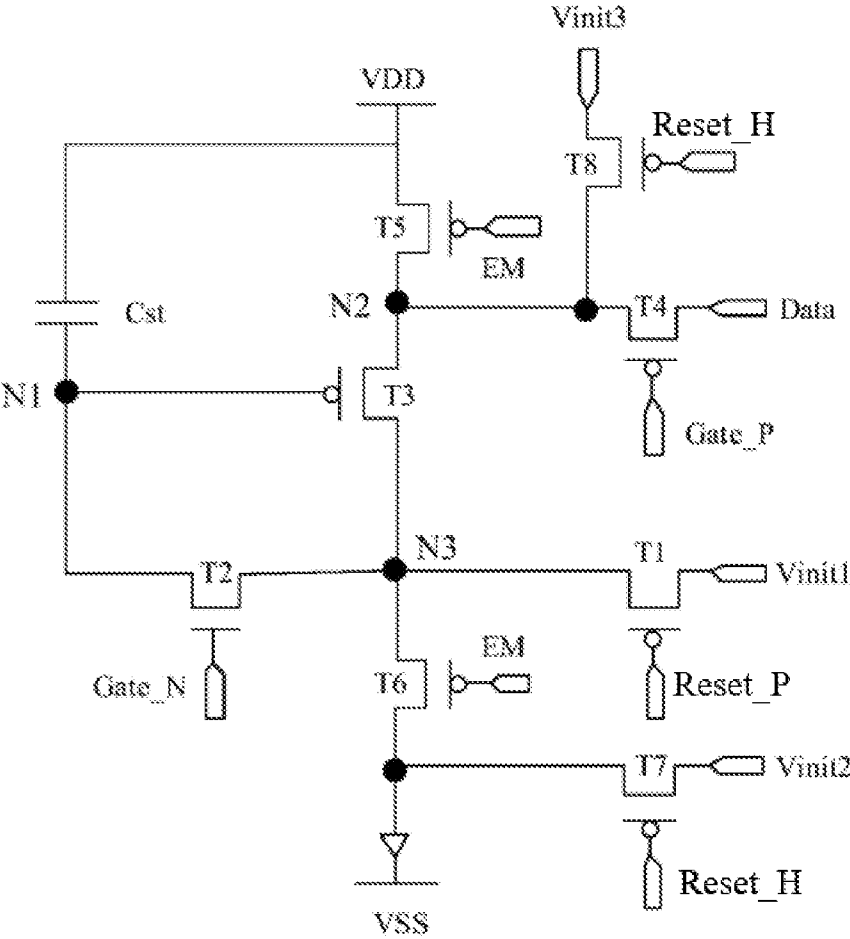


图 5

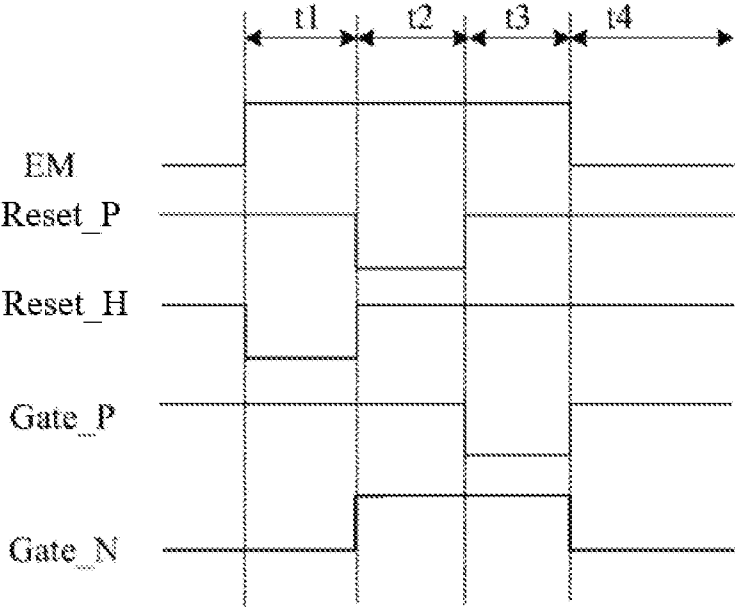


图 6

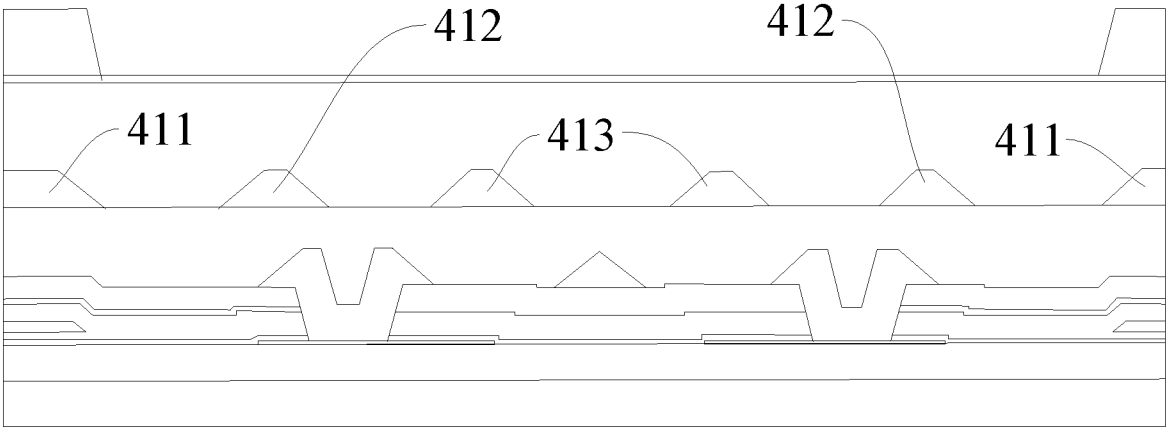


图 7

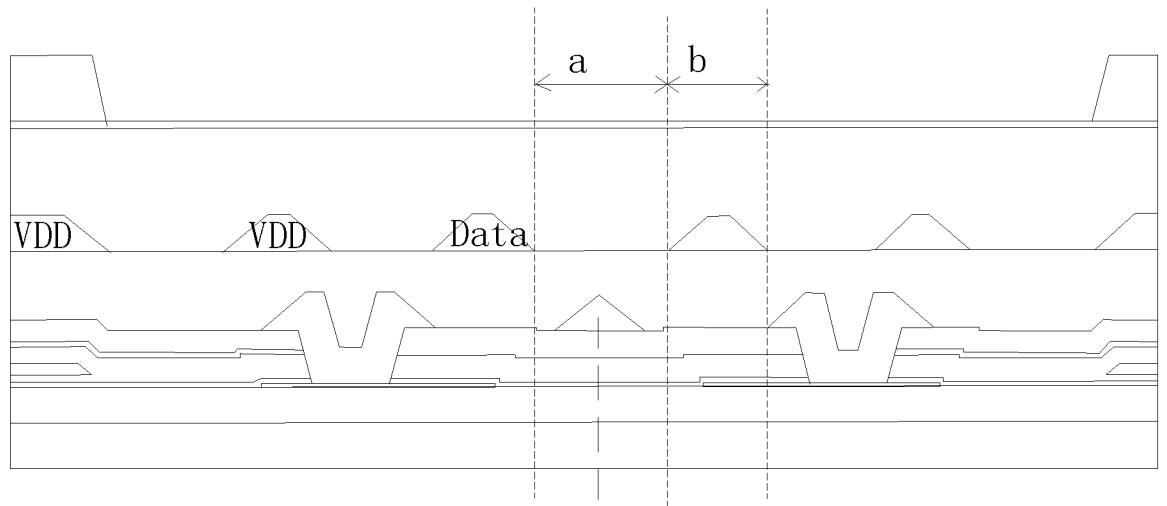


图 8

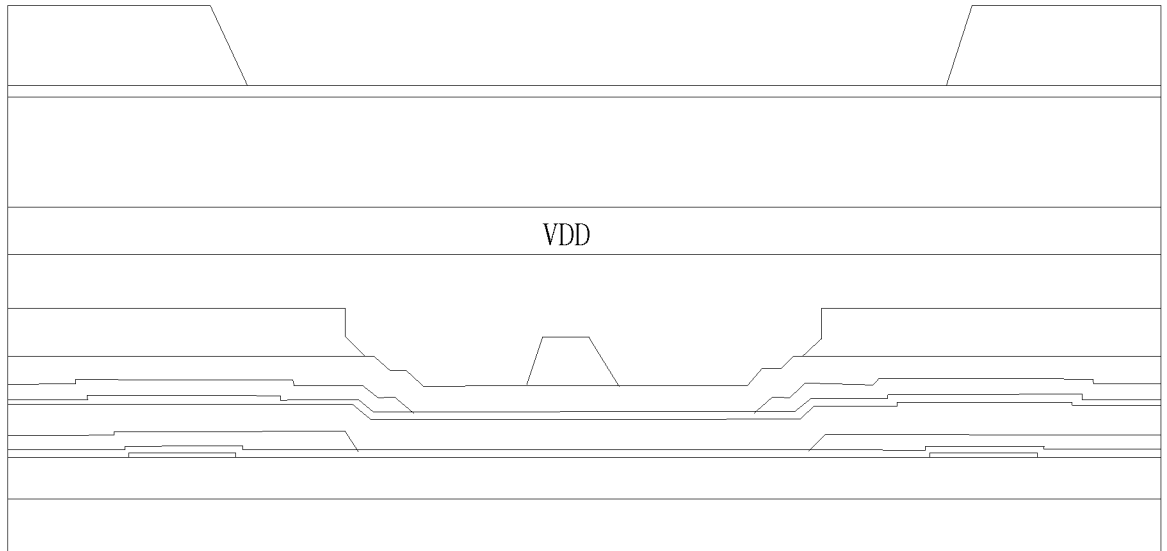


图 9

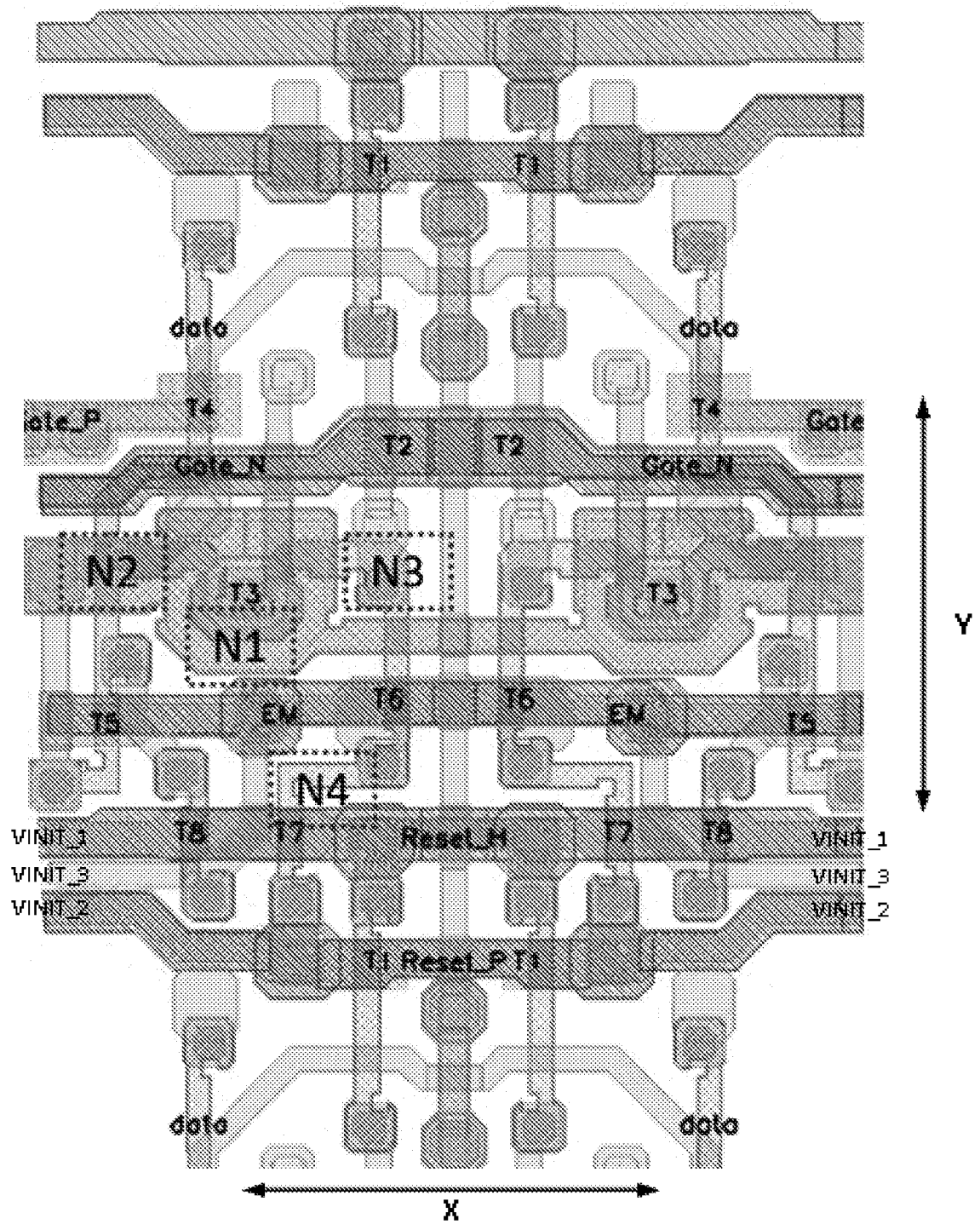


图 10

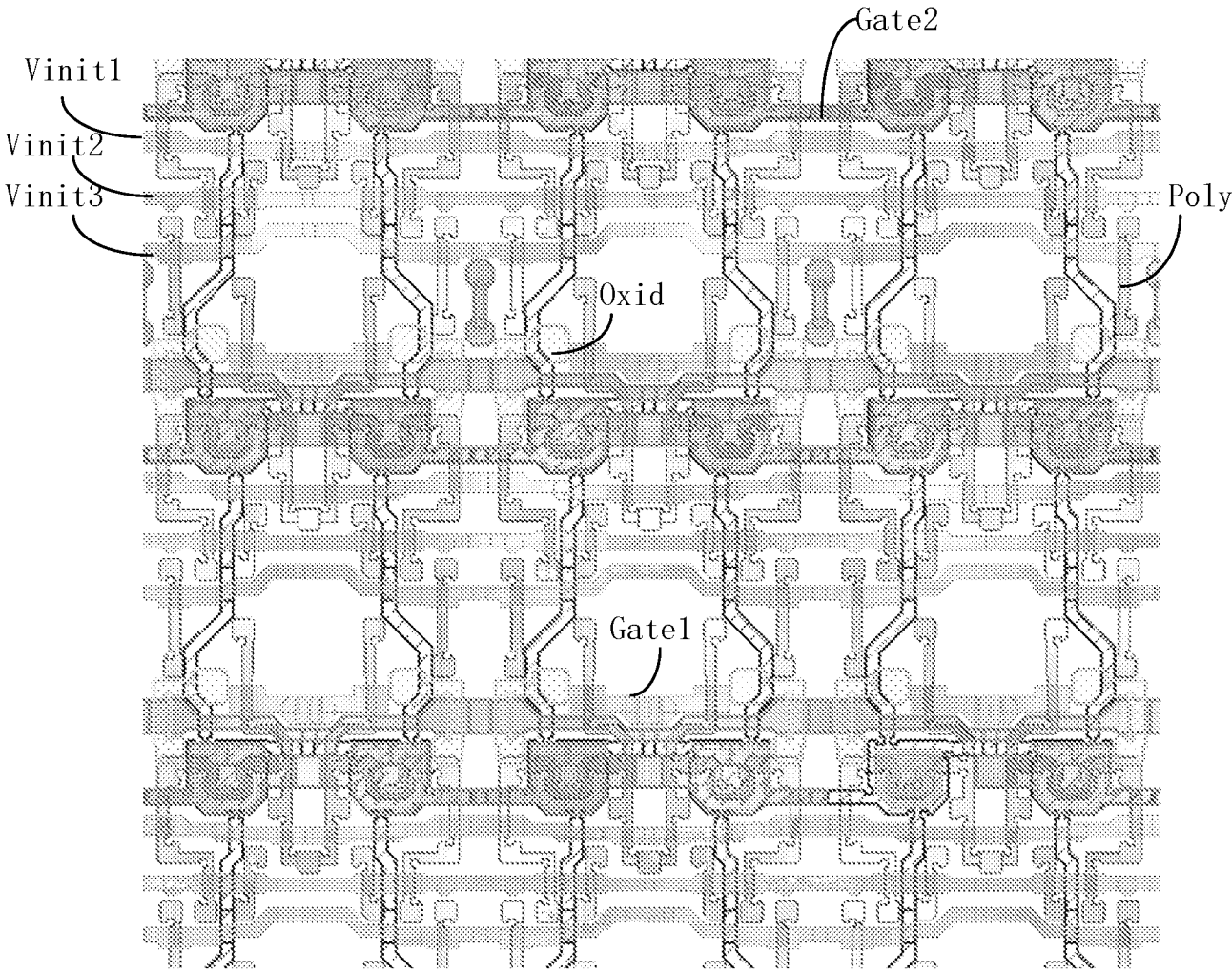


图 11

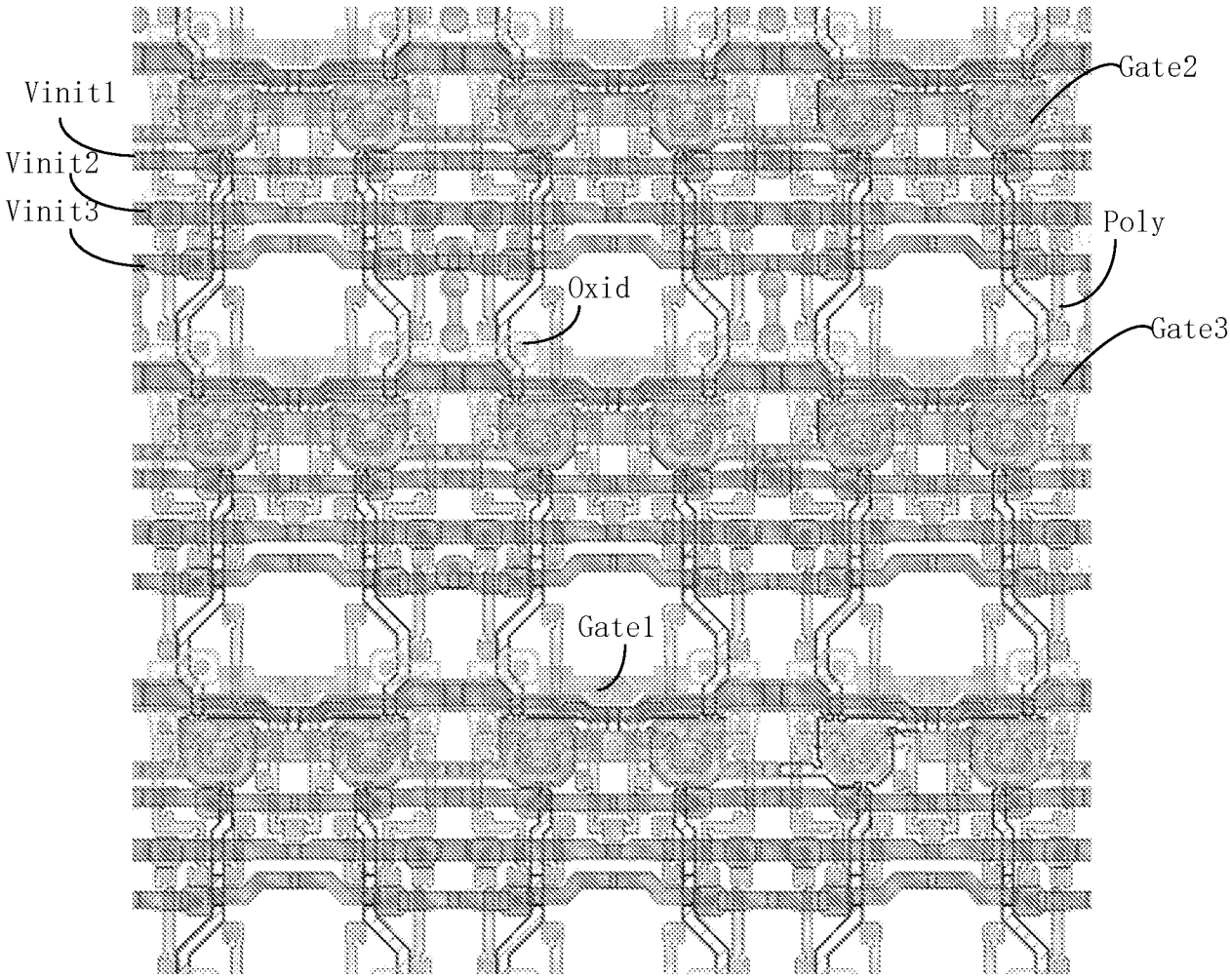


图 12

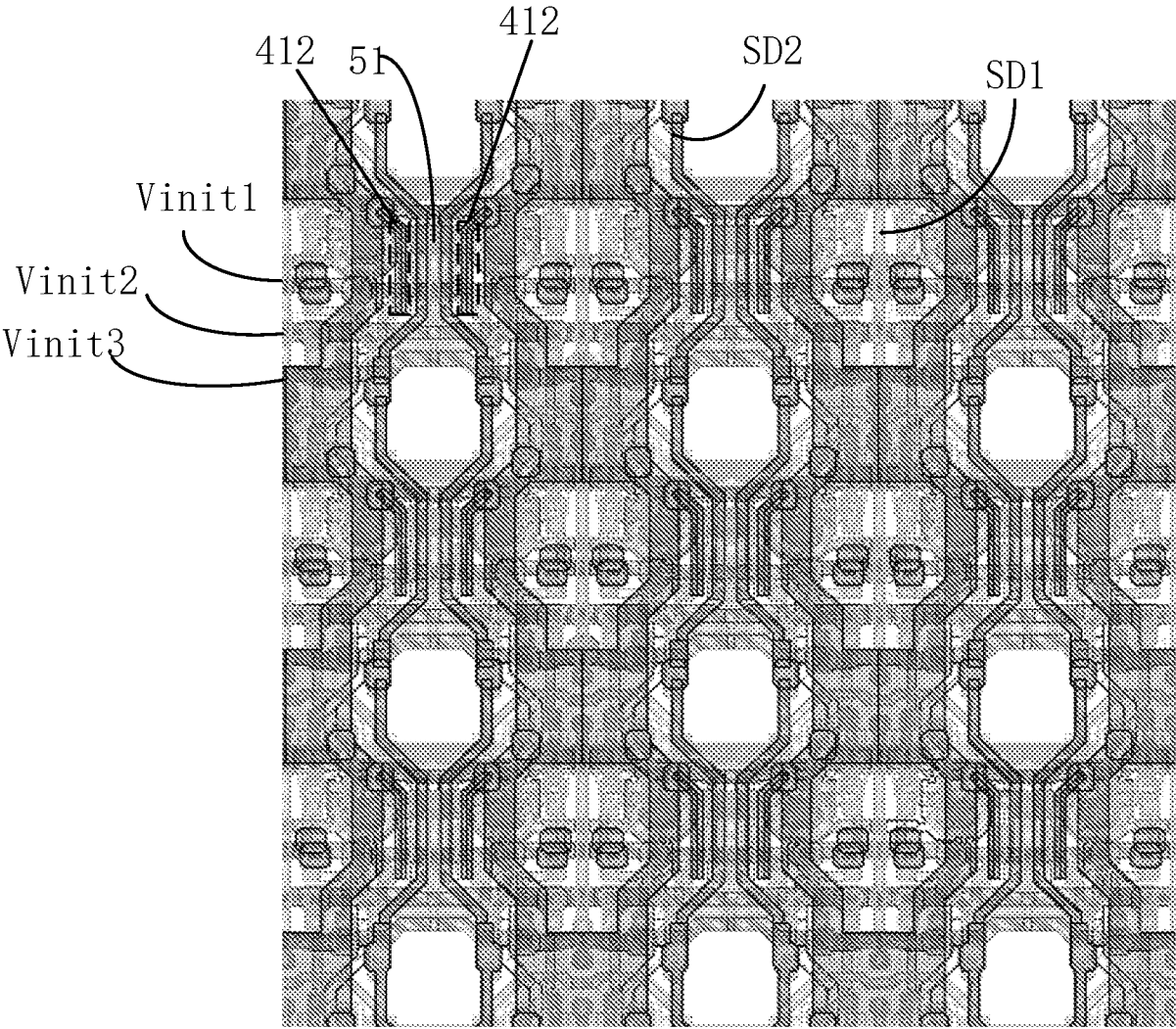


图 13

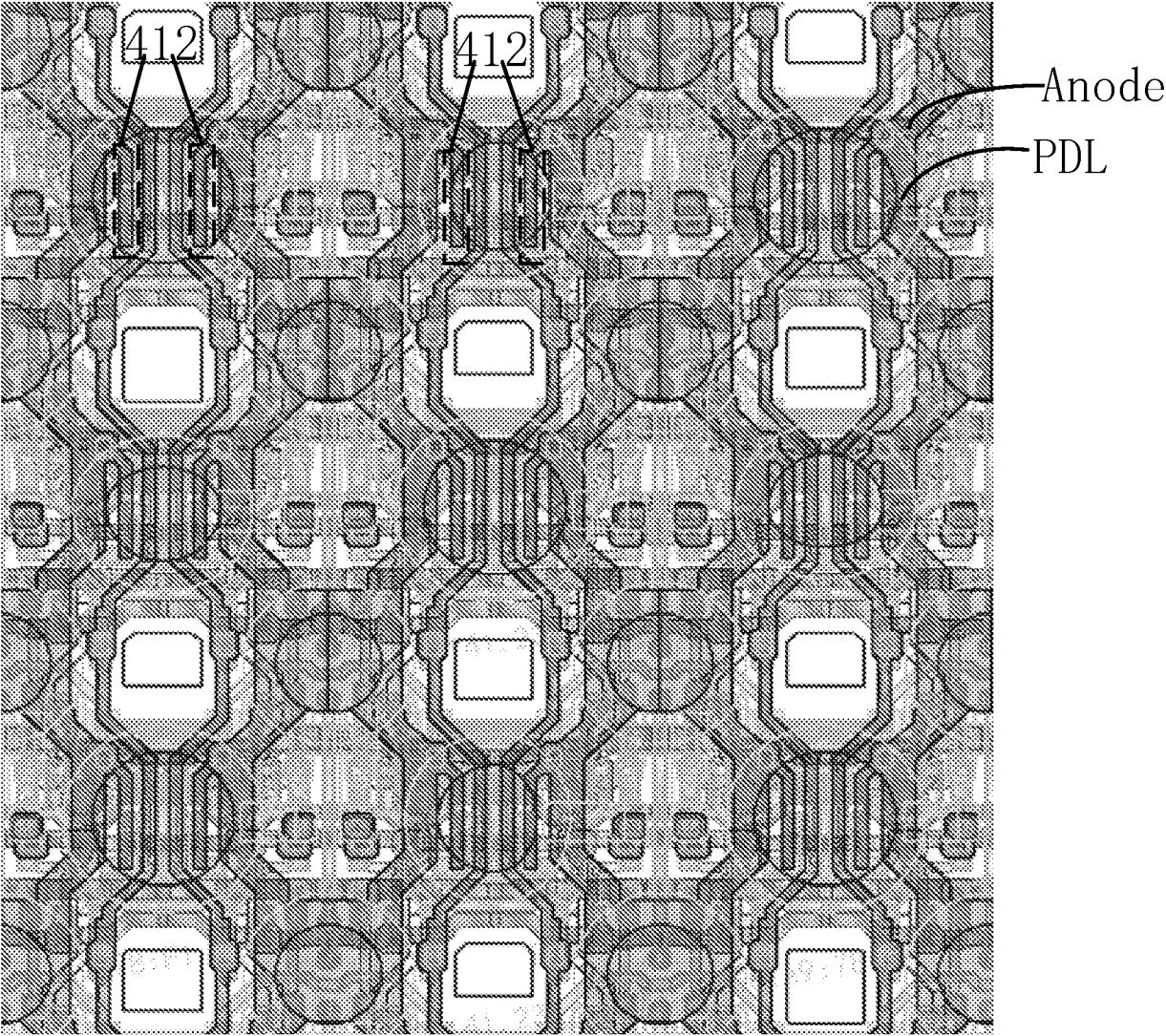


图 14

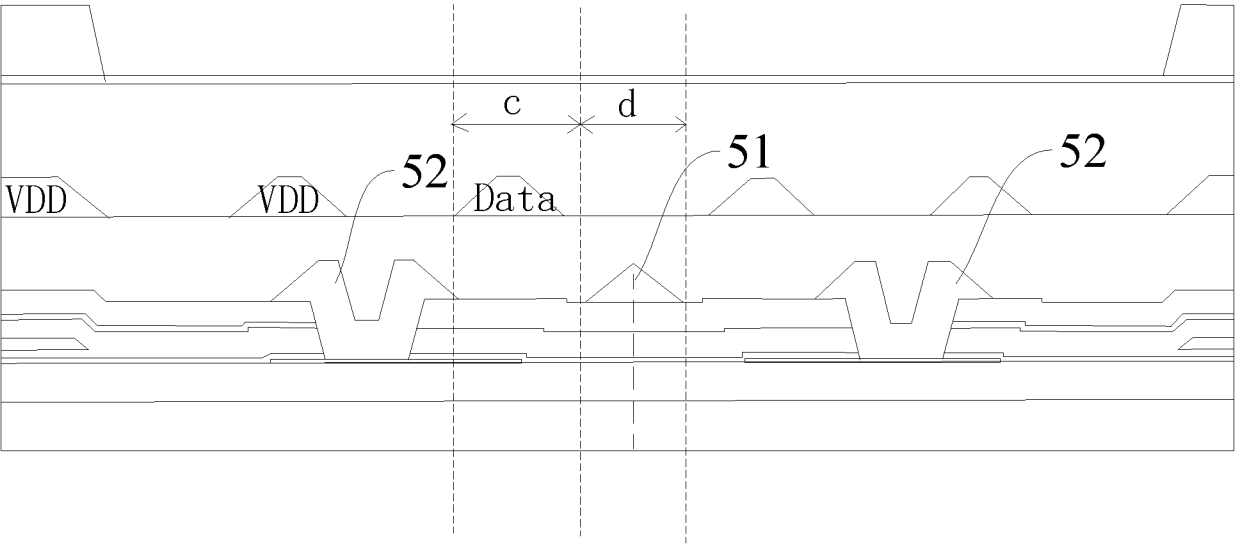


图 15

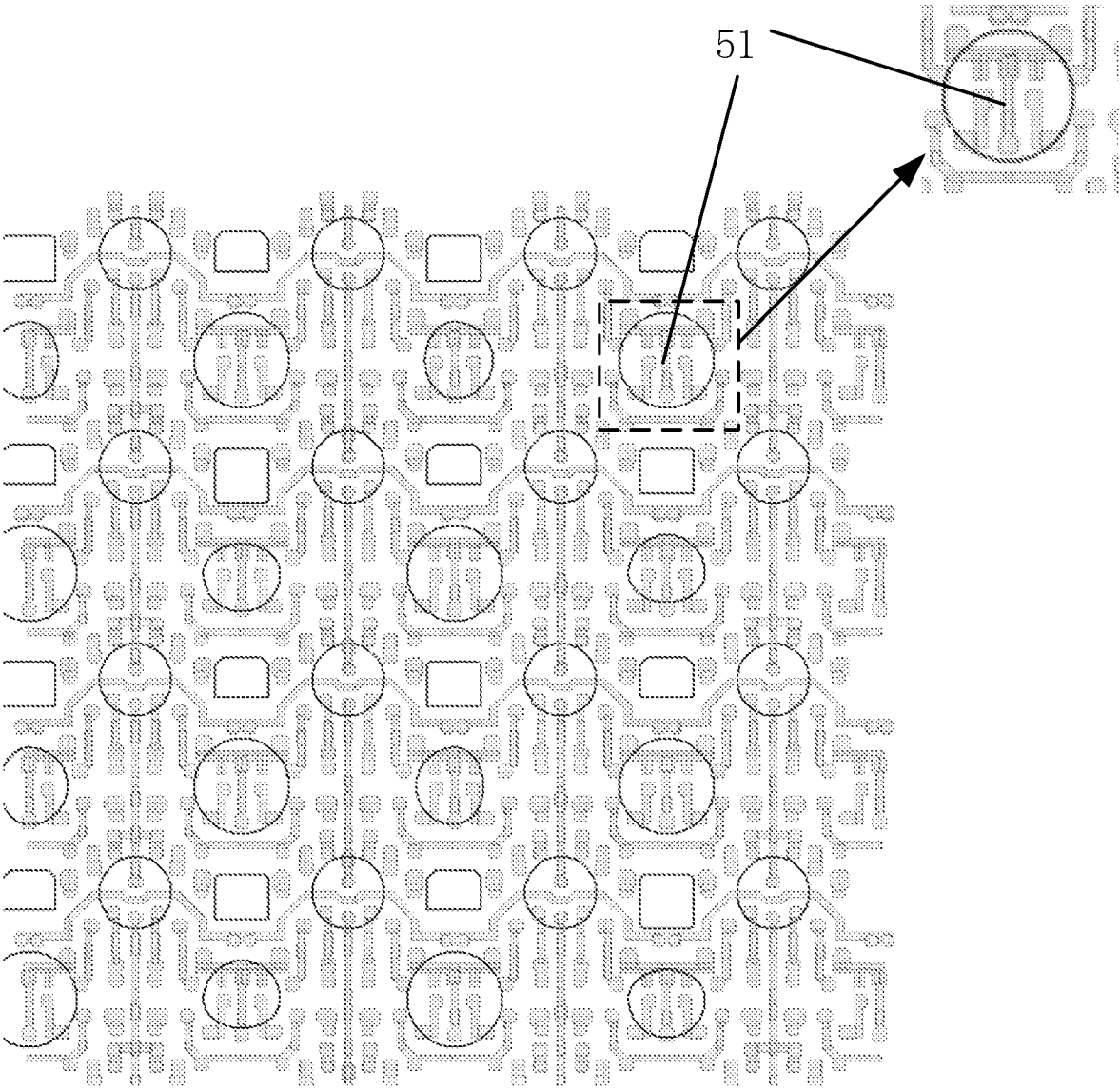


图 16

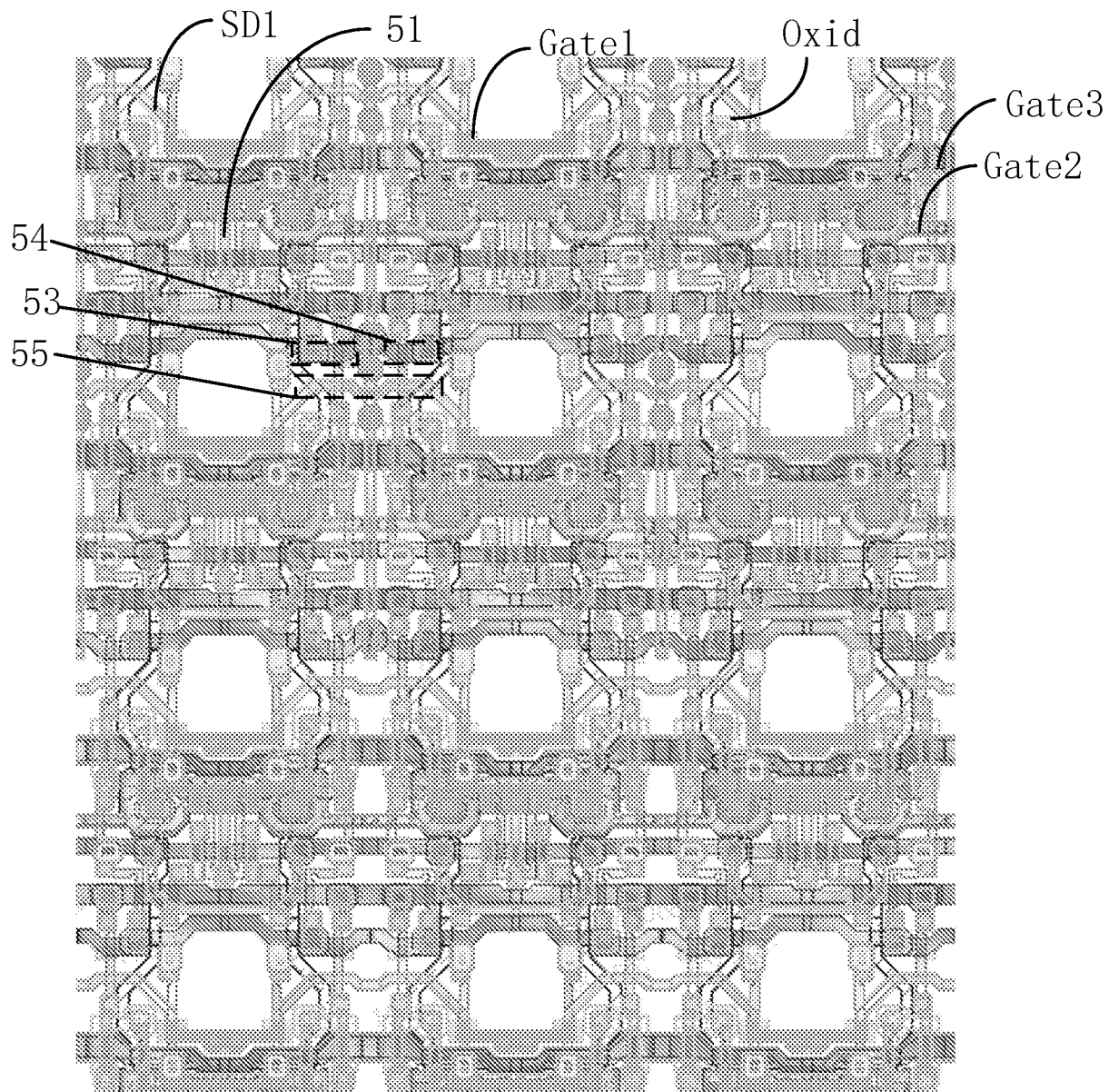


图 17

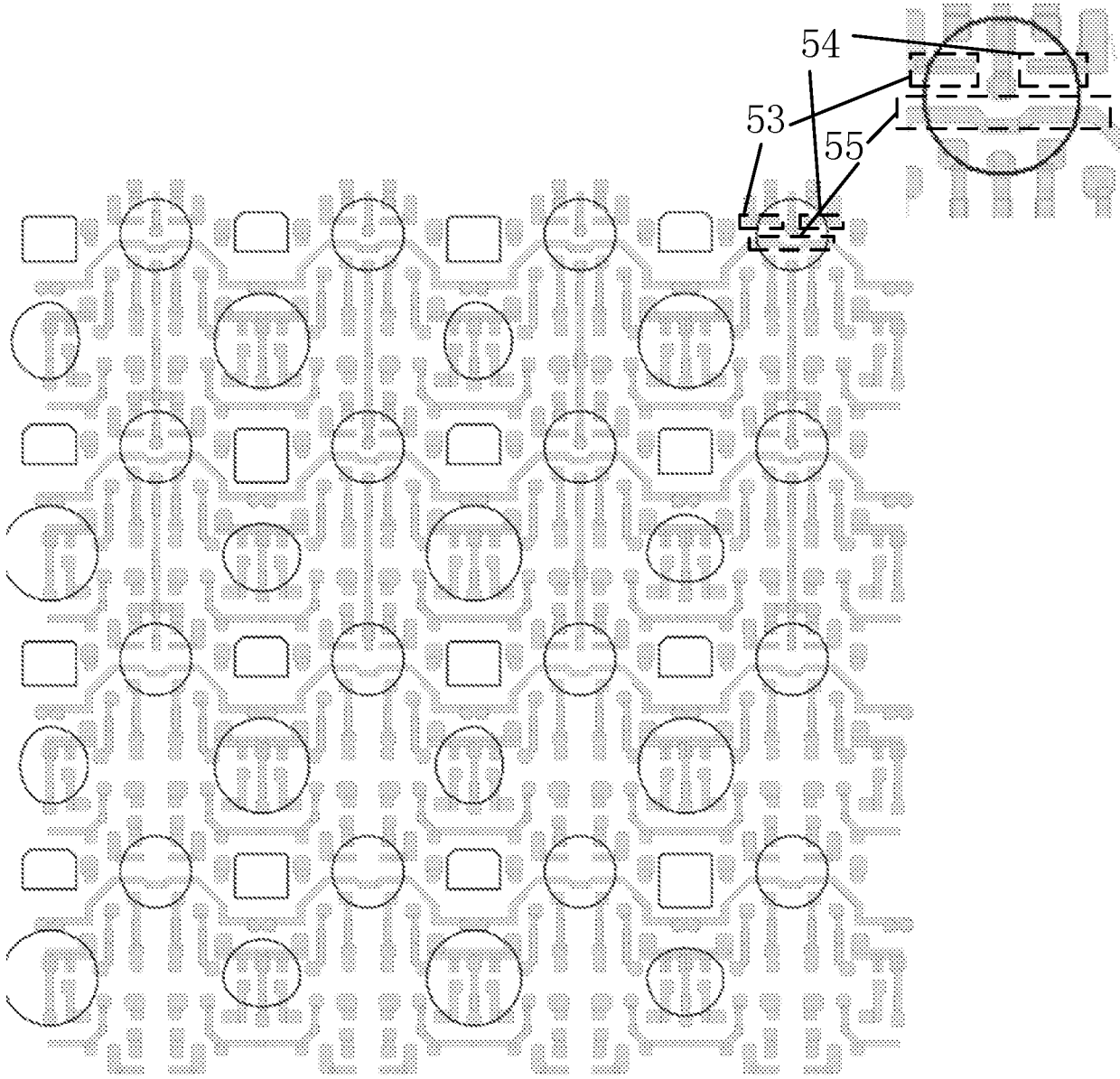


图 18

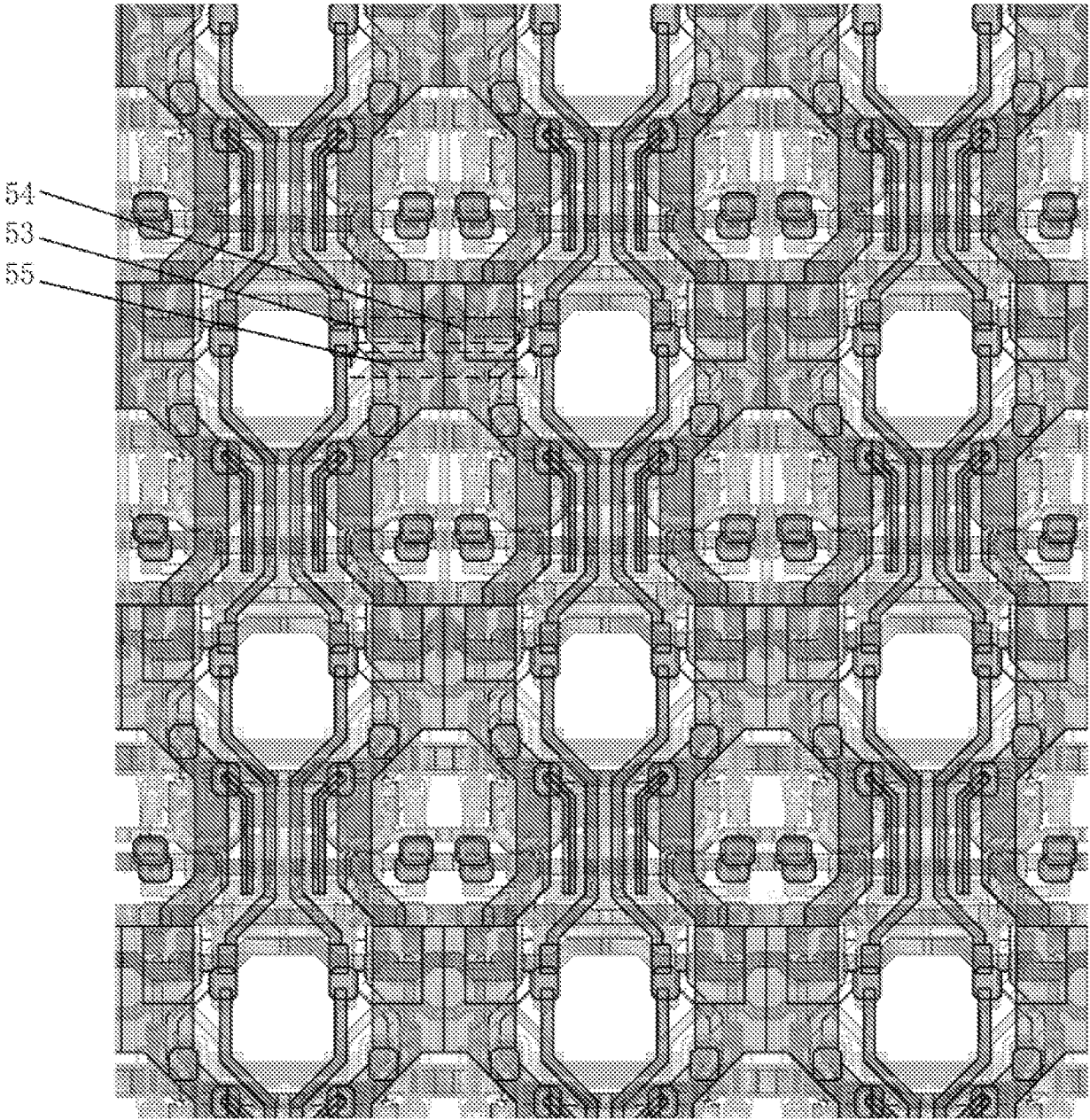


图 19

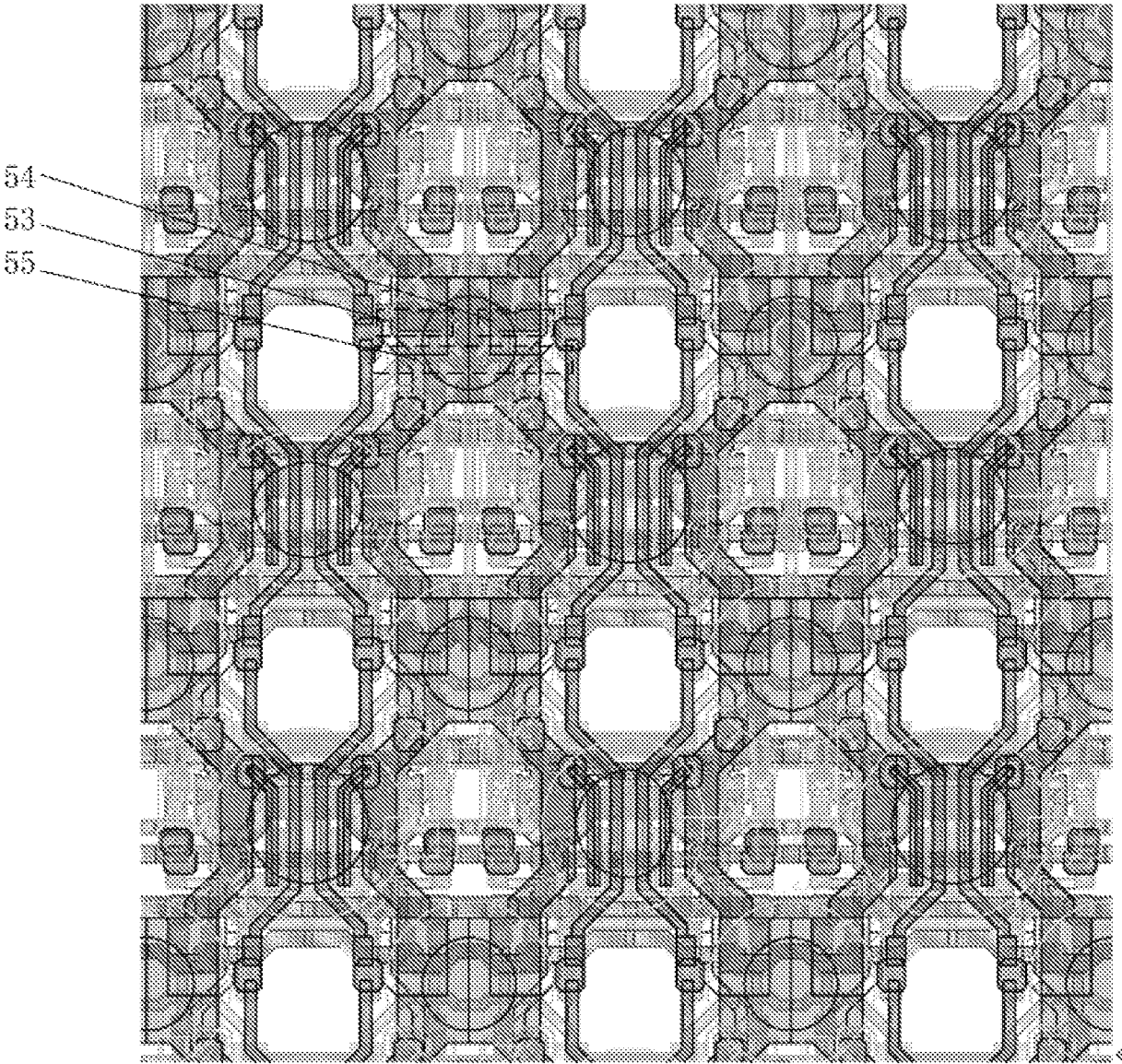


图 20

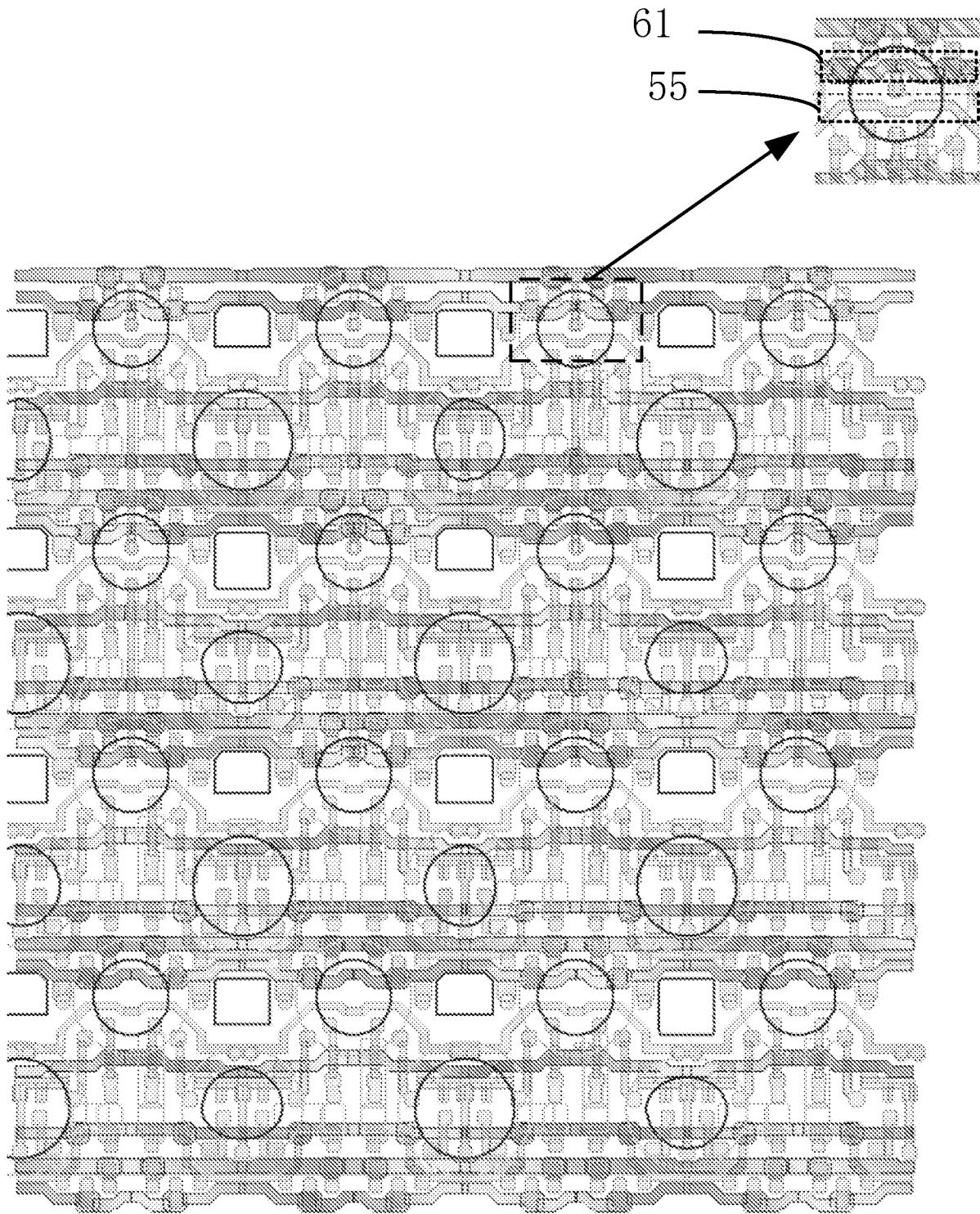


图 21

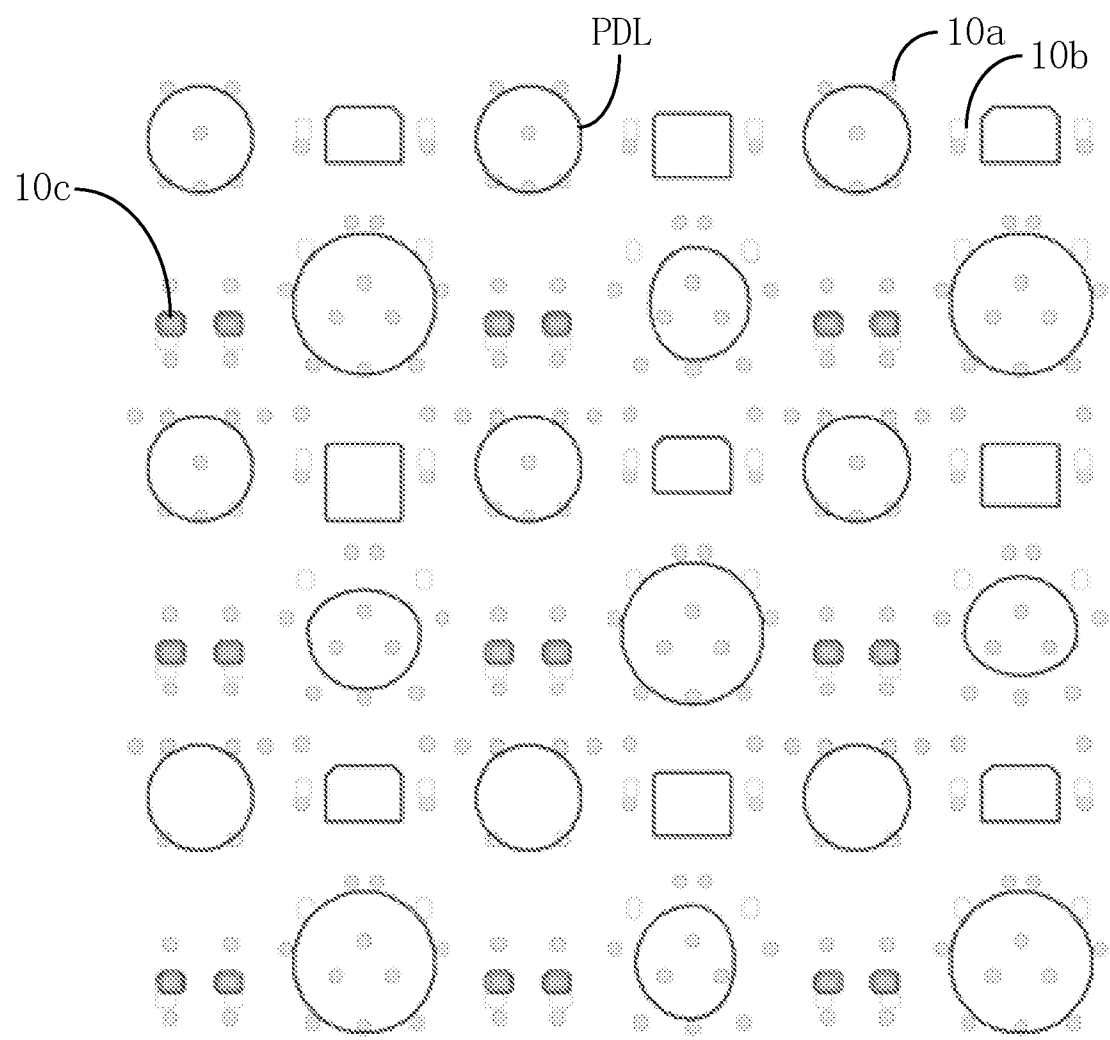


图 22

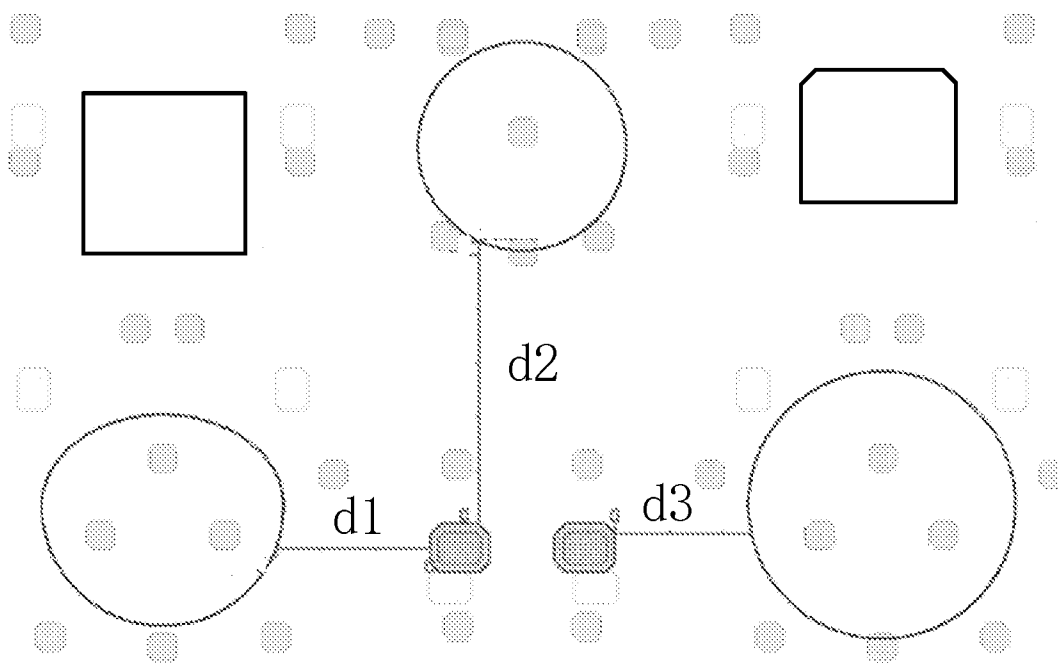


图 23

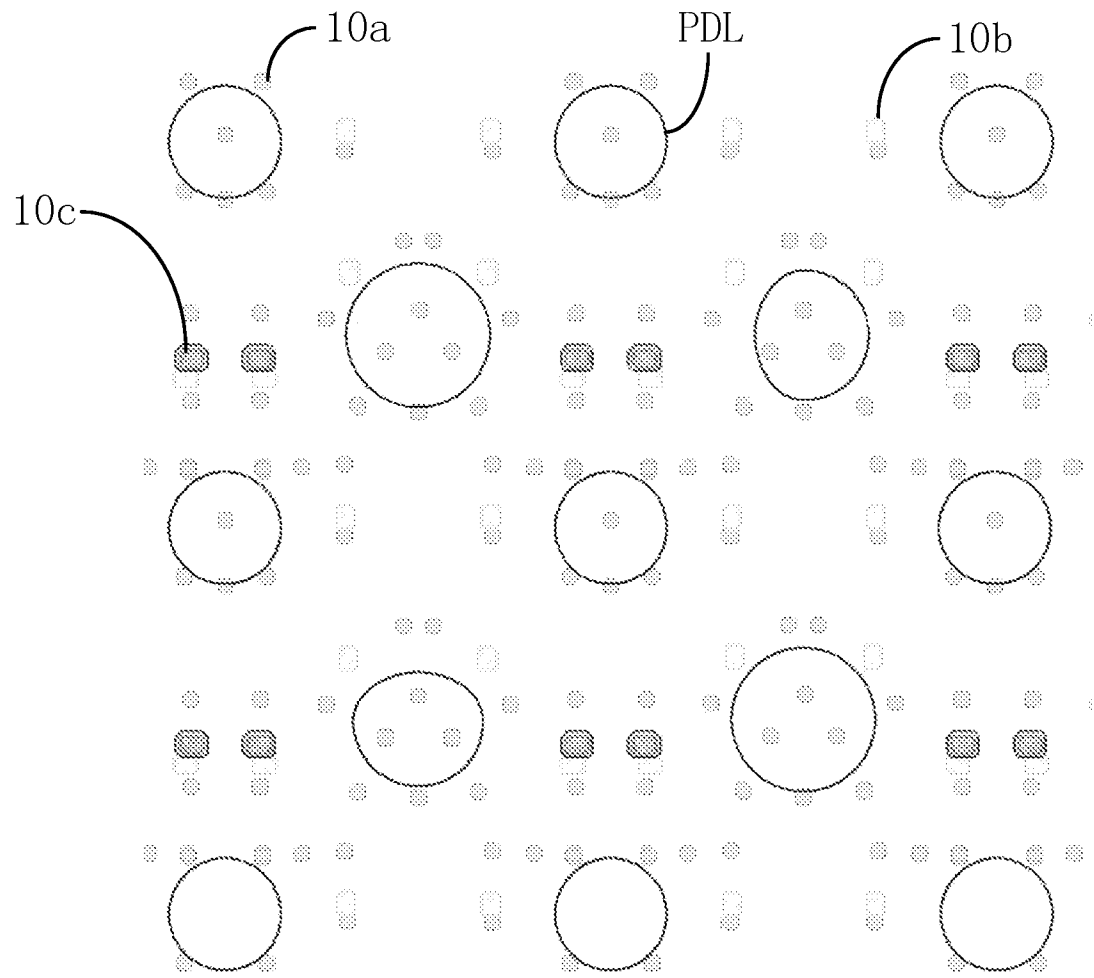


图 24

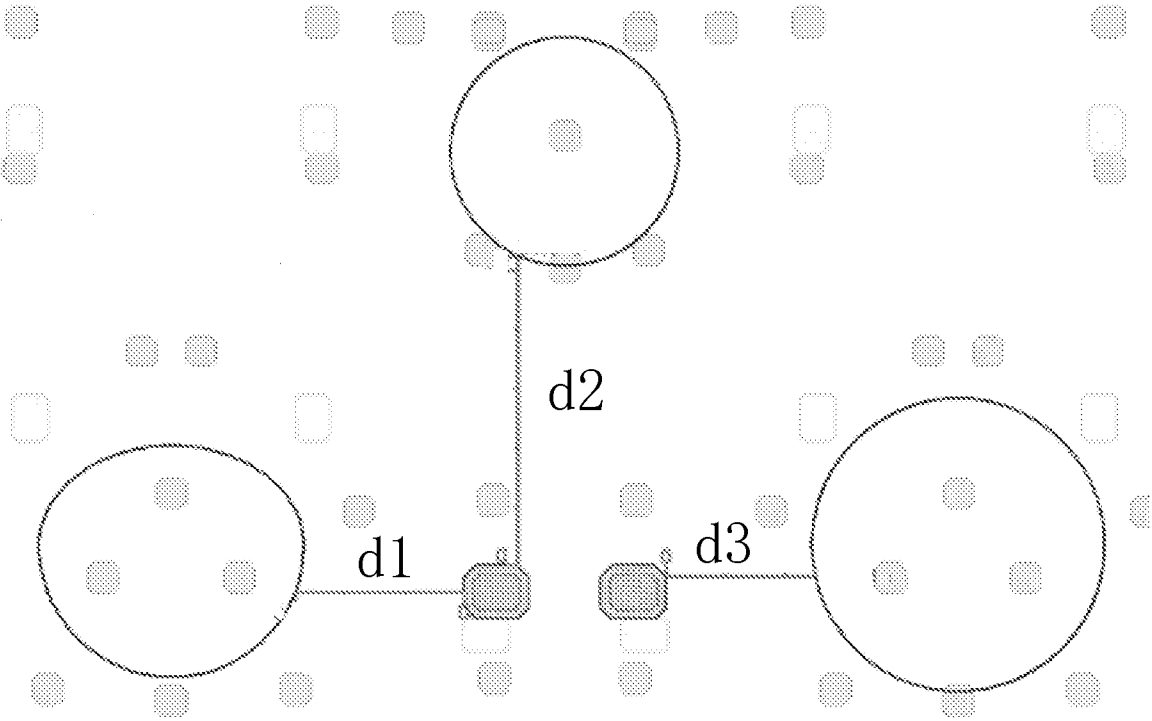


图 25

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/094323

A. CLASSIFICATION OF SUBJECT MATTER H10K59/131(2023.01)i; H10K59/80(2023.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: H10K, H01L Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 显示, 像素, 八晶体管, 八个晶体管, 阳极, 电极, 信号线, 电源线, 连接线, 重合, 重叠, 叠置, 交叠, 平坦, 平坦, display, pixel, eight, transistor, MOS, FET, anode, wiring, line, electrode, overlap, evenness, flat, planar		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 116685171 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 01 September 2023 (2023-09-01) description, paragraphs [0005]-[0120], and figures 1-25	1-15
X	WO 2023092512 A1 (BOE TECHNOLOGY GROUP CO., LTD. et al.) 01 June 2023 (2023-06-01) description, paragraphs [0004]-[0181], and figures 1-26	1-7, 12-13, 15
Y	WO 2023092512 A1 (BOE TECHNOLOGY GROUP CO., LTD. et al.) 01 June 2023 (2023-06-01) description, paragraphs [0004]-[0181], and figures 1-26	8-11, 14
Y	CN 115377165 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 22 November 2022 (2022-11-22) description, paragraphs [0005]-[0161], and figures 1-22	8-11, 14
X	CN 113078196 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 06 July 2021 (2021-07-06) description, paragraphs [0031]-[0061], and figures 1-8	1-7, 12-13, 15
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 09 July 2024		Date of mailing of the international search report 24 July 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/094323

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 113078196 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 06 July 2021 (2021-07-06) description, paragraphs [0031]-[0061], and figures 1-8	8-11, 14
A	US 2022115453 A1 (CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 14 April 2022 (2022-04-14) entire document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2024/094323

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	116685171	A	01 September 2023	None			
WO	2023092512	A1	01 June 2023	CN	116530234	A	01 August 2023
CN	115377165	A	22 November 2022	WO	2024046068	A1	07 March 2024
CN	113078196	A	06 July 2021	CN	113078196	B	11 October 2022
US	2022115453	A1	14 April 2022	WO	2021226785	A1	18 November 2021
				US	11950454	B2	02 April 2024
				EP	4152403	A1	22 March 2023
				EP	4152403	A4	31 May 2023
				CN	113924653	A	11 January 2022

A. 主题的分类

H10K59/131(2023.01)i; H10K59/80(2023.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H10K, H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 显示, 像素, 八晶体管, 八个晶体管, 阳极, 电极, 信号线, 电源线, 连接线, 重合, 重叠, 叠置, 交叠, 平坦, 平坦, display, pixel, eight, transistor, MOS, FET, anode, wiring, line, electrode, overlap, evenness, flat, planar

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 116685171 A (京东方科技集团股份有限公司 等) 2023年9月1日 (2023 - 09 - 01) 说明书第[0005]-[0120]段, 附图1-25	1-15
X	WO 2023092512 A1 (京东方科技集团股份有限公司 等) 2023年6月1日 (2023 - 06 - 01) 说明书第[0004]-[0181]段, 附图1-26	1-7,12-13,15
Y	WO 2023092512 A1 (京东方科技集团股份有限公司 等) 2023年6月1日 (2023 - 06 - 01) 说明书第[0004]-[0181]段, 附图1-26	8-11,14
Y	CN 115377165 A (京东方科技集团股份有限公司 等) 2022年11月22日 (2022 - 11 - 22) 说明书第[0005]-[0161]段, 附图1-22	8-11,14
X	CN 113078196 A (昆山国显光电有限公司) 2021年7月6日 (2021 - 07 - 06) 说明书第[0031]-[0061]段, 附图1-8	1-7,12-13,15
Y	CN 113078196 A (昆山国显光电有限公司) 2021年7月6日 (2021 - 07 - 06) 说明书第[0031]-[0061]段, 附图1-8	8-11,14

☒ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“p” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年7月9日

国际检索报告邮寄日期

2024年7月24日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

杨燕

电话号码 (+86) 010-53961450

PCT/ISA/210 表(第2页) (2022年7月)

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2022115453 A1 (CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. 等) 2022年4月14日 (2022 - 04 - 14) 全文	1-15

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/094323

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	116685171	A	2023年9月1日	无	
WO	2023092512	A1	2023年6月1日	CN	116530234 A 2023年8月1日
CN	115377165	A	2022年11月22日	WO	2024046068 A1 2024年3月7日
CN	113078196	A	2021年7月6日	CN	113078196 B 2022年10月11日
US	2022115453	A1	2022年4月14日	WO	2021226785 A1 2021年11月18日
				US	11950454 B2 2024年4月2日
				EP	4152403 A1 2023年3月22日
				EP	4152403 A4 2023年5月31日
				CN	113924653 A 2022年1月11日