

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 1 月 31 日(31.01.2013)



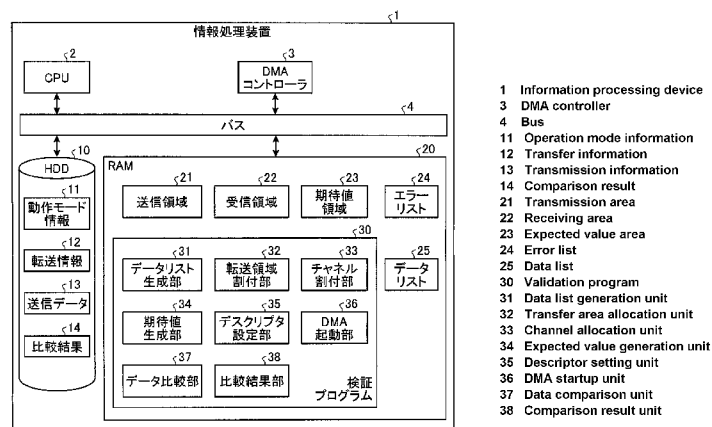
(10) 国際公開番号
WO 2013/014776 A1

- (51) 国際特許分類:
G06F 12/16 (2006.01) *G06F 13/362* (2006.01)
- (21) 国際出願番号: PCT/JP2011/067159
- (22) 国際出願日: 2011 年 7 月 27 日(27.07.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社(FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 浅野 恭史 (ASANO, Yasushi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 株式会社富士通コンピュータテクノロジーズ内 Kanagawa (JP).
- (74) 代理人: 酒井 宏明(SAKAI, Hiroaki); 〒1006020 東京都千代田区霞が関三丁目 2 番 5 号 霞が関ビルディング 酒井国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: VALIDATION PROGRAM, INFORMATION PROCESSING DEVICE AND VALIDATION METHOD

(54) 発明の名称: 検証プログラム、情報処理装置および検証方法

[図1]



(57) Abstract: An information processing device (1) generates a plurality of data for which the amount of data differs, and generates a plurality of addresses having values that have been shifted. In addition, the information processing device (1) associates the generated addresses in ascending order from the address with the smallest value, with the plurality of generated data in descending order of the amount of data. Furthermore, the information processing device (1) associates device information representing transfer channels of a DMA controller (3) in descending order of priority allocated to the transfer channels, with the generated data in descending order of the amount of data. Moreover, the information processing device (1) notify the transfer channels, which are represented by the device information associated with the data, that each piece of generated data has been transferred to the address associated with the data. The information processing device (1) then validates the priority between the plurality of transfer channels in accordance with the results indicating that the plurality of transfer channels has actually transferred each piece of data.

(57) 要約:

[続葉有]



情報処理装置（１）は、データ量が異なる複数のデータを生成し、値をずらした複数の前記アドレスを生成する。また、情報処理装置（１）は、生成した複数のデータに対して、データ量が多い順に、生成したアドレスを値が小さいアドレスから順に対応付ける。また、情報処理装置（１）は、生成したデータに対して、データ量が多い順に、DMAコントローラ（３）の転送チャンネルを示す装置情報を、転送チャンネルに割当てられた優先度が高い順に対応付ける。そして、情報処理装置（１）は、生成した各データを、データに対応付けたアドレスに転送する旨を、データに対応付けた装置情報が示す転送チャンネルに指示する。その後、情報処理装置（１）は、複数の転送チャンネルが実際に各データを転送した結果に応じて、複数の転送チャンネル間における優先度を検証する。

明 細 書

発明の名称： 検証プログラム、情報処理装置および検証方法

技術分野

[0001] 本発明は、検証プログラム、情報処理装置および検証方法に関する。

背景技術

[0002] 従来、それぞれ異なる優先度が設定された複数の転送チャンネルを有する転送装置が知られている。このような転送装置は、各転送チャンネルにデータが割当てられた場合には、各転送チャンネル間の優先度に応じた順序で、各転送チャンネルに割当てられたデータを転送させる優先制御を実行する。

[0003] ここで、転送装置が、優先制御を正確に実行しているか否かを検証するため、各転送チャンネルの信号線にロジックアナライザー等を接続し、信号線に流れる信号の波形を直接観測する技術が知られている。ところが、このような信号の波形を直接観測する技術では、信号線にロジックアナライザーを接続するために、転送装置の改造等を行うので、検証の手間がかかる。

[0004] そこで、複数のデータをそれぞれ異なる転送チャンネルに割り当て、各転送チャンネルから同じ記憶領域にデータを転送させることで、転送装置が優先制御を正確に実行したか否かを検証する検証プログラムが知られている。以下、このような検証プログラムの一例として、複数の転送チャンネルを有するDMA (Direct Memory Access) コントローラを検証する検証プログラムについて説明する。

[0005] 図19は、検証プログラムを実行する情報処理装置の一例を説明するための図である。図19に示す例では、情報処理装置50は、CPU (Central Processing Unit) 51、RAM (Random Access Memory) 52、DMAコントローラ53を有する。また、情報処理装置50は、CPU 51、RAM 52、DMAコントローラ53を相互に接続するバス54を有する。

[0006] CPU 51は、DMAコントローラ53が優先制御を正確に実行するか否

かを検証する検証プログラムを実行し、DMAコントローラ53が有する複数の転送チャネルにデータの割当てを行う。DMAコントローラ53は、転送チャネル#0と、転送チャネル#0よりも優先度が低い転送チャネル#1とを有し、各転送チャネル#0、#1に割当てられたデータをRAM52に転送する。

[0007] 図20は、優先制御が正確に行われているか否かを検証する検証プログラムの動作について説明するための図である。例えば、検証プログラムは、「1」のみからなるデータ#1を転送チャネル#1に割当てるとともに、「2」のみからなるデータ#0を転送チャネル#0に割当てて。そして、検証プログラムは、データ#0とデータ#1とをRAM52が有する転送データ格納領域52aに転送する旨の指示をDMAコントローラ53に対して行う。

[0008] すると、DMAコントローラ53は、転送チャネル#1よりも優先度が高い転送チャネル#0に割当てられたデータ#0を転送データ格納領域52aに転送し、その後、転送チャネル#1に割当てられたデータ#1を転送データ格納領域52aに転送する。すなわち、DMAコントローラ53は、転送データ格納領域52aに転送したデータ#0をデータ#1で上書きする。その後、検証プログラムは、転送データ格納領域52aに格納されたデータがデータ#1のみであるか否かを確認することにより、DMAコントローラ53が優先制御を正確に実行したか否かを検証する。

先行技術文献

特許文献

[0009] 特許文献1：特開昭63-289652号公報

発明の概要

発明が解決しようとする課題

[0010] しかし、複数のデータを同じ記憶領域に転送させる技術では、優先度が最も低い転送チャネルに割当てられたデータで、他の転送チャネルに割当てられたデータを上書きする。このため、優先度が最も低い転送チャネル以外の

転送チャネルに割当てられたデータがロストしたか否かを判別できないという問題がある。

[0011] また、複数のデータを同じ記憶領域に転送させる技術では、転送装置が3つ以上の転送チャネルを有する場合には、優先度が最も高い転送チャネル以外の転送チャネルについて、優先制御を正確に行ったか否かを判別することができない。以下、検証プログラムが、転送装置が3つ以上の転送チャネルを有する場合に、優先制御を正確に行ったか否かを判別できないという問題について説明する。

[0012] 図21は、従来技術における問題の一例を説明するための図である。図21に示す例では、DMAコントローラ53は、転送チャネル#0と、転送チャネル#0よりも優先度が低い転送チャネル#1と転送チャネル#1より優先度が低い転送チャネル#2を有する。このようなDMAコントローラ53は、各転送チャネルにデータ#0～#2が割当てられた場合には、最も優先度が低い転送チャネル#2に割当てられたデータ#2を、最後に転送データ格納領域52aへ転送する。

[0013] しかし、検証プログラムは、転送データ格納領域52aにデータ#2のみが格納されている場合は、データ#0とデータ#1のうち、どちらのデータが先に転送データ格納領域52aに格納されたのかを判別できない。この結果、検証プログラムは、転送チャネル#0と転送チャネル#1について、DMAコントローラ53が優先制御を正確に実行したか否かを検証できない。

[0014] 本願に開示の技術は、1つの側面では、転送装置の優先制御の実行を検証する。

課題を解決するための手段

[0015] 1つの側面では、それぞれ異なる優先度が割当てられた複数の転送装置間の優先制御を検証する情報処理装置である。このような情報処理装置は、データ量が異なる複数のデータを生成する。また、情報処理装置は、値をずらした複数のアドレスを生成する。また、情報処理装置は、生成した複数のデータに対して、データ量が多い順に、生成したアドレスをその値が小さい順に

対応付ける。また、情報処理装置は、生成した複数のデータに対して、データ量が多い順に、割り当てられた優先度が高い順に転送装置を示す装置情報を対応付ける。そして、情報処理装置は、生成した各データを、データに対応付けたアドレスに転送する旨を、データに対応付けた装置情報が示す転送装置に指示する。その後、情報処理装置は、複数の転送装置が各データを転送した結果に応じて、複数の転送装置間における優先度を検証する。

発明の効果

[0016] 一つの側面では、転送装置の優先制御の実行を検証できる。

図面の簡単な説明

[0017] [図1]図1は、実施例1に係る情報処理装置の一例を説明するための図である。

[図2]図2は、実施例1に係るDMAコントローラについて説明するための図である。

[図3]図3は、優先制御のルールが固定である場合に、DMAコントローラがValid Channelを割当てて処理の一例を説明するための図である。

[図4]図4は、優先制御のルールが循環である場合に、DMAコントローラがValid Channelを割当てて処理の一例を説明するための図である。

[図5]図5は、実施例1に係る動作モード情報の一例について説明するための図である。

[図6]図6は、実施例1に係る転送情報の一例について説明するための図である。

[図7]図7は、実施例1に係る送信データの一例を説明するための図である。

[図8]図8は、実施例1に係るエラーリストの一例を説明するための図である。

[図9A]図9Aは、実施例1に係るデータリストの一例を説明するための図である。

[図9B]図9Bは、実施例1に係る転送領域割付部が実行する処理の一例を説明するための第1の図である。

[図9C]図9Cは、実施例1に係る転送領域割付部が実行する処理の一例を説明するための第2の図である。

[図10]図10は、優先制御が固定の場合にチャンネル割付部が割付けるチャンネル番号の一例を説明するための図である。

[図11]図11は、優先制御が循環の場合にチャンネル割付部が割付けるチャンネル番号の一例を説明するための図である。

[図12]図12は、期待値の一例を説明するための図である。

[図13]図13は、デスクリプタの一例を説明するための図である。

[図14]図14は、優先制御が正確に行われなかった際に受信領域に格納されるデータの一例を説明するための図である。

[図15]図15は、DMAコントローラがデスクリプタに従ってデータを送信する処理の一例を説明するための図である。

[図16]図16は、受信領域に記憶されるデータの一例を説明するための図である。

[図17]図17は、データとデスクリプタと受信領域との対応を説明するための図である。

[図18]図18は、実施例1に係る情報処理装置が実行する処理の流れの一例を説明するためのフローチャートである。

[図19]図19は、検証プログラムを実行する情報処理装置の一例を説明するための図である。

[図20]図20は、優先制御が正確に行われているか否かを検証する検証プログラムの動作について説明するための図である。

[図21]図21は、従来技術における問題の一例を説明するための図である。

発明を実施するための形態

[0018] 以下に添付図面を参照して本願に係る検証プログラム、情報処理装置および検証方法について説明する。

実施例 1

[0019] 以下の実施例 1 では、図 1 を用いて、情報処理装置の一例を説明する。図 1 は、実施例 1 に係る情報処理装置の一例を説明するための図である。

[0020] 図 1 に示すように、情報処理装置 1 は、CPU (Central Processing Unit) 2、DMA (Direct Memory Access) コントローラ 3、HDD (Hard Disk Drive) 10、RAM (Random Access Memory) 20 を有する。また、情報処理装置 1 は、CPU 2、HDD 10、RAM 20 を相互に接続するバス 4 を有する。

[0021] また、HDD 10 は、動作モード情報 11、転送情報 12、送信データ 13、比較結果 14 を記憶する。また、RAM 20 は、送信領域 21、受信領域 22、期待値領域 23 を有し、エラーリスト 24、データリスト 25、検証プログラム 30 を記憶する。また、検証プログラム 30 は、データリスト生成部 31、転送領域割付部 32、チャネル割付部 33、期待値生成部 34、デスクリプタ設定部 35、DMA 起動部 36、データ比較部 37、比較結果部 38 を有する。

[0022] CPU 2 は、RAM 20 が記憶する検証プログラム 30 を読み出し、検証プログラム 30 が有する各部 31～38 の処理を実行する演算処理装置である。具体的には、CPU 2 は、RAM 20 から検証プログラム 30 を読み出し、検証プログラム 30 が有する各部 31～38 の機能を順番に実行する。このような検証プログラム 30 を実行することにより、CPU 2 は、DMA コントローラ 3 がデータを転送するためのデータリスト 25 を生成する。

[0023] また、CPU 2 は、DMA コントローラ 3 が正常に優先制御を実行した際の結果を期待値として生成し、生成した期待値を期待値領域 23 に記憶させる。その後、CPU 2 は、DMA コントローラ 3 の起動処理を実行し、データリスト 25 に従って、送信領域 21 に記憶されたデータを受信領域 22 に転送させる。また、CPU 2 は、DMA コントローラ 3 が受信領域 22 に転送したデータと期待値領域 23 に記憶させた期待値とが一致するか否かを判別する。そして、CPU 2 は、DMA コントローラ 3 が受信領域 22 に転送

したデータと期待値領域 23 に記憶させた期待値とが一致すると判別した場合には、DMA コントローラ 3 が優先処理を正確に実行したと判定する。

[0024] DMA コントローラ 3 は、CPU 2 を介することなく、RAM 20 に記憶された情報の転送を行う。具体的には、DMA コントローラ 3 は、CPU 2 が検証プログラム 30 を実行することにより生成されたデスクリプタに従って、送信領域 21 のデータを受信領域 22 に転送する。以下、図を用いて、DMA コントローラ 3 について詳細に説明する。

[0025] 図 2 は、実施例 1 に係る DMA コントローラについて説明するための図である。図 2 に示す例では、DMA コントローラ 3 は、複数の転送チャネル #0 ~ #7、コントローラ 3a、FIFO (Fast In Fast Out) 3c を有する。各転送チャネル #0 ~ #7 は、コントローラ 3a によってデスクリプタに基づくデータの指定を受信した場合には、指定されたデータの読み出し要求である Read Address Valid をコントローラ 3a に出力する。

[0026] そして、各転送チャネル #0 ~ #7 は、コントローラ 3a が有するプライオリティコントローラ 3b から Valid Channel が割当てられた場合には、RAM 20 が有する送信領域 21 からデータを取得し、取得したデータをコントローラ 3a に送信する。また、各転送チャネル #0 ~ #7 は、Valid Channel を割当てられた場合には、Read Address Valid の出力を終了する。

[0027] コントローラ 3a は、DMA コントローラ 3 の起動処理が実行された場合には、RAM 20 に記憶されたデスクリプタを取得し、取得したデスクリプタに基づいて、取得するデータの指定を各転送チャネル #0 ~ #7 に対して送信する。また、コントローラ 3a は、各転送チャネル #0 ~ #7 からデータを受信した場合には、受信領域 22 のうちデスクリプタが示す送信先に受信したデータを FIFO 3c に送信する。

[0028] プライオリティコントローラ 3b は、各転送チャネル #0 ~ #7 の優先制御を実行する。具体的には、プライオリティコントローラ 3b は、所定の時

間隔で、各転送チャネル#0～#7のうち、Read Address Validを出力している転送チャネルを判別する。

[0029] そして、プライオリティコントローラ3bは、優先制御のルールが固定(Rotated)である場合には、判別した転送チャネルから前回Valid Channelを割当てた転送チャネルの次の番号の転送チャネルにValid Channelを割当てる。すなわち、プライオリティコントローラ3bは、各転送チャネル#0～#7のうち、最も優先度が高い転送チャネルをラウンドロビン方式で決定する。

[0030] また、プライオリティコントローラ3bは、優先制御のルールが固定(Fixed)である場合には、判別した転送チャネルのうち、番号が最も小さい転送チャネルを選択し、選択した転送チャネルに対してValid Channelを割当てる。つまり、プライオリティコントローラ3bは、転送チャネル#0を最も優先度の高い転送チャネルとし、番号が増えるに従って優先度が低い転送チャネルであると判別する。

[0031] なお、プライオリティコントローラ3bは、各転送チャネル#0～#7に対して任意の順番で優先度を設定することができる。すなわち、プライオリティコントローラ3bは、各転送チャネル#0～#7に対してハードに依存した優先度を割当てることができる。また、プライオリティコントローラ3bは、CPU2から優先制御のルールの通知要求を受信した場合には、優先制御のルールが循環であるか固定であるかを通知する。合わせて、プライオリティコントローラ3bは、各転送チャネル#0～#7に割当られた優先度を通知する。

[0032] FIFO3cは、コントローラ3aからデータを受信した順番に記憶し、先に受信したデータから順番にRAM20へ送信する。つまり、FIFO3cは、各転送チャネル#0～#7に対して指定されたデータを、各転送チャネル#0～#7の優先度に応じた順番で受信し、受信したデータを受信した順にRAM20へ送信する。

[0033] 次に、図を用いて、DMAコントローラ3が各転送チャネル#0～#7に

Valid Channelを割当てて処理の一例について説明する。まず、図3を用いて、優先制御のルールが固定である場合に、DMAコントローラ3が各転送チャネル#0～#7にValid Channelを割当てて処理の一例を説明する。

[0034] 図3は、優先制御のルールが固定である場合に、DMAコントローラがValid Channelを割当てて処理の一例を説明するための図である。図3に示す例では、各転送チャネル#0～#7から出力されるRead Address Valid信号と、DMAコントローラ3が割当ててValid Channelとを示した。

[0035] なお、図3に示す例では、各転送チャネル#0～#7から出力されるRead Address Valid信号をRead Address Valid CH#0～#7として示した。なお、図3には、各転送チャネル#0～#7がそれぞれ2つのデータを送信する例について示した。また、図3に示す例では、番号が若い転送チャネルほど、優先度が高いものとする。すなわち、転送チャネル#0の優先度が最も高く、転送チャネル#7の優先度が最も低いものとする。

[0036] 例えば、図3に示す例では、各転送チャネル#0～#7から出力されるRead Address Valid#0～#7が同時に「High」となる。このような場合には、DMAコントローラ3は、転送チャネル#0にValid Channelを割当てて。このため、転送チャネル#0から出力されるRead Address Valid CH#0が「Low」となる。

[0037] 次に、DMAコントローラ3は、図3中(A)に示すように、転送チャネル#0にValid Channelを割当ててから所定の時間が経過したタイミングで、各Read Address Valid CH#0～#7を確認する。図3中(A)に示す例では、Read Address Valid#0～#7のうち、Read Address Valid CH#1～#7が「High」となっている。このため、DMAコントローラ3は

、転送チャネル#1～#7のうち、最も若番である転送チャネル#1、すなわち、最も優先度が高い転送チャネル#1にValid Channelを割当てて。

[0038] ここで、Valid Channelが転送チャネル#1に割当てられた後に、転送チャネル#0が1つ目のデータの送信を終了し、2つ目のデータを送信するため、Read Address Valid CH#0を「High」とする。このため、図3中(B)において、Read Address Valid CH#0、#2～#7が「High」となっているので、DMAコントローラ3は、最も若番である転送チャネル#0にValid Channelを割当てて。

[0039] その後、転送チャネル#0は、データの転送を終了し、Read Address Valid CH#0を「Low」に保つ。他の転送チャネル#1～#7も、Valid Channelの割り当てを受け、2つのデータを転送した場合には、Read Address Validを「Low」に保つ。

[0040] このような処理を実行することで、DMAコントローラ3は、図3に示す例では、Valid Channelを転送チャネル「#0」、「#1」、「#0」、「#1」、「#2」、「#3」、「#2」、「#3」、「#4」、「#5」…という順に割当てて。つまり、DMAコントローラ3は、優先制御のルールが固定である場合には、各転送チャネル#0～#7に対して、送信するデータの数分だけ、1つ飛ばしにValid Channelを割当てて。換言すると、DMAコントローラ3は、優先制御のルールが固定である場合には、各転送チャネル#0～#7に対して、送信するデータの数分だけValid Channelを、ちどり状態で割当てて。

[0041] 次に、図4を用いて、優先制御のルールが循環である場合に、DMAコントローラ3が各転送チャネル#0～#7にValid Channelを割当てて処理の一例を説明する。図4は、優先制御のルールが循環である場合に、DMAコントローラがValid Channelを割当てて処理の一

例を説明するための図である。

- [0042] なお、図4に示す例では、図3と同様に、各転送チャネル#0～#7から出力されるRead Address Valid信号と、DMAコントローラ3が割当てたValid Channelとを示した。また、図4に示す例では、図3と同様に、各転送チャネル#0～#7がそれぞれ2つのデータを送信する例について示した。
- [0043] 例えば、図4に示す例では、各転送チャネル#0～#7から出力されるRead Address Valid#0～#7が同時に「High」となる。このような場合には、DMAコントローラ3は、転送チャネル#0にValid Channelを割当てた。
- [0044] 次に、DMAコントローラ3は、転送チャネル#0にValid Channelを割当ててから所定の時間が経過したタイミングで、各Read Address Valid CH#0～#7を確認する。図4に示す例では、Read Address Valid#0～#7のうち、Read Address Valid CH#1～#7が「High」となっている。このため、DMAコントローラ3は、転送チャネル#1～#7のうち、前回Valid Channelを割当てた転送チャネル#0の次の若番である転送チャネル#1にValid Channelを割当てた。
- [0045] ここで、Valid Channelが転送チャネル#1に割当てられた後に、転送チャネル#0が1つ目のデータの送信を終了し、2つ目のデータを送信するため、Read Address Valid CH#0を「High」とする。しかし、優先制御のルールが循環であるので、転送チャネル#1にValid Channelを割当てた後においては、転送チャネル#2の優先度が最も高い。このため、DMAコントローラ3は、転送チャネル#0、#2～#7のうち、最も優先度が高い転送チャネル#2にValid Channelを割当てた。
- [0046] このような処理を実行することで、DMAコントローラ3は、図3に示す例では、Valid Channelを転送チャネル「#0」、「#1」、

「#2」、「#3」、「#4」、「#5」、「#6」、「#7」、「#0」、「#1」…という順に割当てて。つまり、DMAコントローラ3は、優先制御のルールが循環である場合には、各転送チャネル#0～#7に対して、Valid Channelを順番に割り当てる処理を、各転送チャネル#0～#7が2つのデータを送信するまで反復して行う。

[0047] 次に、図1に戻って、HDD10が記憶する各情報について説明する。動作モード情報11は、DMAコントローラ3が実行する優先制御の内容を示す情報である。以下、図5を用いて、動作モード情報11の一例について説明する。

[0048] 図5は、実施例1に係る動作モード情報の一例について説明するための図である。図5に示す例では、動作モード情報11には、優先制御のルールを示す値と、転送チャネルの優先度設定を示す値とが格納される。すなわち、動作モード情報11は、優先制御のルールとして「0」が格納されている場合には、DMAコントローラ3における優先制御の内容が固定であることを示す。また、動作モード情報11は、優先制御のルールとして「1」が格納されている場合には、DMAコントローラ3における優先制御の内容が循環であることを示す。

[0049] また、動作モード情報11は、転送チャネルの優先度設定の値が「0」である場合には、番号が若い転送チャネルほど、優先度が高い旨を示す。また、動作モード情報11は、転送チャネルの優先度設定の値が「1」である場合には、優先度がDMAコントローラ3に依存する旨を示す。

[0050] 図1に戻って、転送情報12は、DMAコントローラ3に送信させるデータの宛先と、データの内容と、各転送チャネル#0～#7が転送するデータの数を示す情報である。以下、図6を用いて、転送情報12の一例について説明する。

[0051] 図6は、実施例1に係る転送情報の一例について説明するための図である。図6に示す例では、転送情報12には、受信開始アドレスずらしの数値、受信終了アドレスずらしの数値、最小送信データサイズの数値、各転送チャ

ネル# 0～# 7 が転送するデータの数格納される。

[0052] ここで、受信開始アドレスずらしとは、DMAコントローラ3が転送したデータの格納先となるメモリアドレスをずらす量である。後述するように、DMAコントローラ3は、正常に優先制御を実行した場合には、それぞれ大ききの異なるデータを大きいデータから順に宛先となるメモリアドレスをずらしながら転送する。

[0053] つまり、受信開始アドレスずらしとは、DMAコントローラ3が宛先となるメモリアドレスをずらす量を示す。また、受信終了アドレスずらしとは、DMAコントローラ3がデータを転送する際に、宛先となるメモリアドレスの受信終了アドレスをずらすサイズを示す。また、最小送信データサイズとは、DMAコントローラ3に送信させるデータのうち、データ量が最も少ないデータのデータ量を示す。また、各転送チャネル# 0～# 7 が送信するデータ数とは、各転送チャネル# 0～# 7 が送信するデータの数を示す。

[0054] なお、図6に示す例では、転送情報12には、受信開始アドレスずらしの数値「 Δs 」、受信終了アドレスずらしの数値「 Δe 」、最小送信データサイズの数値「 L 」、各転送チャネル# 0～# 7 が転送するデータの数「2」が格納されている。

[0055] 図1に戻って、送信データ13は、DMAコントローラ3に送信させるデータである。ここで、図7を用いて、送信データ13の一例について説明する。なお、図7は、実施例1に係る送信データの一例を説明するための図である。例えば、図7に示すように、HDD1は、内容が「5 A 5 A 5 A…」と続くデータと、内容が「F F F F F F…」と続くデータと、内容が「0 1 0 1 0 1…」と続くデータと、内容が「2 2 2 2 2 2…」と続くデータとを送信データ13として記憶する。

[0056] 図1に戻って、比較結果14は、後述する検証プログラム30によって行われた評価の結果が格納される。具体的には、比較結果14には、検証プログラム30によってDMAコントローラ3の評価が実行させた際の、データリスト25、エラーリスト24、受信領域22に記憶されたデータ、期待値

領域 2 3 に記憶されたデータとが格納される。

[0057] 次に、RAM 2 0 が有する送信領域 2 1、受信領域 2 2、期待値領域 2 3、エラーリスト 2 4、データリスト 2 5 について説明する。送信領域 2 1 は、DMA コントローラ 3 によって受信領域 2 2 へ転送させるデータを記憶する領域である。受信領域 2 2 は、DMA コントローラ 3 によって受信領域 2 2 から転送したデータを記憶する領域である。期待値領域 2 3 とは、検証プログラム 3 0 によって生成させる期待を記憶する領域である。ここで、期待値とは、DMA コントローラ 3 が各転送チャネル # 0 ~ # 7 の優先制御を正確に実行した際に、受信領域 2 2 に格納されるデータである。

[0058] エラーリスト 2 4 は、受信領域 2 2 に格納されたデータと、期待値領域 2 3 に格納されたデータとのうち、一致しないデータが格納されたアドレスを示すエラーアドレスが格納されるリストである。以下、図 8 を用いて、エラーリスト 2 4 の一例について説明する。図 8 は、実施例 1 に係るエラーリストの一例を説明するための図である。図 8 に示す例では、エラーリスト 2 4 には、エラーアドレス、転送優先順位、転送チャネルの番号、データ番号、送信開始アドレス、受信開始アドレス、送信データサイズが格納される。

[0059] データリスト 2 5 は、検証プログラム 3 0 が生成するリストであり、DMA コントローラ 3 の各転送チャネル # 0 ~ # 7 が転送するデータおよび各転送チャネル # 0 ~ # 7 がデータを送信する順番を示す情報である。

[0060] 次に、検証プログラム 3 0 が有する各部 3 1 ~ 3 8 について説明する。なお、検証プログラム 3 0 が有する各部 3 1 ~ 3 8 は、CPU 2 によって実行させることにより、その機能を発揮する。

[0061] データリスト生成部 3 1 は、データリスト 2 5 を生成する。具体的には、データリスト生成部 3 1 は、HDD 1 0 が記憶する転送情報 1 2 を参照し、各伝送チャネル # 0 ~ # 7 が転送するデータの数を読み出す。また、データリスト生成部 3 1 は、各転送チャネル # 0 ~ # 7 が転送するデータ数を合計した総データ数（以下、P t と記載する。）を算出する。そして、データリスト生成部 3 1 は、算出した P t 個のデータについての情報を格納するデー

タリスト 25 を確保した領域に生成する。

[0062] 以下、図を用いて、データリスト生成部 31 が生成するデータリスト 25 の一例について説明する。図 9 A は、実施例 1 に係るデータリストの一例を説明するための図である。図 9 A に示す例では、データリスト生成部 31 は、 $P \times t$ 個のデータについて、転送優先順位、チャンネル番号、データ番号、送信開始アドレス、受信開始アドレス、送信データサイズを示す情報を格納するリストを生成する。

[0063] ここで、転送優先順位とは、DMA コントローラ 3 によって転送される順番を示す番号である。また、チャンネル番号とは、DMA コントローラ 3 が有する各転送チャンネル #0 ~ #7 のうち、どの転送チャンネルに割当てられるかを示す情報、すなわち、各転送チャンネル #0 ~ #7 を示す番号である。また、データ番号とは、データが割当てられた転送チャンネルにおいて、何番目に転送されるデータであることを示す番号である。また、送信開始アドレスとは、送信領域 21 のうち、データが格納された領域の先頭を示すアドレスである。

[0064] また、受信開始アドレスとは、受信領域 22 のうち、DMA コントローラ 3 によって転送されたデータを格納する領域の先頭位置を示すアドレスである。送信データサイズとは、データのサイズを示す。

[0065] 図 1 に戻って、転送領域割付部 32 は、HDD 10 に記憶された転送情報 12 を参照し、参照した転送情報 12 に基づいて、データ量が異なる複数のデータと、値をずらした複数のアドレスとを生成する。そして、転送領域割付部 32 は、データ量が多いほど小さい値のアドレスを割当てるように、生成したデータに生成したアドレスを対応付ける。つまり、転送領域割付部 32 は、生成した各データに対して、データ量が多い順に、生成したアドレスを、アドレスの値が小さい順に対応付ける。

[0066] 以下、図 9 B を用いて、転送領域割付部 32 が実行する処理の一例について説明する。図 9 B は、実施例 1 に係る転送領域割付部が実行する処理の一例を説明するための第 1 の図である。まず、転送領域割付部 32 は、転送量情報 12 を参照し、最小送信データサイズ「L」、受信開始アドレスずらし

の値「 Δs 」、受信終了アドレスずらしの値「 Δe 」、送信開始ベースアドレス「 S 」、受信開始ベースアドレス「 E 」を読み出す。

[0067] そして、転送領域割付部 32 は、データリスト 25 のうち、転送優先順位が「1」～「 P_t 」までのデータについて、送信開始アドレスと、受信開始アドレスと、送信データサイズとの設定を行う。具体的には、転送領域割付部 32 は、転送優先順位が「 P_t 」のデータについて、送信データサイズに、最小送信データサイズ「 L 」を格納する。つまり、転送領域割付部 32 は、最も優先順位が低いデータに、送信するデータのうち最もデータ量が少ないデータを割当てる。

[0068] 次に、転送領域割付部 32 は、優先順位が「 $P_t - 1$ 」のデータについて、優先順位が「 P_t 」のデータに係る送信データサイズに「 $\Delta s + \Delta e$ 」を加算した値を格納する。また、転送領域割付部 32 は、優先順位が「 $P_t - 2$ 」のデータについて、転送優先順位が「 $P_t - 1$ 」のデータに係る送信データサイズに「 $\Delta s + \Delta e$ 」を加算した値を格納する。すなわち、転送領域割付部 32 は、転送優先順位が「 n 」であるデータの送信データサイズとして「 $L + (\Delta s + \Delta e) \times (P_t - n)$ 」で表される値を割当てる。つまり、転送領域割付部 32 は、データ量が大きいデータほど、優先的に送信されるようにデータリスト 25 を設定する。

[0069] 続いて、転送領域割付部 32 は、転送優先順位 1 のデータに係る送信開始アドレスに送信開始ベースアドレス「 S 」を格納し、転送優先順位 1 のデータに係る受信開始アドレスに受信開始ベースアドレス「 E 」を格納する。次に、転送領域割付部 32 は、転送優先順位 2 のデータに係る送信開始アドレスに、「 $S + L + (\Delta s + \Delta e) \times (P_t - 1)$ 」を格納し、受信開始アドレスに「 $E + \Delta s$ 」を格納する。

[0070] すなわち、転送領域割付部 32 は、転送優先順位が「 n 」であるデータの送信開始アドレスに転送優先順位が「 $n - 1$ 」であるデータの送信開始アドレスに「 $L + (\Delta s + \Delta e) \times (P_t - n + 1)$ 」を加算した値を格納する。また、転送領域割付部 32 は、転送優先順位が「 n 」であるデータの受信

開始アドレスに「 $E + \Delta e \times (n - 1)$ 」を格納する。

[0071] また、転送領域割付部32は、各転送優先順位「1」～「 P_t 」のデータを格納するための送信領域21と、DMAコントローラ3によって転送された各データを格納するための受信領域22を確保する。また、転送領域割付部32は、期待値を格納するための期待値領域23を確保する。

[0072] 詳細には、転送領域割付部32は、「 $L \times P_t + (\Delta s + \Delta e) \times P_t \times (P_t - 1) / 2$ 」を算出し、算出したサイズの領域を送信領域21としてRAM20から確保する。また、転送領域割付部32は、「 $L + (\Delta s + \Delta e) \times (P_t - 1)$ 」を算出し、算出したサイズの領域を受信領域22としてRAM20から確保する。また、転送領域割付部32は、受信領域22と同じサイズの領域を期待値領域23としてRAM20から確保する。あわせて、転送領域割付部32は、送信領域21の先頭アドレスを「S」とし、受信領域22の先頭アドレスを「E」とする。

[0073] また、転送領域割付部32は、HDD10から送信データ13を読み出し、読み出したデータを確保した送信領域21にそれぞれ格納する。つまり、転送領域割付部32は、データ量が段階的に異なる複数のデータを作成し、作成したデータを送信領域21に格納する。

[0074] ここで、図9Cを用いて、転送領域割付部32がデータリスト25に設定する値の一例について説明する。図9Cは、実施例1に係る転送領域割付部が実行する処理の一例を説明するための第2の図である。なお図9Cに示す例では、「 $P_t = 9$ 」である場合のデータリスト25の一例を示す。

[0075] 例えば、転送領域割付部32は、最小送信データサイズ「100」、受信開始アドレスずらしの値「10」、受信終了アドレスずらしの値「10」、送信開始ベースアドレス「2000」、受信開始ベースアドレス「1000」を読み出す。

[0076] そして、転送領域割付部32は、図9Cに示すように、転送優先順位1のデータから送信データサイズ「260」、「240」、「220」、「200」、「180」、「160」、「140」、「120」、「100」を格

納する。また、転送領域割付部 32 は、転送優先順位 1 のデータから送信開始アドレス「2000」、「2260」、「2500」、「2720」、「2920」、「3100」、「3260」、「3400」、「3520」を格納する。また、転送領域割付部 32 は、転送優先順位 1 のデータから受信開始アドレス「1000」、「1010」、「1020」、「1030」、「1040」、「1050」、「1060」、「1070」、「1080」を格納する。

[0077] 図 1 に戻って、チャネル割付部 33 は、転送優先順位が高いデータほど先に転送させるように、各データを DMA コントローラ 3 が有する各転送チャネル #0～#7 に割当てて。つまり、チャネル割付部 33 は、データ量が多いデータから順に、割当てられた優先度が高い転送チャネルを示すチャネル番号を対応付ける。詳細には、チャネル割付部 33 は、データ量が最も多いデータから順番に、DMA コントローラ 3 が実行する優先制御のルールに応じて、チャネル番号を各転送チャネル #0～#7 の優先度が高い順に対応付ける。

[0078] 具体的には、チャネル割付部 33 は、DMA コントローラ 3 が実行する優先制御のルールが循環である場合には、以下の処理を実行する。すなわち、チャネル割付部 33 は、データ量が最も多いデータから順番に、各転送チャネル #0～#7 に対して割当てられた優先度に従って、各データにチャネル番号を対応付ける。つまり、チャネル割付部 33 は、転送チャネル #0 から転送チャネル #7 まで順番に高い優先度が割当てられる場合には、以下のよう

[0079] すなわち、チャネル割付部 33 は、データ量が最も多いデータから順番に、チャネル番号「1」、「2」、「3」、「4」、「5」、「6」、「7」をデータリスト 25 に格納する。また、チャネル割付部 33 は、さらにチャネル番号が割当てられていないデータに対して、データ量が多いデータから順に、再度チャネル番号「1」、「2」、「3」、「4」、「5」、「6」、「7」と繰り返し格納する。また、チャネル割付部 33 は、同じチャネル

番号が対応付けられたデータについて、データ量が多いデータから順番に、データ番号を順番に対応付ける。

[0080] また、チャネル割付部 33 は、DMA コントローラ 3 が実行する優先制御のルールが固定である場合には、以下の処理を実行する。すなわち、チャネル割付部 33 は、各転送チャネル # 0 ~ # 7 が転送するデータの数进行判別する。そして、チャネル割付部 33 は、複数のデータを送信する転送チャネルが存在しない場合には、データ量が多いデータから順に、チャネル番号を、優先度が高い転送チャネルのチャネル番号から順番に対応付ける。

[0081] また、チャネル割付部 33 は、複数のデータを送信するチャネルが存在する場合には、以下の処理を実行する。すなわち、チャネル割付部 33 は、いずれのチャネル番号も対応付けられていないデータのうち、データ量が多いデータに対して、最も優先度が高い転送チャネルのチャネル番号を対応付ける。また、チャネル割付部 33 は、いずれかの転送チャネルから送信するデータが複数存在する場合には、優先度が最も高い転送チャネルを示すチャネル番号から、各転送チャネル # 0 ~ # 7 に割当てられた優先度の順に、各チャネル番号について以下の処理を実行する。

[0082] すなわち、チャネル割付部 33 は、いずれのデータにも対応付けられていないチャネル番号のうち、優先度が最も高い転送チャネルを示すチャネル番号を、チャネル番号が対応付けられていないデータのうちデータ量が多いデータに対応付ける。また、チャネル割付部 33 は、チャネル番号を対応付けたデータからデータ量が多い順に、転送チャネルが送信するデータの数だけ、データに対応付けたチャネル番号と同じチャネル番号を、1 つ飛ばしに対応付ける。

[0083] つまり、チャネル割付部 33 は、転送チャネル # 0 から転送チャネル # 7 まで順に優先度が低くなり、かつ、各転送チャネルが 2 つのデータを送信する場合には、以下のチャネル番号を各データに対応付ける。すなわち、チャネル割付部 33 は、各データに対して、データ量が多い順に、「0」、「1」、「0」、「1」、「2」、「3」、「2」、「3」、「4」、「5」、

「4」、「5」、「6」、「7」、「6」、「7」を各データに対応付ける。また、チャンネル割付部33は、同じチャンネル番号が対応付けられたデータについて、データ量が多いデータから順番に、データ番号を順番に対応付ける。

[0084] 以下、チャンネル割付部33が実行する詳細な処理について説明する。まず、チャンネル割付部33は、動作モード情報11を参照し、DMAコントローラ3の優先制御のルールと転送チャンネルの優先度設定とを識別する。そして、チャンネル割付部33は、転送チャンネルの優先度設定が「0」の場合には、転送チャンネル#0～#7について、番号が小さいほど優先度が高いと判別する。また、チャンネル割付部33は、転送チャンネルの優先度設定が「1」の場合には、DMAコントローラ3から各転送チャンネル#0～#7に対して割当てられた優先度を取得する。

[0085] また、チャンネル割付部33は、優先制御のルールが「0」である場合には、DMAコントローラ3における優先制御が固定であると判別する。また、チャンネル割付部33は、優先制御のルールが「1」である場合には、DMAコントローラ3における優先制御が循環であると判別する。

[0086] また、チャンネル割付部33は、優先制御のルールが固定であると判別した場合には、各転送チャンネル#0～#7について、割当てられた優先度が高い順に、以下の処理を実行する。まず、チャンネル割付部33は、データに割当てしていないチャンネル番号のうち、最も優先度が高い転送チャンネルを示すチャンネル番号を選択する。そして、チャンネル割付部33は、データリスト25からチャンネル番号が割当てられていないデータをののうち、転送優先順位が最も高いデータを検索する。そして、チャンネル割付部33は、選択したチャンネル番号を検索したデータに係るチャンネル番号に格納し、選択したチャンネル番号に係る転送チャンネルが送信するデータが1つしかない場合には、次に優先度が高い転送チャンネルのチャンネル番号を割付ける処理を実行する。

[0087] 一方、チャンネル割付部33は、選択したチャンネル番号に係る転送チャンネルが送信するデータが複数存在する場合には、以下の処理を実行する。まず、

チャネル割付部 33 は、選択したチャネル番号を割付ける数、すなわち、選択したチャネル番号に係る転送チャネルが送信するデータの数「 P_i 」を判別する。また、チャネル割付け部 33 は、全データの数から、チャネル番号がすでに割付けられているデータの数と割付け中のチャネル番号に係る転送チャネルが送信するデータの数とを減算した値「 P_u 」を判別する。

[0088] そして、チャネル割付部 33 は、「 $P_u = 0$ 」の場合には、まだチャネル番号が割付けられていないデータに対して、データ量が多い方から順番に、選択したチャネル番号と、データ番号とを順次割付ける。また、チャネル割付部 33 は、「 P_i 」が「 P_u 」よりも多い場合には、以下の処理を実行する。すなわち、チャネル割付部 33 は、チャネル番号が割付けられていないデータのうち、データ量が多い方から順番に、1 つずつ間隔をあけて、選択したチャネル番号とデータ番号とを順次割付ける。

[0089] また、チャネル割付部 33 は、優先制御のルールが循環であると判別した場合には、チャネル番号が割当てられていないデータについて、データ量が多いものから順番に、各チャネル番号を、各転送チャネル # 0 ~ # 7 に割当てられた優先度の順に割付ける。また、チャネル割付部 33 は、全データに対して、チャネル番号が割当てられるまで、データ量が多いものから順番に、各チャネル番号を、各転送チャネル # 0 ~ # 7 に割当てられた優先度の順に割付ける。

[0090] このような処理を実行することによって、チャネル割付部 33 は、生成したデータのうち、データ量大きいものから順番に転送させるデータリスト 25 を設定することができる。なお、DMA コントローラ 3 における優先制御が特殊な場合にも、データ量大きいデータから順番に転送させるデータリスト 25 を設定することができる。例えば、チャネル割付部 33 は、DMA コントローラ 3 が複数の転送チャネルを有する場合には、各転送チャネルにおいてどのような順番でデータが送信されるかを判別する。そして、チャネル割付部 33 は、データ量が多いデータから順番に、判別した順番に従って、チャネル番号を割当てればよい。

[0091] 次に、図10、図11を用いて、チャンネル割付部33が割付けるチャンネル番号の一例について説明する。まず、図10を用いて、優先制御が固定の場合に、チャンネル割付部33が割付けるチャンネル番号について説明する。図10は、優先制御が固定の場合にチャンネル割付部が割付けるチャンネル番号の一例を説明するための図である。

[0092] なお、図10に示す例では、DMAコントローラ3は、5つの転送チャンネル#0～#4を有するものとし、転送チャンネル#4、転送チャンネル#3、転送チャンネル#2、転送チャンネル#1、転送チャンネル#0の順で優先度が高くなるものとする。また、図10に示す例では、転送チャンネル#0～#3がそれぞれ2つのデータを転送するものとし、転送チャンネル#4が1つのデータを転送するものとする。

[0093] このような場合には、チャンネル割付部33は、チャンネル番号「0」について、上述した処理を実行する。すなわち、図10に示すように、チャンネル割付部33は、データ量が最も大きいデータである転送優先順位1のデータにチャンネル番号「0」、データ番号「1」を割付ける。また、チャンネル割付部33は、転送優先順位1のデータから1つとばした転送順位3のデータにチャンネル番号「0」、データ番号「2」を割付ける。

[0094] 次に、チャンネル割付部33は、チャンネル番号「1」について、上述した処理を実行し、図10に示すように、転送優先順位2のデータにチャンネル番号「1」、データ番号「1」を割付し、転送優先順位4のデータにチャンネル番号「1」、データ番号「2」を割付ける。次に、チャンネル割付部33は、チャンネル番号「2」について、上述した処理を実行し、図10に示すように、転送優先順位5のデータにチャンネル番号「2」、データ番号「1」を割付し、転送優先順位7のデータにチャンネル番号「2」、データ番号「2」を割付ける。

[0095] 次に、チャンネル割付部33は、チャンネル番号「3」について、上述した処理を実行し、図10に示すように、転送優先順位6のデータにチャンネル番号「3」、データ番号「1」を割付し、転送優先順位8のデータにチャンネル番

号「3」、データ番号「2」を割付ける。次に、チャンネル割付部33は、チャンネル番号「4」について、上述した処理を実行し、図10に示すように、転送優先順位9のデータにチャンネル番号「4」、データ番号「1」を割付ける。

[0096] 次に、図11を用いて、優先制御が循環の場合に、チャンネル割付部33が割付けるチャンネル番号について説明する。図11は、優先制御が循環の場合にチャンネル割付部が割付けるチャンネル番号の一例を説明するための図である。

[0097] なお、図11に示す例では、図10に示す例と同様に、チャンネル割付部33は、5つの転送チャンネル#0～#4を有するものとする。また、チャンネル割付部33は、最も優先度が高い転送チャンネルを、転送チャンネル#0、転送チャンネル#1、転送チャンネル#2、転送チャンネル#3、転送チャンネル#4の順で変更するものとする。すなわち、チャンネル割付部33は、転送チャンネル#0～#4のうち、最も優先度が高い転送チャンネルをラウンドロビンで選択するものとする。

[0098] このような場合には、チャンネル割付部33は、各データのうち、データ量が最も多いデータから順に、転送チャンネル#0～#4のチャンネル番号を順番に割付ける処理を反復して実行する。このため、図11に示すように、チャンネル割付部33は、転送優先順位が1～5のデータに対して、チャンネル番号「0」～「4」を順番に割付けるとともに、データ番号「1」を割付ける。また、チャンネル割付部33は、転送優先順位が6～9のデータに対して、チャンネル番号「0」～「3」を順番に割付けるとともに、データ番号「2」を割付ける。

[0099] 図1に戻って、期待値生成部34は、データリスト生成部31、転送領域割付部32、チャンネル割付部33によって生成されたデータリスト25を用いて、DMAコントローラ3が有する各転送チャンネル#0～#7の転送結果の予測である期待値を生成する。具体的には、期待値生成部34は、HDD10の送信データ13から各データを取得し、データリスト25に格納され

た各データの送信開始アドレス、受信開始アドレス、送信データサイズに従って、DMAコントローラ3による転送結果の期待値を生成する。そして、期待値生成部34は、生成した期待値を、期待値領域23に格納する。

[0100] 図12は、期待値の一例を説明するための図である。なお、図12に示す例では、転送優先順位1～5までのデータをDMAコントローラ3が転送した際の期待値を示す。また、図12に示す例では、「5A」が連続したデータを転送優先順位1のデータとし、「FF」が連続したデータを転送優先順位2のデータとし、「01」が連続したデータを転送優先順位3のデータとする。また、「A5」が連続したデータを転送優先順位4のデータとし、「22」が連続したデータを転送優先順位5のデータとする。

[0101] また、図12に示す例では、送信開始アドレスずらし、および、送信終了アドレスずらしを「0x20」とした。このような場合には、期待値生成部34は、図12に示すように、各転送優先順位1～5の中心位置をそろえ、転送優先順位1のデータの上に、転送優先順位2のデータが上書きされた期待値を生成する。以下同様に、期待値生成部34は、転送優先順位2を転送優先順位3のデータで上書きし、転送優先順位3のデータを転送優先順位4のデータで上書きし、転送優先順位4のデータを転送優先順位5のデータで上書きした期待値を生成する。なお、転送優先順位1～5のデータは、段階的にデータ量が少なくなるため、より優先順位が低いデータが上書きされた場合にも、データ全てが消えてしまうことが無い。

[0102] 図1に戻って、デスク립タ設定部35は、データリスト25に応じて、DMAコントローラ3が有する各転送チャネルごとのデスク립タを生成する。以下、図を用いて説明する。図13は、デスク립タの一例を説明するための図である。デスク립タ設定部35は、データリスト25に応じて、各転送チャネルごとに、転送するデータの順番、送信開始アドレス、受信開始アドレス、送信データサイズ等を判別する。そして、デスク립タ設定部35は、各データごとに、判別した各情報を格納したデスク립タを生成し、生成したデスク립タを各転送チャネルごとにチェーンニングする。

- [0103] 図1に戻って、DMA起動部36は、デスクリプタ設定部35がデスクリプタを生成した場合には、受信領域22とエラーリスト24とを初期化する。そして、DMA起動部36は、デスクリプタ設定部35が生成したデスクリプタをDMAコントローラ3へ送信する。つまり、DMA起動部36は、DMAコントローラ3が有する各転送チャネル#0～#7に、デスクリプタに応じたデータの転送を指示する。
- [0104] データ比較部37は、DMAコントローラ3が有する各転送チャネル#0～#7の動作が終了した場合には、受信領域22に格納されたデータと期待値領域23に格納された期待値とが一致するか否かを比較する。そして、データ比較部37は、受信領域22に格納されたデータと期待値領域23に格納されたデータとが一致しないと判別した場合には、以下の処理を実行する。すなわち、データ比較部37は、一致しないデータが格納されたアドレスであるエラーアドレスと、一致しないアドレスの件数であるエラー件数とをエラーリスト24に格納する。
- [0105] 例えば、データ比較部37は、期待値領域23に格納された期待値と、受信領域22に格納されたデータとを、それぞれ先頭から4バイトずつを読み出し、読み出した各データが一致するか否かを判別する。そして、データ比較部37は、読み出した各データを比較し、各データが一致した場合には、読み出した各データの次の4バイトを新たに読み出し、読み出したデータが一致するか否かを再度判別する。一方、データ比較部37は、読み出した各データが一致しなかった場合には、一致しないデータが格納されたアドレスであるエラーアドレスと、一致しないアドレスの件数であるエラー件数とをエラーリスト24に格納する。
- [0106] ここで、図14は、優先制御が正確に行われなかった際に受信領域に格納されるデータの一例を説明するための図である。なお、図14に示す例では、DMAコントローラ3は、図12に示す期待値を生成したデータリストに従って生成したデスクリプタに従って、データの転送を行ったものとする。しかし、図14に示す例では、優先制御が正確に行われなかったため、図1

2と比較すると、「0x10000020」番地のデータが「0xFFFF FFFF」となるところ、「0x5A5A5A5A」となっている。このため、データ比較部37は、エラーアドレス「0x10000020」、アドレス件数「1」、エラー件数「1」とをエラーリスト24に格納する。

[0107] 比較結果部38は、エラーリスト24からエラーアドレスを取得する。そして、比較結果部38は、データリスト25を参照し、取得したエラーアドレスに係るデータの転送優先順位、チャンネル番号、データ番号、送信開始アドレス、受信開始アドレス、送信データサイズを取得する。そして、比較結果部38は、取得した各情報をエラーリスト24に格納する。

[0108] また、比較結果部38は、受信領域22のデータ、期待値領域23のデータ、エラーアドレス、エラーリスト24の内容をHDD10に比較結果14として格納する。一方、比較結果部38は、エラーが検出されなかった場合、つまり、受信領域22のデータと期待値領域23のデータとが一致した場合には、受信領域22のデータと期待値領域23のデータとを比較結果14としてHDD10に格納する。

[0109] 次に、図15を用いて、デスプリクタを受信したDMAコントローラ3がデータを送信する処理について説明する。図15は、DMAコントローラがデスプリクタに従ってデータを送信する処理の一例を説明するための図である。なお、図15に示す例では、DMAコントローラ3が複数の転送チャンネル#0～#4を有するものとし、転送チャンネル#0～#3にそれぞれ2つのデータが割当てられ、転送チャンネル#4に1つのデータが割当てられたものとする。また、DMAコントローラ3が実行する優先制御のルールは循環（Rotated）であるものとする。また、図15に示す例では、チャンネル番号「n」、データ番号「m」が割付けられているデータをデータ（n-m）と記載する。

[0110] このような場合には、デスクリプタにより、各転送チャンネル#0～#4にデータの転送が指示され、図15中（C）に示すように、転送チャンネル#0から順番に、Read Address Valid CH#0～#4が「

High」となる。そして、DMAコントローラ3は、図15中(D)に示すタイミングで、最も優先度が高い転送チャネル#0にValid Channelを割当てて、このため、転送チャネル#0は、チャネル番号が「0」でデータ番号が「1」のデータ(0-1)の転送を行い、図15中(E)のタイミングで転送を終了するとともに、Read Address Valid CH#0を「Low」にする。

[0111] また、DMAコントローラ3は、転送チャネル#0によるデータ(0-1)の転送終了後、転送チャネル#1にValid Channelを割り当て、チャネル番号が「1」、データ番号が「1」のデータ(1-1)の転送を実行させる。ここで、転送チャネル#0は、図15中(F)に示すように、チャネル番号が「0」でデータ番号が「2」のデータ(0-2)の転送を行うべく、Read Address Valid#0を「High」とする。

[0112] このため、DMAコントローラ3は、転送チャネル#1によるデータ(1-1)の転送後、Valid Channelを転送チャネル#0に割り当て、データ(0-2)の転送を行わせる。転送チャネル#0は、Valid Channelを割当てられると、データ(0-2)の転送を実行し、図15中(G)に示すタイミングでデータの転送を終了する。このため、転送チャネル#0は、Read Address Valid CH#0を「Low」にする。このような処理を繰り返すことにより、図15に示す例では、DMAコントローラ3は、各データを、データ(0-1)、(1-1)、(0-2)、(1-2)、(2-1)、(3-1)、(2-2)、(3-2)、(4-1)の順に転送することとなる。

[0113] 図16は、受信領域に記憶されるデータの一例を説明するための図である。なお、図16に示す例は、DMAコントローラ3が図15に示す順にデータを転送した際に、受信領域22に格納されるデータの一例を示した。具体的には、図16には、DMAコントローラ3が転送するデータについて、データの量とデータの受信領域とを転送される順に上から順に示した。

[0114] すなわち、DMAコントローラ3は、受信領域22に対して、各データ（0-1）～（4-1）のうち、最も大きいデータ（0-1）を最初に格納する。また、DMAコントローラ3は、データ（0-1）を格納した領域からずらした領域に、2番目に大きいデータ（1-1）をデータ（0-1）に上書きするように格納する。以下、DMAコントローラ3は、同様の処理を、データ量が多い順に繰り返す。すなわち、受信領域22には、各データ（0-1）～（4-1）が、先頭位置をずらしながら、データ量が多い順に格納されることとなる。

[0115] このため、図16に示すように、受信領域22には、段階的に重なったデータ（0-1）～（4-1）が格納されることとなる。このように大きいデータから順に先頭位置をずらしながら転送した場合には、いずれかのデータがロストした場合、若しくは、優先制御が正確に行われずにデータの送信順序がずれた場合には、図16に示すような段階的に重なったデータを得ることができない。このため、検証プログラム30は、DMAコントローラ3に、複数のデータをデータ量が多い順に先頭位置をずらしながら受信領域22に転送させ、受信領域22に転送されたデータを確認することで、DMAコントローラ3の優先制御を評価することができる。

[0116] また、図16に示すように、各データにおけるデータ量の差分よりも少ない量だけずらしたアドレスに、各データを格納することによって、上書きするデータが上書きされるデータの格納領域内に収まることとなる。このため、検証プログラム30は、データのロストや優先制御の成否を受信領域22に転送されたデータから容易に確認することができる。

[0117] 次に、図17を用いて、送信領域21に格納されるデータと、各転送チャンネル#0～#7のデスプリクタと、受信領域22に格納されるデータとの対応について説明する。図17は、データとデスプリクタと受信領域との対応を説明するための図である。図17に示す例では、転送チャンネル#0のデータ1のデスプリクタは、以下の情報を示す。すなわち、デスプリクタは、データ量が最も多いデータが格納された送信領域21のアドレスを送信開始ア

ドレスとして、受信領域 22 にデータを格納するアドレスを受信開始アドレスとして、データ量が最も多いデータのデータ量を送信データサイズとして示す。

[0118] また、デスプリクタ 1 とチェーンニングされたデータ 2 のデスプリクタは、3 番目にデータ量が多いデータに係る送信開始アドレス、受信開始アドレス、データサイズを示す。以下、転送チャネル # 0 には、転送チャネル # 0 が転送する全てのデータについてチェーンニングされたデスプリクタが割当てられる。また、他の転送チャネル # 1 ~ # 7 に対しても、送信する全てのデータについて、各転送チャネル # 1 ~ # 7 が個別に転送を行う順番でチェーンニングされたデスプリクタが割当てられる。

[0119] 次に、図 18 を用いて、検証プログラム 30 によって情報処理装置 1 が実行する処理の流れの一例を説明する。図 18 は、実施例 1 に係る情報処理装置が実行する処理の流れの一例を説明するためのフローチャートである。

[0120] まず、情報処理装置 1 は、転送情報 12 を用いて、データリストを生成するデータリスト生成処理を実行する（ステップ S 101）。次に、情報処理装置 1 は、生成したデータリストに送信開始アドレス、受信開始アドレス、送信データサイズを充填するとともに、送信するデータを生成する転送領域割付処理を実行する（ステップ S 102）。

[0121] 次に、情報処理装置 1 は、チャネル割付処理を実行する（ステップ S 103 ~ ステップ S 106）。例えば、情報処理装置 1 は、動作モード情報 11 を用いて、DMA コントローラ 3 の優先制御のルールを判別し、判別した優先制御のルールに応じて、各転送チャネルに割当てられた優先度を判別する優先度付け処理を実行する（ステップ S 103）。次に、情報処理装置 1 は、優先制御のルールが固定であるか否かを判別する（ステップ S 104）。

[0122] そして、情報処理装置 1 は、優先制御のルールが固定であると判別した場合には（ステップ S 104 肯定）、ルール固定でのチャネル割付処理を実行する（ステップ S 105）。つまり、情報処理装置 1 は、データリスト 25 のチャネル番号を、優先度が高い順に、データ量が多いほうから順に 1 つ飛

ばして割付ける。また、情報処理装置 1 は、優先制御のルールが固定ではないと判別した場合には（ステップ S 1 0 4 否定）、ルール循環でのチャンネル割付処理を実行する（ステップ S 1 0 6）。つまり、情報処理装置 1 は、データリスト 2 5 のチャンネル番号を、優先度が高い転送チャンネルのチャンネル番号から順番に、データ量が多いデータから順に割付ける処理を、全てのデータにチャンネル番号を割当ててまで繰り返し実行する。

[0123] 次に、情報処理装置 1 は、期待値を生成し、生成した期待値を期待値領域 2 3 に格納する期待値生成処理を実行する（ステップ S 1 0 7）。次に、情報処理装置 1 は、データリスト 2 5 を用いて、デスプリクタを生成するデスプリクタ設定処理を実行する（ステップ S 1 0 8）。そして、情報処理装置 1 は、DMA コントローラ 3 にデスプリクタを送信することで、DMA コントローラ 3 にデータを転送させる DMA 起動処理を実行する（ステップ S 1 0 9）。その後、情報処理装置 1 は、DMA コントローラ 3 がデスプリクタに従って、全転送チャンネル # 0 ~ # 7 がデータを転送したか否かを判別する（ステップ S 1 1 0）。

[0124] また、情報処理装置 1 は、全データの転送が終了していないと判別した場合には（ステップ S 1 1 0 否定）、一定時間経過後に再度全データを転送したか否かを判別する（ステップ S 1 1 0）。また、情報処理装置 1 は、全データの転送が終了したと判別した場合には（ステップ S 1 0 1 肯定）、受信領域 2 2 に格納されたデータと期待値領域 2 3 に格納された期待値とを比較するデータ比較処理を実行する（ステップ S 1 1 1）。

[0125] ここで、情報処理装置 1 は、受信領域 2 2 に格納されたデータと期待値領域 2 3 に格納された期待値とが一致するか否か、すなわち、エラーが検出されたか否かを判別する（ステップ S 1 1 2）。そして、情報処理装置 1 は、エラーが検出された場合には（ステップ S 1 1 2 肯定）、エラーリスト 2 4 を作成するエラーリスト作成処理を実行する（ステップ S 1 1 3）。一方、情報処理装置 1 は、エラーが検証されなかった場合には（ステップ S 1 1 2 否定）、エラーリスト作成処理をスキップする。

[0126] 次に、情報処理装置 1 は、エラーリスト 24 の内容、送信領域 21 に格納されたデータ、期待値領域 23 に格納された期待値を比較結果 14 として HDD 10 に格納する比較結果処理を実行する（ステップ S 114）。その後、情報処理装置 1 は、処理を終了する。

[0127] [実施例 1 の効果]

上述したように、検証プログラム 30 は、データ量が異なる複数のデータと、値をずらした複数のアドレスとを生成する。また、検証プログラム 30 は、データ量が多い順に、生成した複数のアドレスのうち値が小さいアドレスから順に対応付ける。また、検証プログラム 30 は、データ量が多い順に、割当てられた優先度が高い転送装置の転送情報から優先度の順に対応付ける。このため、検証プログラム 30 は、DMA コントローラ 3 の各転送チャンネル #0～#7 間における優先制御の実行を検証することができる。

[0128] また、検証プログラム 30 は、ロジックアナライザを用いずとも、プログラムを実機上で実行するだけで、優先制御が正確に行われたか否かを容易に検証することができる。また、検証プログラム 30 は、量産試験等にも適用することができる。また、検証プログラム 30 は、転送する各データの送信先アドレスとデータサイズとをデータリスト 25 に記憶しておくので、受信領域 22 に格納されたデータから、データのロストを検出することができる。

[0129] また、検証プログラム 30 は、各伝送チャンネル #0～#7 における優先制御のルールを判別する。そして、検証プログラム 30 は、判別したルールに基づいて、各転送チャンネル #0～#7 の優先順位を判別し、判別した優先順位に応じて、各データに各転送チャンネル #0～#7 のチャンネル番号を割当てる。このため、検証プログラム 30 は、DMA コントローラ 3 の優先度によらず、DMA コントローラ 3 が有する各転送チャンネル #0～#7 における優先制御の実行を検証することができる。

[0130] また、検証プログラム 30 は、優先制御のルールが固定である場合には、いずれのデータにも対応付けられていないチャンネル番号のうち、優先度が最

も高い転送装置のチャネル番号から順に、以下の処理を実行する。すなわち、情報処理装置 1 は、チャネル番号が対応付けられていないデータのうち、最もデータ量が多いデータから順に、1 つ飛ばしで、チャネル番号が示す転送チャネルが送信するデータの数だけ、チャネル番号を対応付ける。

[0131] このため、検証プログラム 30 は、優先制御のルールが固定である場合にも、データ量が多いデータから順に、各伝送チャネル # 0 ~ # 7 にデータを送信させるデスプリクタを生成できる。この結果、検証プログラム 30 は、各転送チャネル間の優先制御のルールが固定である場合にも、適切な優先制御の実行を検証することができる。

[0132] また、検証プログラム 30 は、優先制御のルールが循環である場合には、データ量の多いデータから順に、各伝送チャネル # 0 ~ # 7 に割当てられた優先度の順でチャネル番号を対応付ける処理を繰り返し実行する。このため検証プログラム 30 は、各転送チャネル間の優先制御のルールが循環である場合にも、適切な優先制御の実行を評価することができる。

[0133] また、検証プログラム 30 は、段階的に異なる値のアドレスを生成する際に、段階的に生成するデータにおけるデータ量の差分よりも少ない差分を有するアドレスを生成する。このため、検証プログラム 30 は、受信領域 22 に格納された各データによって、直前に格納されたデータの両端以外が上書きするように、各データの転送を行わせることができる。この結果、検証プログラム 30 は、受信領域 22 に格納されたデータに基づいて、容易に評価できる。

[0134] また、検証プログラム 30 は、データリスト 25 に基づいて、期待値を予め生成し、生成した期待値と転送結果とが一致するか否かを判別し、期待値と転送結果とが一致すると判別した場合には、優先制御が正確に行われたと評価する。このため、検証プログラム 30 は、DMA コントローラ 3 が有する各伝送チャネル # 0 ~ # 7 の優先制御の実行を評価することができる。

実施例 2

[0135] これまで本発明の実施例について説明したが実施例は、上述した実施例以

外にも様々な異なる形態にて実施されてよいものである。そこで、以下では実施例 2 として本発明に含まれる他の実施例を説明する。

[0136] (1) 転送チャネルの数について

上述した DMA コントローラ 3 は、8 つの転送チャネル # 0 ~ # 7 を有していた。しかし、実施例は、これに限定されるものではなく、DMA コントローラ 3 は、任意の数の転送チャネル # 0 ~ # 7 を有してもよい。すなわち、検証プログラム 30 は、評価対象となる転送装置の数によらず、転送装置間の優先制御の実行を評価できる。

[0137] (2) 転送装置について

上述した実施例 1 においては、複数の転送チャネル # 0 ~ # 7 を有する DMA コントローラ 3 における優先制御が正確に行われたか否かを評価する検証プログラム 30 について説明した。しかし、実施例は、これに限定させるものではなく、検証プログラム 30 は、1 つの装置が有する複数のチャネル間における優先制御のみならず、複数の装置間における優先制御を評価することができる。すなわち、検証プログラム 30 は、複数の転送装置間において優先制御が実行されている場合には、任意の装置間における優先制御の実行を評価できる。

[0138] (3) デスプリクタについて

上述した検証プログラム 30 は、データリスト 25 を生成し、生成したデータリスト 25 に基づいてデスプリクタを生成し、生成したデスプリクタを用いて、各転送チャネル # 0 ~ # 7 にデータの転送を実行させた。しかし、実施例はこれに限定させるものではない。例えば、検証プログラム 30 は、パケットを送信する複数の転送装置間における優先制御を評価する場合には、以下の処理を行うこととしてもよい。すなわち、検証プログラム 30 は、パケット送信表を生成し、生成したパケット送信表に基づいて、各転送装置にデータの割り当てを行い、各転送装置にパケットの送信を行わせることとしてもよい。

[0139] すなわち、検証プログラム 30 は、各転送装置間における優先順位に基づ

いて、各転送装置がデータを送信する順番を識別し、識別した順番を用いて、データ量が異なる複数のデータについて、データ量が多いデータから順に送信させることができればよい。実施例 1 において例示したデータリスト 25 の値は、一例であり、検証プログラム 30 は、チャンネル番号、データ番号、送信開始アドレス、受信開始アドレス、送信データサイズについて任意の値を設定することができる。

[0140] (4) 送信するデータについて

上述した検証プログラム 30 は、HDD 10 に記憶された送信データ 13 から転送させるデータを生成した。しかし、実施例は、これに限定されるものではない。例えば、転送するデータのテストパターンを示す情報を転送情報 12 に予め格納する。そして、転送領域割付部 32 は、転送情報 12 を閲覧し、テストパターンを示す情報がインクリメントデータを示す場合には、転送する各データとしてインクリメントデータを生成することとしてもよい。また、転送領域割付部 32 は、テストパターンを示す情報がランダムデータを示す場合には、転送する各データとしてランダムデータを生成することとしてもよい。

[0141] なお、検証プログラム 30 は、あらかじめ用意されたプログラムをパーソナルコンピュータやワークステーションなどのコンピュータで実行することによって実現することができる。このプログラムは、インターネットなどのネットワークを介して配布することができる。また、このプログラムは、ハードディスク、フレキシブルディスク (FD)、CD-ROM (Compact Disc Read Only Memory)、MO (Magneto Optical Disc)、DVD (Digital Versatile Disc) などのコンピュータで読取可能な記録媒体に記録される。また、このプログラムは、コンピュータによって記録媒体から読み出されることによって実行することもできる。

符号の説明

- [0142] 1 情報処理装置
2 CPU

- 3 DMAコントローラ
- 4 バス
 - 10 HDD
 - 11 動作モード情報
 - 12 転送情報
 - 13 送信データ
 - 14 比較結果
- 20 RAM
 - 21 送信領域
 - 22 受信領域
 - 23 期待値領域
 - 24 エラーリスト
 - 25 データリスト
- 30 検証プログラム
 - 31 データリスト生成部
 - 32 転送領域割付部
 - 33 チャンネル割付部
 - 34 期待値生成部
 - 35 デスクリプタ設定部
 - 36 DMA起動部
 - 37 データ比較部
 - 38 比較結果部

請求の範囲

- [請求項1] それぞれ異なる優先度が割当てられた複数の転送装置間の優先制御を検証する情報処理装置によって実行される検証プログラムにおいて、
- 、
- データ量が異なる複数のデータを生成し、
- 値をずらした複数のアドレスを生成し、
- 前記生成した複数のデータに対して、データ量が多い順に、前記生成したアドレスをその値が小さい順に対応付け、
- 前記生成した複数のデータに対して、データ量が多い順に、割り当てられた優先度が高い順に前記転送装置を示す装置情報を対応付け、
- 前記生成した各データを当該データに対応付けたアドレスに転送する旨を、当該データに対応付けた装置情報が示す転送装置に指示し、
- 前記複数の転送装置が各データを転送した結果に応じて、前記複数の転送装置間における優先度を検証する
- 処理を前記情報処理装置に実行させる検証プログラム。
- [請求項2] 前記検証プログラムは、
- 前記複数の転送装置間における優先制御の規則を判別し、
- 前記判別した規則に基づいて、各転送装置間に割当てられた優先度の順番を判別する処理を前記情報処理装置にさらに実行させることを特徴とする請求項1に記載の検証プログラム。
- [請求項3] 前記複数のデータにアドレスを対応付ける処理として、前記優先制御の規則が最も優先度の高い転送装置をラウンドロビン方式で選択する規則である場合には、前記生成した複数のデータに対してそのデータ量が多い順に、前記優先制御の規則により選択される順序に従って前記装置情報を順次対応付ける処理を、前記生成した全てのデータに対して前記装置情報を対応付けるまで、前記情報処理装置に繰り返し実行させることを特徴とする請求項2に記載の検証プログラム。
- [請求項4] 複数のデータを転送する転送装置が存在し、かつ、前記優先制御の

規則が各転送装置に割当てられた優先度を固定とする規則である場合には、各転送装置が送信するデータの数を見別する処理をさらに実行させ、

前記複数のデータにアドレスを対峙付ける処理として、前記優先制御の規則が各転送装置に割当てられた優先度を固定とする規則である場合には、いずれのデータにも対峙付けられていない前記装置情報のうち、優先度が最も高い転送装置を示す前記装置情報を、前記装置情報が対峙付けられていない前記データのうち前記データ量が最も大きいデータに対峙付けるとともに、当該装置情報を対峙付けたデータからデータ量が多い順に、1つ飛ばしで、前記判断した数だけ該装置情報を対峙付ける処理を、前記生成した全てのデータに対して前記装置情報を対峙付けるまで、前記情報処理装置に実行させることを特徴とする請求項2に記載の検証プログラム。

[請求項5]

前記複数の転送装置間における優先度を検証する処理として、

前記生成した各データと、各データに割当てられたアドレスと、各データに割当てられた装置情報とに基づいて、各データの転送結果を予め予測し、

前記予測した転送結果と、各転送装置が実際に各データを転送した結果とが一致するか否かを判断し、

前記予測した転送結果と、各転送装置が実際に各データを転送した結果とが一致すると判断した場合には、各転送装置が正確に動作した旨の評価を出力する

処理を前記情報処理装置に実行させることを特徴とする請求項1～4のいずれかに記載の検証プログラム。

[請求項6]

前記生成するアドレスにおける各値の差分が、前記生成するデータにおけるデータ量の差分よりも少ないことを特徴とする請求項5に記載の検証プログラム。

[請求項7]

それぞれ異なる値が格納された複数のデータを生成させることを特

徴とする請求項5に記載の検証プログラム。

[請求項8] それぞれ異なる優先度が割当てられた複数の転送装置間の優先制御を検証する情報処理装置において

データ量が異なる複数のデータを生成するデータ生成部と、

値をずらした複数のアドレスを生成するアドレス生成部と、

前記データ生成部が生成した複数のデータに対して、データ量が多い順に、前記アドレス生成部が生成したアドレスをその値が小さい順に対応付け、前記データ生成部が生成した複数のデータに対して、データ量が多い順に、割当てられた優先度が高い順に前記転送装置を示す装置情報を対応付ける対応部と、

前記アドレス生成部が生成した各データを前記対応部が当該データに対応付けたアドレスに転送する旨を、当該データに対応付けた装置情報が示す転送装置に指示する指示部と、

前記複数の転送装置が各データを転送した結果に応じて、前記複数の転送装置間における優先度を検証する検証部と

を有することを特徴とする情報処理装置。

[請求項9] それぞれ異なる優先度が割当てられた複数の転送装置間の優先制御を検証する情報処理装置によって実行される前記転送装置の検証方法において、

データ量が異なる複数のデータを生成し、

値をずらした複数のアドレスを生成し、

前記生成した複数のデータに対して、データ量が多い順に、前記生成したアドレスをその値が小さい順に対応付け、

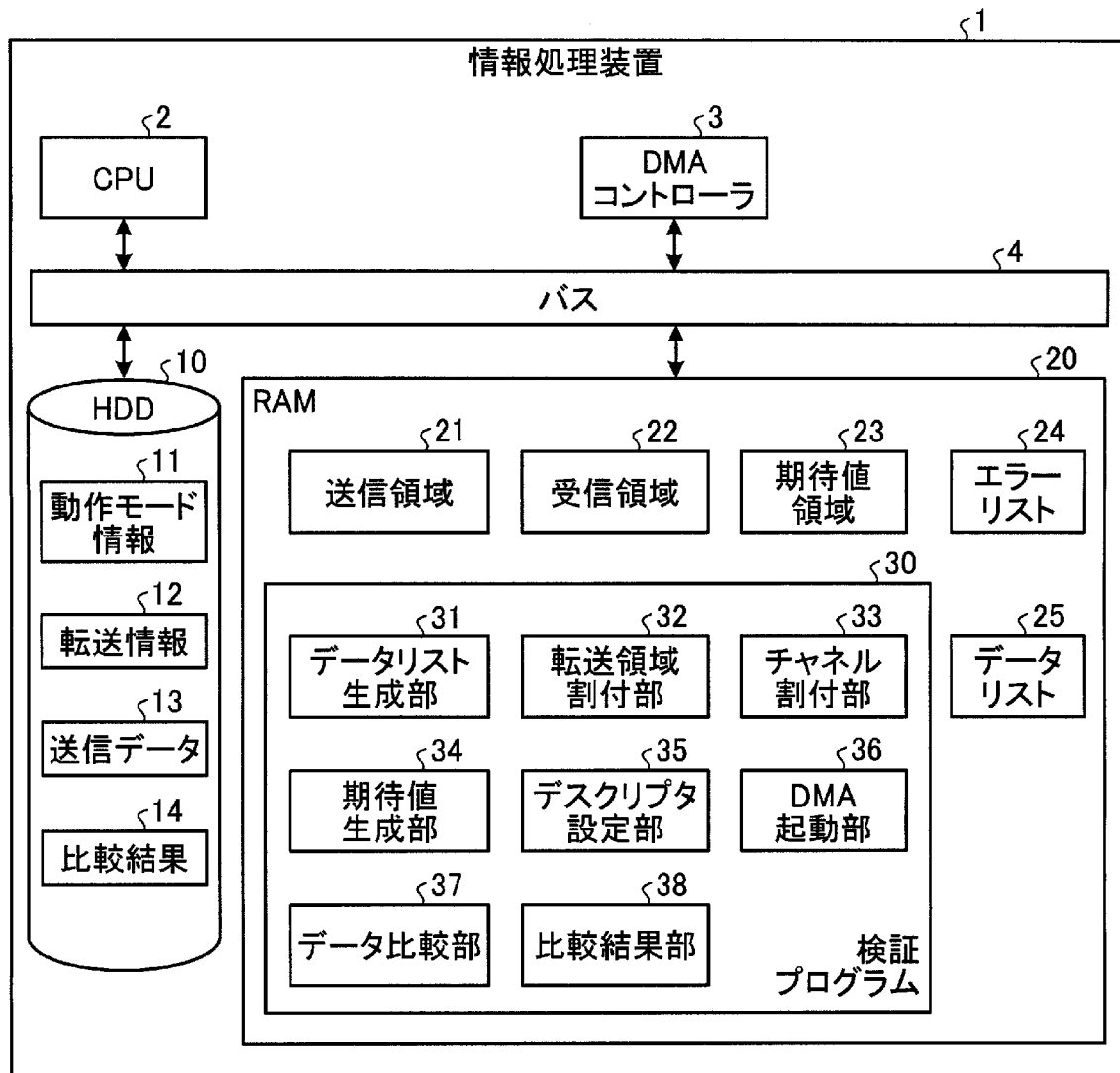
前記生成した複数のデータに対して、データ量が多い順に、割り当てられた優先度が高い順に前記転送装置を示す装置情報を対応付け、

前記生成した各データを当該データに対応付けたアドレスに転送する旨を、当該データに対応付けた装置情報が示す転送装置に指示し、

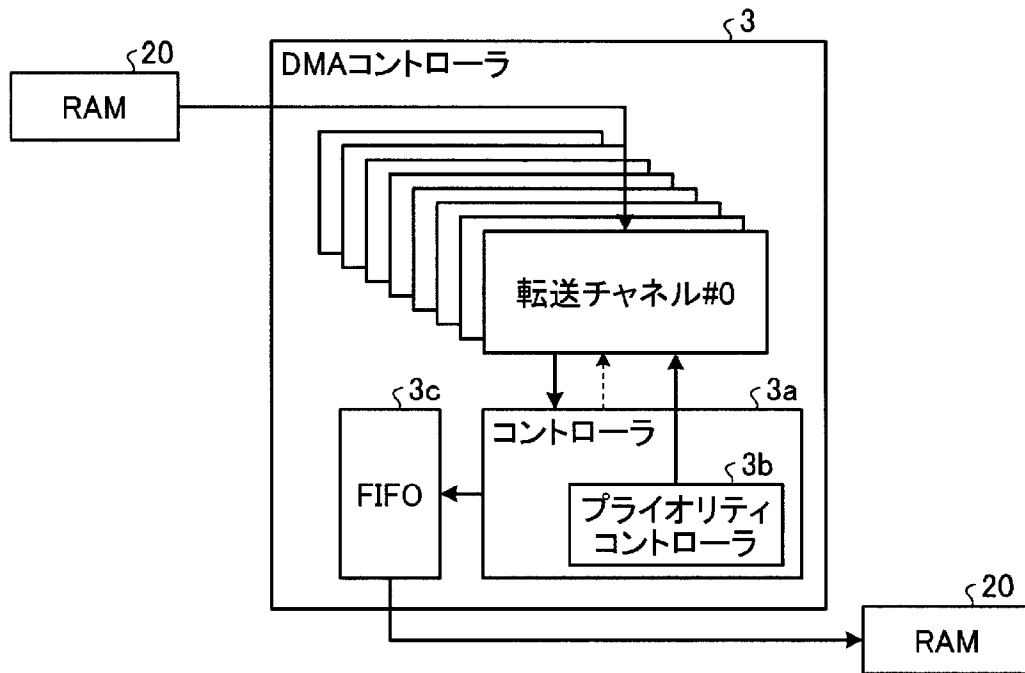
前記複数の転送装置が各データを転送した結果に応じて、前記複数の

の転送装置間における優先度を検証する
処理を前記情報処理装置に実行させる検証方法。

[図1]

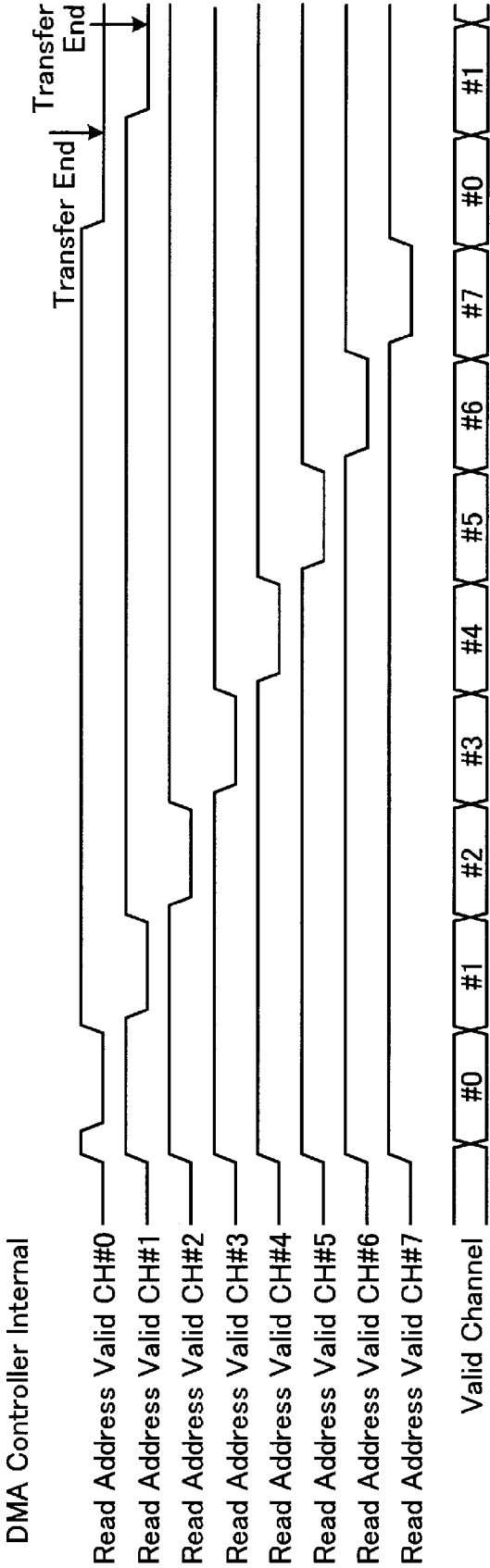


[図2]



Timing diagram (B) illustrates the sequence of Read Address Valid signals for channels CH#0 through CH#7. The diagram shows a horizontal timeline with vertical markers indicating the end of each transfer. The channels are labeled as Read Address Valid CH#0, Read Address Valid CH#1, Read Address Valid CH#2, Read Address Valid CH#3, Read Address Valid CH#4, Read Address Valid CH#5, Read Address Valid CH#6, and Read Address Valid CH#7. The sequence of channels is indicated by a series of boxes labeled #0, #1, #2, #3, #4, and #5.

[図4]



[図5]

511

種別	名称	値	意味
動作モード 情報	優先制御のルール	0	固定(Fixed)
		1	循環(Rotated)
	転送チャネルの 優先度設定	0	固定
		1	DMAのハード依存

[図6]

512

種別	名称	値	意味
転送情報	受信開始アドレスずらし	Δs	受信開始アドレスをずらしサイズ
	受信終了アドレスずらし	Δe	受信終了アドレスをずらしサイズ
	最小送信データサイズ	L	送信データの最小データサイズ
	転送チャネル#0データ数	2	転送チャネル#0の転送データ数
	⋮		
	転送チャネル#7データ数	2	転送チャネル#7の転送データ数
	送信開始ベースアドレス	S	送信開始アドレス
	受信開始ベースアドレス	E	受信開始アドレス

[図7]

§13

送信データ	5A5A5A5A...
	FFFFFFFF...
	01010101...
	22222222...

[図8]

§24

エラー件数						
エラー アドレス	転送優先 順位	チャネル 番号	データ 番号	送信開始 アドレス	受信開始 アドレス	送信データ サイズ

[図9A]

↙25

転送優先 順位	チャネル 番号	データ 番号	送信開始 アドレス	受信開始 アドレス	送信データサイズ
1					
⋮					
Pt-1					
Pt					

[図9B]

↙25

転送優先 順位	チャネル 番号	データ 番号	送信開始 アドレス	受信開始 アドレス	送信データサイズ
1			S	E	$L + (\Delta s + \Delta e) \times (Pt - 1)$
⋮					
Pt-1					$L + (\Delta s + \Delta e)$
Pt					L

[図9C]

↙25

転送優先 順位	チャネル 番号	データ 番号	送信開始 アドレス	受信開始 アドレス	送信データ サイズ
1			2000	1000	260
2			2260	1010	240
3			2500	1020	220
4			2720	1030	200
5			2920	1040	180
6			3100	1050	160
7			3260	1060	140
8			3400	1070	120
9			3520	1080	100

[図10]

25

転送優先 順位	チャネル 番号	データ 番号	送信開始 アドレス	受信開始 アドレス	送信データ サイズ
1	0	1	2000	1000	260
2	1	1	2260	1010	240
3	0	2	2500	1020	220
4	1	2	2720	1030	200
5	2	1	2920	1040	180
6	3	1	3100	1050	160
7	2	2	3260	1060	140
8	3	2	3400	1070	120
9	4	1	3520	1080	100

[図11]

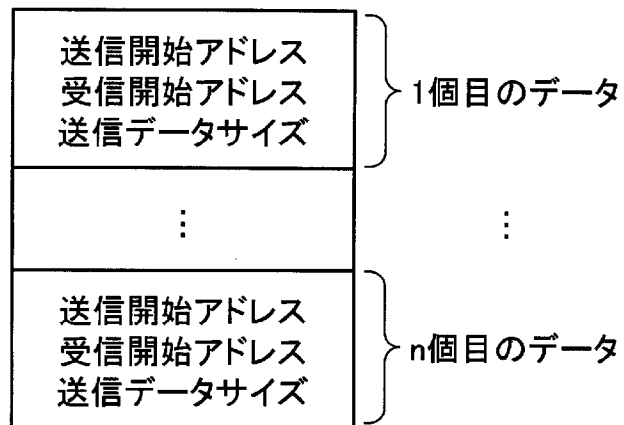
25

転送優先 順位	チャネル 番号	データ 番号	送信開始 アドレス	受信開始 アドレス	送信データ サイズ
1	0	1	2000	1000	260
2	1	1	2260	1010	240
3	2	1	2500	1020	220
4	3	1	2720	1030	200
5	4	1	2920	1040	180
6	0	2	3100	1050	160
7	1	2	3260	1060	140
8	2	2	3400	1070	120
9	3	2	3520	1080	100

0x10000020

[illegible]

[図13]

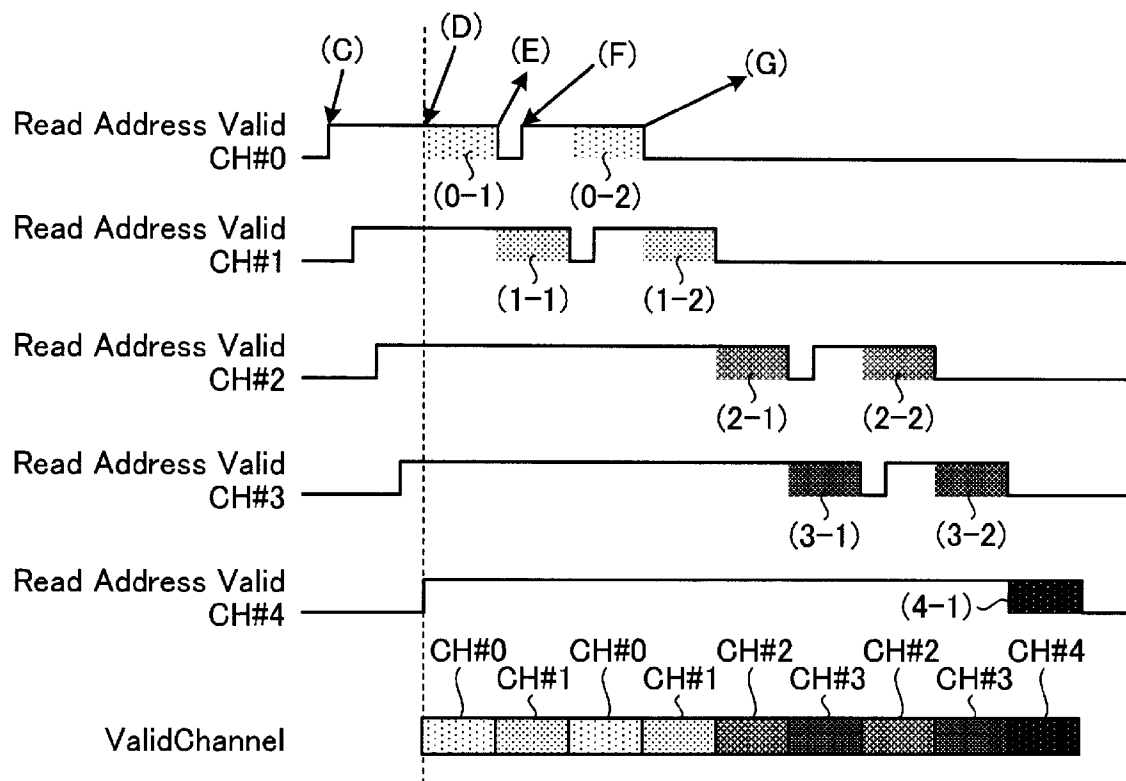


0x10000000

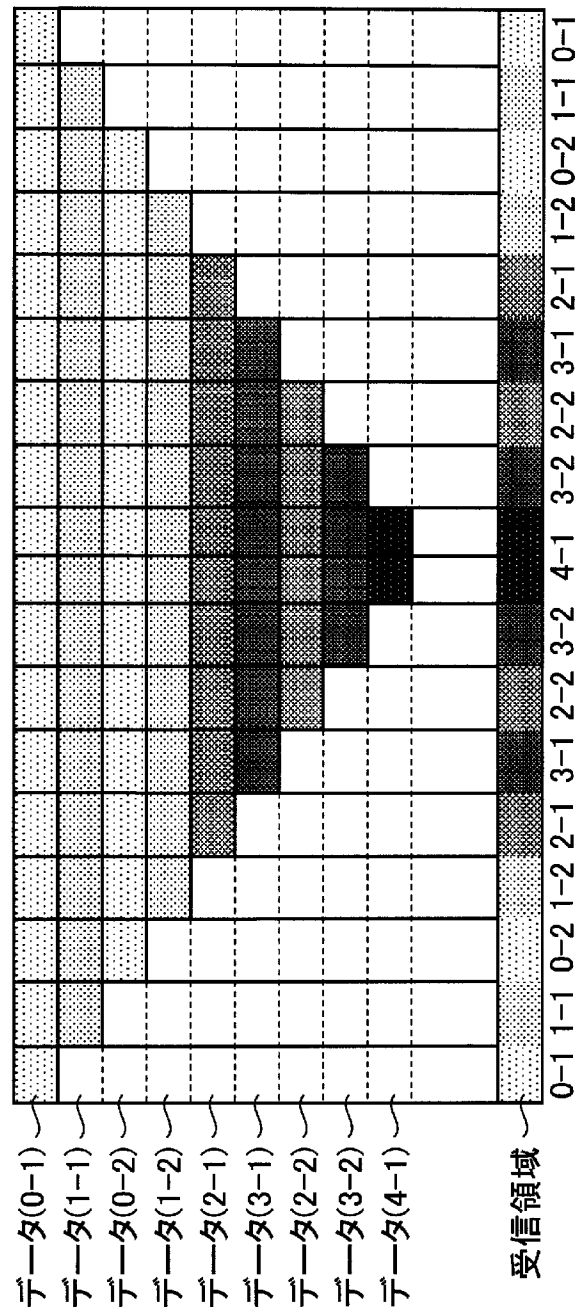
0x10000020

[illegible]

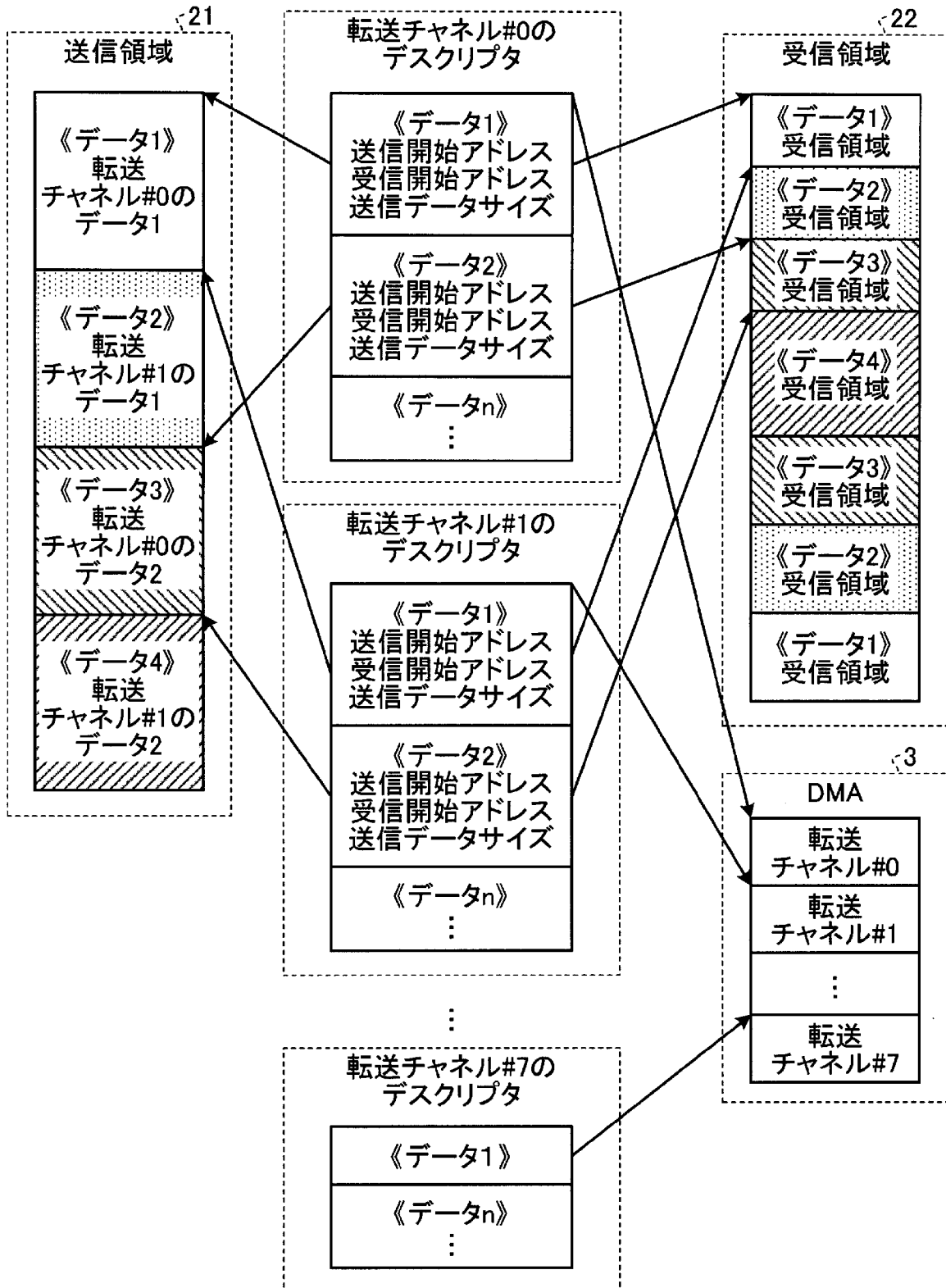
[図15]



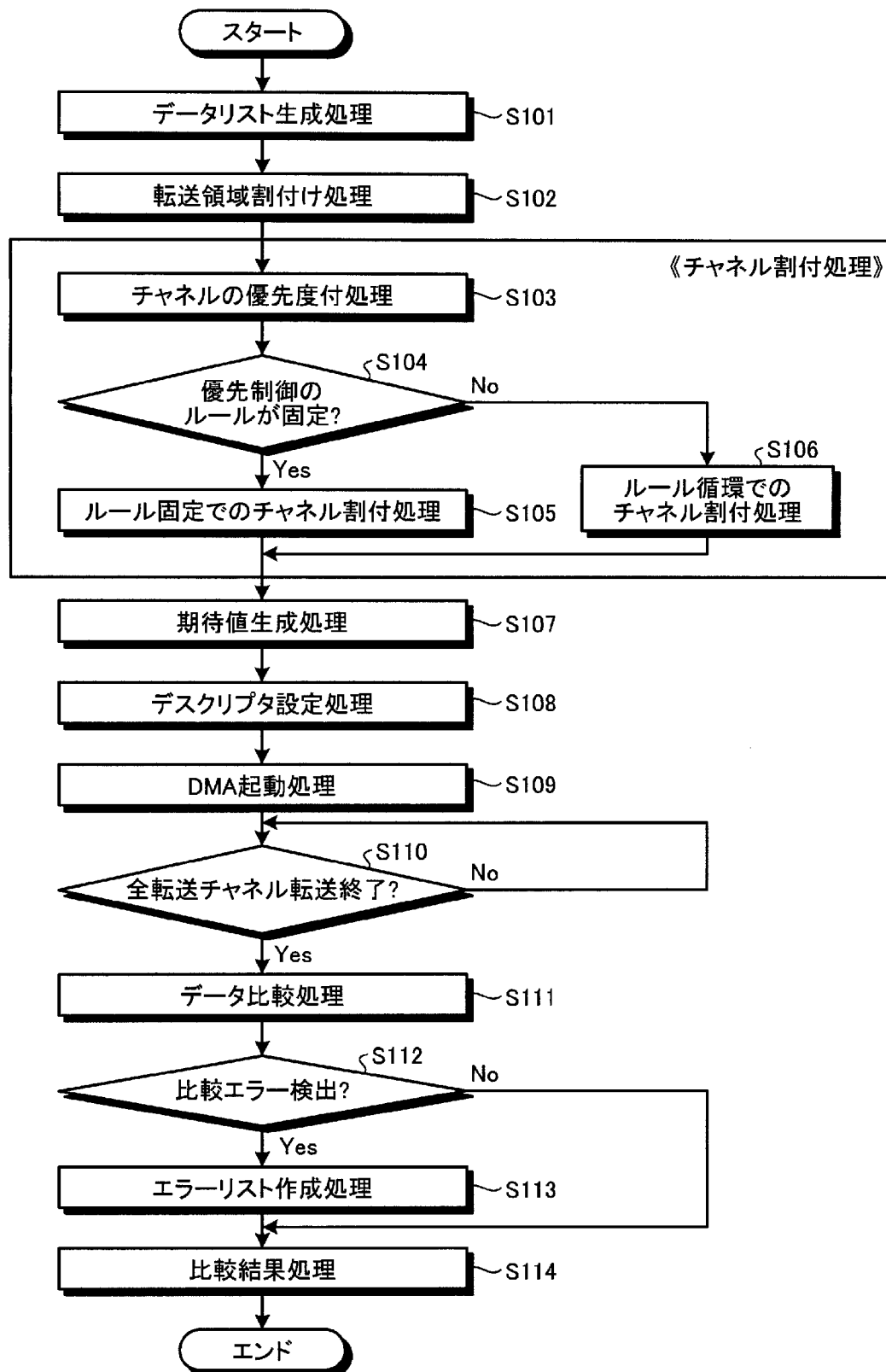
[図16]



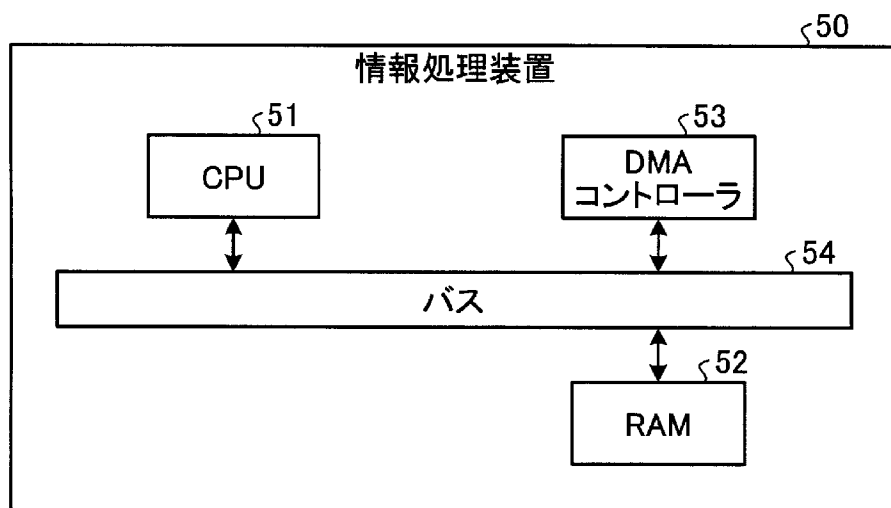
[図17]



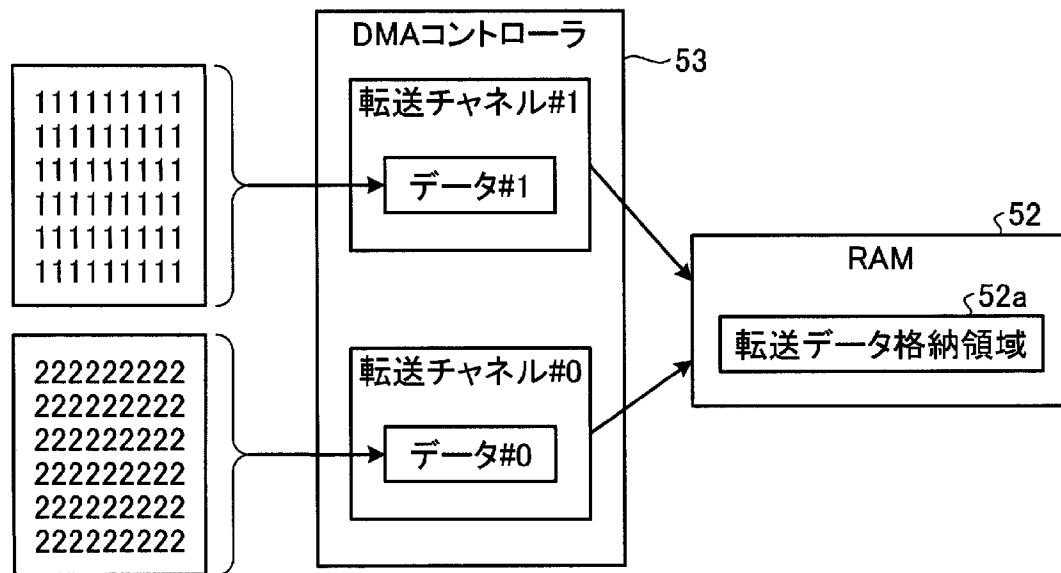
[図18]



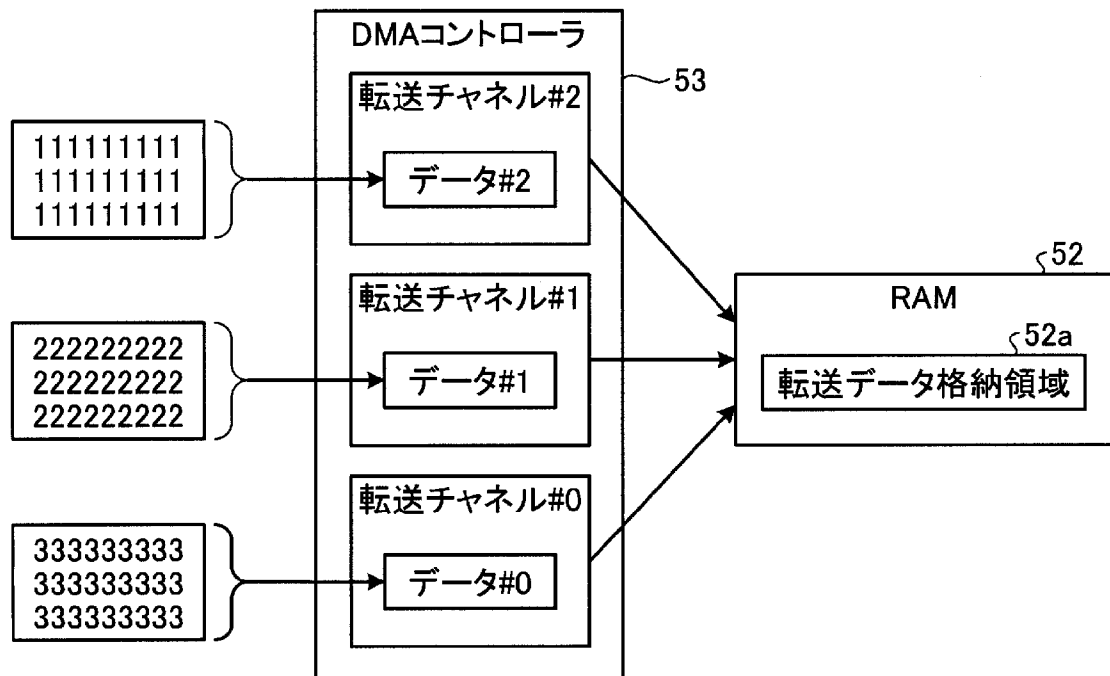
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/067159

A. CLASSIFICATION OF SUBJECT MATTER

G06F12/16(2006.01) i, G06F13/362(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F12/16, G06F13/362, G06F13/00, G06F11/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-46851 A (Canon Inc.), 12 February 2004 (12.02.2004), paragraph [0030]; table 1 (Family: none)	1-9
A	JP 2008-134807 A (Fujitsu Ltd.), 12 June 2008 (12.06.2008), paragraphs [0001] to [0011] & US 2008/0126644 A1	1-9
A	JP 2001-249906 A (Hitachi, Ltd.), 14 September 2001 (14.09.2001), entire text; all drawings (Family: none)	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

02 December, 2011 (02.12.11)

Date of mailing of the international search report

13 December, 2011 (13.12.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. G06F12/16(2006.01)i, G06F13/362(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F12/16, G06F13/362, G06F13/00, G06F11/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-46851 A (キヤノン株式会社) 2004.02.12, 段落【0030】、 【表1】（ファミリーなし）	1 - 9
A	JP 2008-134807 A (富士通株式会社) 2008.06.12, 段落【0001】 ～【0011】 & US 2008/0126644 A1	1 - 9
A	JP 2001-249906 A (株式会社日立製作所) 2001.09.14, 全文, 全図 (ファミリーなし)	1 - 9

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 2 . 1 2 . 2 0 1 1

国際調査報告の発送日

1 3 . 1 2 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

原 秀人

5 M

9 6 4 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 9