



(10) **DE 10 2015 114 232 A1** 2016.03.03

(12)

## Offenlegungsschrift

(21) Aktenzeichen: **10 2015 114 232.5**

(22) Anmeldetag: **27.08.2015**

(43) Offenlegungstag: **03.03.2016**

(51) Int Cl.: **H01L 21/60** (2006.01)

**H01L 21/56** (2006.01)

**H01L 21/58** (2006.01)

**H01L 23/28** (2006.01)

**H01L 23/492** (2006.01)

(30) Unionspriorität:  
**14/471,733**                      **28.08.2014**    **US**

(71) Anmelder:  
**Avago Technologies General IP (Singapore) Pte.  
Ltd., Singapur, SG**

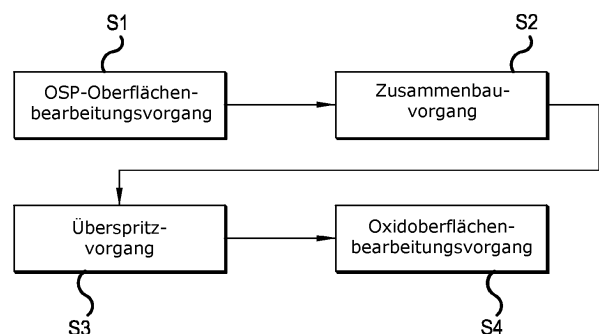
(74) Vertreter:  
**Dilg Haeusler Schindelmann  
Patentanwaltsgesellschaft mbH, 80636 München,  
DE**

(72) Erfinder:  
**Ajoian, Jack, Campbell, Calif., US**

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

(54) Bezeichnung: **Elektronisches Modul mit einer Oxidoberflächenbeschaffenheit als eine Lötmaske und Verfahren zur Herstellung eines elektronischen Moduls unter Verwendung von organischem Lötenschutzmittel und Oxidoberflächenbearbeitungsvorgang**

(57) Zusammenfassung: Ein elektronisches Modul umfasst ein Substrat, leitende Pads an oberen und unteren Oberflächen des Substrats, mindestens eine elektronische Komponente, die auf der oberen Oberfläche des Substrats angeordnet ist und an die Pads an der oberen Oberfläche des Substrats gelötet ist, eine Formmasse, die die mindestens eine elektronische Komponente bedeckt und ein Lötresist, das eine metallorganische Verbindung umfasst, an Bereichen zwischen Entsprechenden der Pads an der unteren Oberfläche des Substrats. Das Modul wird hergestellt unter Verwendung von sowohl einem OSP-Oberflächenbearbeitungsvorgang zum Beschichten der Pads an der oberen Oberfläche des Substrats mit OSP, um die Pads vor Oxidation zu schützen, während die elektronische Komponente mit dem Substrat verbunden wird, und einem Oxidoberflächenbearbeitungsvorgang zum Bilden des Lötresists.



## Beschreibung

### Hintergrund

**[0001]** Das vorliegende erfinderische Konzept betrifft elektronische Module, die mindestens eine elektronische Komponente und zugehörige elektrische Verbindungen beinhalten und die mit einer größeren Einheit, wie zum Beispiel eine Leiterplatte bzw. Platine (PCB), verknüpft sein können. Das vorliegende erfinderische Konzept betrifft auch Verfahren zur Herstellung solcher Module. Insbesondere betrifft das erfinderische Konzept elektronische Module, die ein Substrat mit leitenden (bzw. leitfähigen) Pads an seiner Ober- und Unterseite und mindestens einen Chip oder Die, der auf dem Substrat montiert ist und mit dem Substrat elektrisch verbunden ist, beinhalten und Verfahren zu deren Herstellung.

### Beschreibung des Stands der Technik

**[0002]** Diverse elektronische Produkte beinhalten eine Hauptplatine (PCB), wie zum Beispiel ein Motherboard, und ein oder mehrere auf der PCB montierte elektronische Module. Das elektronische Modul beinhaltet einen oder mehrere integrierte Schaltkreise (ICs), die mit der Hauptplatine zu verbinden sind, und verwendet irgendeine von diversen Arten an Packungstechnologien für die integrierte Schaltkreise (ICs). Beispiele für diese Packungstechnologien beinhalten Land-Grid-Array (LGA) und Ball-Grid-Array (BGA) Packungstechnologien.

**[0003]** Eine herkömmliche LGA-Packung bzw. Gehäuse beinhaltet ein Substrat, Arrays an leitenden Pads an der Ober- bzw. Unterseite des Substrats und einen Chip oder Die, der auf dem Substrat angeordnet ist und mit Entsprechenden der Pads an der Oberseite des Substrats elektrisch verbunden ist. Eine herkömmliche BGA-Packung bzw. Gehäuse ist ähnlich zu der LGA-Packung, aber beinhaltet zusätzlich Lotkugeln bzw. Lötperlen, die durch Schmelzen auf den Pads an der Unterseite des Substrats gehalten werden. In beiden Fällen ist der Chip oder Die oft eingebettet in und somit geschützt durch eine Verbindung, die an dem Substrat geformt bzw. gepresst wird. Die Packungen haben auch leitende Vias, wie zum Beispiel Durchgangslöcher, die sich durch das Substrat erstrecken und Pads auf der Oberseite des Substrats mit Pads auf der Unterseite des Substrats elektrisch verbinden. Die Vias sorgen für eine elektrische Verbindung des Chips oder Dies mit den Pads auf der Unterseite des Substrats.

**[0004]** Solch eine herkömmliche LGA-Packung kann auf einer PCB oberflächenmontiert werden. Insbesondere kann ein Gitter an Lötpaste, das den Pads an der Unterseite des Substrats der LGA-Packung entspricht, auf der PCB gebildet sein, die LGA-Packung wird auf die PCB gesetzt, wobei ihre Pads auf

den Pads der Lötpaste angeordnet sind, und ein Reflow-Vorgang wird so ausgeführt, dass die LGA-Packung direkt an die PCB gelötet wird. Ebenso kann eine herkömmliche BGA-Packung auf einer PCB oberflächenmontiert werden. Insbesondere können die Lotperlen auf entsprechenden Kupfer (Cu) Pads der PCB platziert werden und ein Reflow-Vorgang wird an den Lötperlen so ausgeführt, dass die BGA-Packung direkt an die PCB gelötet wird.

### Zusammenfassung

**[0005]** Eine Aufgabe ist es, ein elektronisches Modul bereitzustellen, das höchst zuverlässig bleibt, wenn es auf ein anderes elektronisches Produkt, wie zum Beispiel eine PCB, oberflächenmontiert wird.

**[0006]** Eine weitere Aufgabe ist es, ein elektronisches Modul bereitzustellen, das leitende Kontaktflächen an der Unterseite davon aufweist und das zuverlässig verhindern kann, dass Lot Benachbarte der Kontaktflächen überbrückt, wenn die Kontaktflächen an Kontakte eines anderen elektronischen Produkts, wie zum Beispiel einer PCB, gelötet werden.

**[0007]** Gemäß einem Aspekt der erfinderischen Lehren wird ein Verfahren zur Herstellung eines elektronischen Moduls bereitgestellt, das Folgendes beinhaltet: ein Bereitstellen einer Basis, die ein Substrat und leitende (bzw. leitfähige) Pads an jeder von oberen und unteren Oberflächen des Substrats beinhaltet, ein Beschichten der Pads an der oberen Oberfläche des Substrats mit organischem Lötenschutzmittel (organic solderability preservative, OSP), ein Anordnen von mindestens einer elektronischen Komponente auf der Basis und ein elektrisches Verbinden der mindestens einen elektronischen Komponente mit Entsprechenden der Pads an der Oberseite des Substrats der Basis, ein Bedecken der mindestens einen elektronischen Komponente mit einer Formmasse (Pressmasse, molding compound), und ein Durchführen eines Oxidationsvorgangs zur Bildung eines Lötresists (Lötdeckung, solder resist) an Bereichen zwischen den Entsprechenden der Pads an der unteren Oberfläche des Substrats.

**[0008]** Gemäß einem weiteren Aspekt der erfinderischen Lehren wird ein Verfahren zur Herstellung eines elektronischen Moduls bereitgestellt, das Folgendes beinhaltet: ein Bereitstellen einer Basis, die ein Substrat und freiliegende Kupferpads an der oberen Oberfläche des Substrats und ein Array an leitenden (bzw. leitfähigen) Kontaktflächen (lands) an der unteren Oberfläche des Substrats beinhaltet, ein Metalloberflächenbearbeitungsvorgang (metal surface finishing process), der ein Beschichten der freiliegenden Cu-Pads an der oberen Oberfläche des Substrats mit organischem Lötenschutzmittel (OSP) umfasst, ein Anordnen von mindestens einer elektronischen Komponente auf der oberen Oberfläche des

Substrats und ein Lötens der mindestens einen elektronischen Komponente an die Pads an der oberen Oberfläche des Substrats, ein Bedecken der mindestens einen elektronischen Komponente mit einer Formmasse, und ein Erzeugen eines Lötresists, das eine metallorganische (bzw. eine organometallische) Verbindung umfasst, an der freiliegenden Oberfläche von Bereichen zwischen Entsprechenden der Kontaktflächen an der unteren Oberfläche des Substrats. Eine leitende (bzw. leitfähige) Schicht bildet das Array an leitenden Kontaktflächen an der unteren Oberfläche des Substrats. Die leitende Schicht beinhaltet einen Film von Kupfer (Cu) und weist einen ersten relativ dicken Teilbereich, der das Array an leitenden Kontaktflächen bildet, und einen zweiten dünneren Teilbereich aus freiliegenden Bereichen des Films von Kupfer (Cu) auf. Die freiliegenden Bereiche des Films von Kupfer (Cu) erstrecken sich zwischen Entsprechenden der Kontaktflächen an der unteren Oberfläche des Substrats.

**[0009]** Gemäß noch einem weiteren Aspekt der erfinderischen Lehre wird ein elektronischer Modul bereitgestellt, das Folgendes beinhaltet: ein Substrat, leitende Pads an jeder von oberen und unteren Oberflächen des Substrats, mindestens eine elektronische Komponente, die auf der oberen Oberfläche des Substrats angeordnet ist und mit den Pads an der oberen Oberfläche des Substrats elektrisch verbunden ist, eine Formmasse, die die mindestens eine elektronische Komponente bedeckt, und ein Lötresist, das eine metallorganische Verbindung umfasst, an Bereichen zwischen Entsprechenden der Pads an der unteren Oberfläche des Substrats.

#### Kurze Beschreibung der Zeichnungen

**[0010]** Diese und andere Aufgaben, Merkmale und Vorteile in Übereinstimmung mit dem erfinderischen Konzept werden besser verstanden aus der ausführlichen Beschreibung der bevorzugten Ausführungsformen, die folgt unter Bezugnahme auf die begleitenden Figuren, bei denen:

**[0011]** Fig. 1 ein Prozessflussdiagramm eines Verfahrens zur Herstellung eines elektronischen Moduls gemäß dem vorliegenden erfinderischen Konzept ist;

**[0012]** Fig. 2 eine Querschnittsansicht eines Beispiels eines Substrats mit leitenden Schichten ist und einen Vorgang des Ätzens der Schichten zum Herstellen des Substrats für ein Verfahren zur Herstellung eines elektronischen Moduls gemäß dem vorliegenden erfinderischen Konzept veranschaulicht;

**[0013]** Fig. 3 eine Querschnittsansicht ist und ein Beispiel des OSP-Oberflächenbearbeitungsvorgangs (OSP surface finish process) von Fig. 1 veranschaulicht, wie es auf einem Substrat in einem Verfahren zur Herstellung eines elektronischen Mo-

duls gemäß dem vorliegenden erfinderischen Konzept durchgeführt wird;

**[0014]** Fig. 4 eine Querschnittsansicht des gebildeten Produkts ist, nachdem der OSP-Oberflächenbearbeitungsvorgang abgeschlossen wurde, und ein Beispiel des Zusammenbauvorgangs von Fig. 1 in dem Verfahren zur Herstellung eines elektronischen Moduls gemäß dem vorliegenden erfinderischen Konzept veranschaulicht;

**[0015]** Fig. 5 eine Querschnittsansicht des gebildeten Produkts ist, nachdem der Zusammenbauvorgang abgeschlossen wurde, und ein Beispiel des Überspritzvorgangs (overmold process) von Fig. 1 in dem Verfahren zur Herstellung eines elektronischen Moduls gemäß dem vorliegenden erfinderischen Konzept veranschaulicht;

**[0016]** Fig. 6 eine Querschnittsansicht einer Ausführungsform eines elektronischen Moduls gemäß dem vorliegenden erfinderischen Konzept ist und ein Beispiel des Oxidoberflächenbearbeitungsvorgangs (oxide surface finish process) von Fig. 1 veranschaulicht;

**[0017]** Fig. 7A eine Unteransicht eines gebildeten Produkts ist, nachdem der OSP-Oberflächenbearbeitungsvorgang abgeschlossen wurde; und

**[0018]** Fig. 7B eine Unteransicht eines elektronischen Moduls gemäß dem vorliegenden erfinderischen Konzept ist.

#### Detaillierte Beschreibung

**[0019]** Verschiedenartige Ausführungsformen und Beispiele an Ausführungsformen des vorliegenden erfinderischen Konzeptes werden im Folgenden ausführlicher unter Bezugnahme auf die begleitenden Figuren beschrieben. In den Figuren können die Größen und relativen Größen und Formen von Elementen, Schichten oder Bereichen, die in Abschnitten gezeigt sind, aus Klarheitsgründen übertrieben dargestellt sein. Insbesondere sind die Querschnittsansichten des Moduls und zwischenzeitlicher Strukturen, die während seiner Herstellung gefertigt werden, schematisch. Ebenfalls werden durchgehend in den Zeichnungen gleiche Bezugszeichen zur Kennzeichnung von gleichen Elementen verwendet.

**[0020]** Wie in der Beschreibung und den beigefügten Ansprüchen benutzt, beinhalten die Begriffe „ein“, „eine“, „eines“, „der“, „die“ und „das“ sowohl den Singular- als auch den Pluralbezug, sofern der Kontext nicht eindeutig anderes festlegt. Somit umfasst zum Beispiel „eine Vorrichtung“ eine einzige Vorrichtung und auch mehrere Vorrichtungen. Wie in der Beschreibung und den beigefügten Ansprüchen benutzt zum Zweck des Beschreibens von bestimm-

ten Beispielen oder Ausführungsformen des erfinderschen Konzeptes sind sie im Kontext zu sehen. Zum Beispiel geben die Begriffe „umfassen“ oder „umfassend“, wenn sie in dieser Beschreibung und den beigefügten Ansprüchen benutzt werden, die Anwesenheit der angegebenen Merkmale, Materialien oder Verfahren wieder, aber schließen die Anwesenheit von zusätzlichen Merkmalen, Materialien oder Verfahren nicht aus. Wie in der Beschreibung und den beigefügten Ansprüchen benutzt und zusätzlich zu deren üblichen Bedeutungen, bedeuten die Begriffe „wesentlich“ oder „im Wesentlichen“ auch in annehmbaren Grenzen oder Ausmaß. Zum Beispiel bedeutet "im Wesentlichen abgebrochen", dass der Durchschnittsfachmann das Abbrechen als annehmbar erachten würde. Wie in der Beschreibung und den beigefügten Ansprüchen benutzt und zusätzlich zu ihrer gewöhnlichen Bedeutung, bedeuten die Begriffe „ungefähr“ oder „etwa“ dies innerhalb annehmbarer Grenzen oder Ausmaß für den gewöhnlichen Durchschnittsfachmann. Zum Beispiel bedeutet „ungefähr das Gleiche“, dass ein gewöhnlicher Durchschnittsfachmann die verglichenen Gegenstände als gleich erachten würde. Darüber hinaus werden räumlich relative Begriffe, wie zum Beispiel „obere“ und „untere“, verwendet, um die Beziehung eines Elements und/oder Merkmals zu einem oder mehreren anderen Elementen und/oder Merkmalen zu beschreiben, wie in den Figuren veranschaulicht. Somit können die räumlich relativen Begriffe bei der Verwendung für Orientierungen gelten, die sich von den in den Figuren abgebildeten Orientierungen unterscheiden. Offensichtlich aber beziehen sich alle solche räumlich relativen Begriffe auf die in den Zeichnungen gezeigten Orientierungen zur Erleichterung der Beschreibung und sind nicht notwendigerweise einschränkend, da Ausführungsformen gemäß dem vorliegenden erfinderschen Konzept bei der Verwendung andere Orientierungen annehmen können, als die in den Zeichnungen veranschaulichten.

**[0021]** Es wird auch verstanden, dass wenn ein Element oder eine Schicht als „auf“ oder „verbunden mit“ einem anderen Element oder einer anderen Schicht bezeichnet wird, kann es direkt auf oder direkt verbunden mit dem anderen Element oder der anderen Schicht sein oder dazwischenliegende Elemente oder Schichten können vorhanden sein. Im Gegensatz dazu, wenn ein Element oder eine Schicht als „direkt auf“ oder „direkt verbunden mit“ einem anderen Element oder einer anderen Schicht bezeichnet wird, sind keine dazwischenliegenden Elemente oder Schichten vorhanden.

**[0022]** Weitere Terminologie, die hierin zum Zweck des Beschreibens von bestimmten Beispielen oder Ausführungsformen des erfinderschen Konzeptes verwendet wird, ist im Kontext zu sehen. Zum Beispiel geben die Begriffe „umfassen“ oder „umfassend“, wenn sie in dieser Beschreibung verwendet

werden, das Vorhandensein der genannten Merkmale, Materialien oder Vorgänge an, aber sie schließen nicht das Vorhandensein von zusätzlichen Merkmalen, Materialien oder Vorgängen aus. Die Begriffe „Pads“ und „Kontaktflächen“ werden synonym zur Bezeichnung von Merkmalen, die in Bezug auf eine Oberfläche erhöht sind, verwendet.

**[0023]** Ein Verfahren zur Herstellung eines elektronischen Moduls gemäß dem vorliegenden erfinderschen Konzept wird nun ausführlich unter Bezugnahme auf **Fig. 1–Fig. 7** beschrieben.

**[0024]** Unter Bezugnahme zunächst auf **Fig. 1** kann das Verfahren unterteilt werden in einen OSP-Oberflächenbearbeitungsvorgang S1, der ein Beschichten von leitenden Pads einer Basis mit einem organischen Lötbeschützmittel (OSP) beinhaltet, gefolgt von einem Zusammenbauvorgang S2, der ein Löten von mindestens einer elektronischen Komponente an Entsprechende der leitenden Pads an einer Seite der Basis beinhaltet, gefolgt von einem Überspritzvorgang S3, der ein Bilden einer Formmasse über der bzw. den elektronischen Komponente(n) zum Bedecken derselben auf der Basis des Moduls beinhaltet, gefolgt von einem Oxidoberflächenbearbeitungsvorgang S4, der ein Bilden einer metallorganische Verbindung als ein Lötresist zwischen den leitenden Pads an der anderen Seite der Basis beinhaltet.

**[0025]** **Fig. 2** zeigt ein Beispiel einer Basis **100** des elektronischen Moduls, die wie oben beschrieben verarbeitet werden kann. Die Basis **100** beinhaltet ein Substrat **10** und leitende Pads **20** (d.h. Kontaktflächen aus leitendem Material) an jeder der oberen und unteren Oberflächen des Substrats **10**. Die Basis **100** kann auch leitende Vias **30** beinhalten, die Entsprechende der leitenden Pads **20** an der oberen Oberfläche des Substrats **10** mit Entsprechenden der leitenden Pads **20** an der unteren Oberfläche des Substrats **10** verbinden. Wie in der Figur gezeigt, kann das Substrat **10** nur eine einzige Schicht aus elektrisch isolierendem Material aufweisen und die Vias **30** können Durchgangslöcher sein, die sich vertikal durch das Substrat **10** erstrecken. Darüber hinaus kann eine dielektrische Schicht auf der unteren Oberfläche der Schicht aus isolierendem Material bereitgestellt sein.

**[0026]** Alternativ kann das Substrat **10** ein mehrschichtiges Substrat von alternierenden Schichten aus isolierendem Material und Verdrahtungsschichten (wiring layer) sein und Vias, die sich jeweils durch eine oder mehrere der Schichten aus isolierendem Material erstrecken. Das bedeutet, jedes Via kann ein Durchgangsloch, das ein Pad an der oberen Oberfläche des Substrats mit einem Pad an der unteren Oberfläche des Substrats verbindet, ein Blind-Via, das ein Pad an einer der oberen und unteren Oberflächen des Substrats mit einer Verdrahtungsschicht

innerhalb des Substrats verbindet, oder ein Buried-Via, das Entsprechende der Verdrahtungsschichten miteinander innerhalb des Substrats verbindet, sein. In diesem Fall kann eine dielektrische Schicht an der Unterseite des Substrats, d.h. auf der unteren Oberfläche der Untersten der Schichten aus isolierendem Material, bereitgestellt sein.

**[0027]** Weiterhin kann die Basis **100** einen oder mehrere interne ICs (nicht gezeigt) beinhalten, die innerhalb des Substrats **10** bereitgestellt sind und auf einer Oberfläche einer der isolierenden Schichten angeordnet und mit einer Verdrahtungsschicht auf derselben Oberfläche verbunden sind.

**[0028]** Fig. 2 zeigt auch ein Beispiel, wie die Basis **100** hergestellt wird. Eine obere leitende Schicht **20u** wird auf der oberen Oberfläche des Substrats **10** gebildet und eine untere leitende Schicht **20l** wird auf der unteren Oberfläche des Substrats **10** gebildet, wie durch die gestrichelten Linien in der Figur gezeigt. Die untere leitende Schicht **20l** kann durch Bilden eines primären metallischen Films **20l'** auf der unteren Oberfläche des Substrats **10** und anschließendem Plattieren des Films **20l'** mit einem sekundären metallischen Material **20l''** gebildet werden. Vorzugsweise sind die obere leitende Schicht **20u** und der primäre metallische Film **20l'** aus dem gleichen Material. In der veranschaulichten Ausführungsform sind die obere leitende Schicht **20u** und der primäre metallische Film **20l'** aus Kupfer (Cu) und das sekundäre metallische Material **20l''** ist aus Gold (Au), Nickel/Gold (Ni/Au) oder dergleichen.

**[0029]** Dann werden die leitenden Schichten **20u**, **20l** selektiv geätzt durch einen oder mehrere Vorgänge, die per se konventionell sind, zur Bildung der leitenden Pads **20**. In dieser Hinsicht beinhaltet das selektive Ätzen der unteren leitenden Schicht **20l** ein Ätzen durch das sekundäre metallische Material **20l''** aus Au oder Ni/Au und wird kontrolliert, damit freiliegende Bereiche von dem primären metallischen Films **20l'** aus Kupfer (Cu) zwischen Ausgewählten der resultierenden Pads zurückbleiben aus Gründen, die später ausführlicher unter Bezugnahme auf Fig. 7A und Fig. 7B beschrieben werden. Diese Bereiche von Cu sind dünner (um 5–6 µm zum Beispiel) als die Bereiche, die aus dem Cu und der Au oder Ni/Au Plattierung gebildet sind. Somit können Pads (oder Kontaktflächen) **20**, die an der Oberseite des Substrats **10** gebildet sind, Cu-Pads (oder Kontaktflächen) sein und Pads (oder Kontaktflächen) **20**, die an der Unterseite des Substrats **10** gebildet sind, können Cu-Pads sein, die mit Au oder Ni/Au Kontakten bereitgestellt sind.

**[0030]** Die Vias **30** werden durch einen Vorgang gebildet, der auch per se konventionell ist. In dieser Hinsicht, wenn die Vias Durchgangslöcher sind zum Beispiel, können die Vias **30** gebildet werden, bevor

die leitenden Schichten **20u**, **20l** gebildet werden, indem Löcher (Bohrungen) durch das Substrat **10** gebohrt werden und die Löcher mit elektrisch leitendem Material gestopft oder beschichtet werden. Weiterhin, wenn auch nicht gezeigt, kann die Basis **100** in einem Batch-Verfahren gebildet werden, bei dem die leitenden Schichten **20u** und **20l** auf oberen und unteren Oberflächen einer Tafel (panel) gebildet werden und die Tafel wird gefräst oder anderweitig geschnitten in Abschnitte, die jeweils durch ein Substrat **10**, wie in Fig. 2 gezeigt, aufgebaut sind.

**[0031]** Das Verfahren von Fig. 1 wird nun ausführlicher unter Bezugnahme auf Fig. 3–Fig. 6 beschrieben. Es sei darauf hingewiesen, dass in diesen Figuren die Basis **100** in einer vereinfachten Form aus Gründen der Klarheit gezeigt ist. Insbesondere sind nur das Substrat **10** und manche der Pads **20** der Basis **100** gezeigt.

**[0032]** Unter Bezugnahme auf Fig. 1 und Fig. 3 wird der OSP-Oberflächenbearbeitungsvorgang S1 durchgeführt zum Zweck des Beschichtens der Pads **20** an der oberen Oberfläche des Substrats mit organischem Lötenschutzmittel (OSP). Zum Beispiel wird die Basis **100** in ein Bad des organischen Lötenschutzmittels (OSP) eingetaucht. Das OSP ist eine Wasserbasierte organische Verbindung, die selektiv an Kupfer bindet. Als ein Ergebnis wird eine Beschichtung **40** des organischen Lötenschutzmittels (OSP) auf den freiliegenden Cu-Pads **20** an der Oberseite des Substrats **10** und auf den freiliegenden Bereichen von Cu, die sich zwischen den Pads **20** an der unteren Oberfläche des Substrats **10** erstrecken, gebildet.

**[0033]** Unter Bezugnahme als nächstes auf Fig. 1 und Fig. 4 werden in dem Zusammenbauvorgang S2 eine oder mehrere elektronische Komponenten **200** auf der Basis **100** angeordnet und mit Entsprechenden der Pads **20** an der Oberseite des Substrats der Basis elektrisch verbunden. Jede elektronische Komponente **200** kann eine SMT-Komponente (ein Chip oder Die, der an den leitenden Pads **20** oberflächenmontiert werden kann) oder eine FC-Komponente (ein Chip oder Die, der an den leitenden Pads **20** als Flip Chip montiert werden kann) sein. Somit kann das elektronische Modul eine Halbleitervorrichtungspackung (semiconductor device package) sein.

**[0034]** In dem veranschaulichten Beispiel ist die elektronische Komponente **200** ein Chip oder Die mit Zinn-plattierten Cu-Pfeilern **50**. Die Pfeiler (pillars) **50** werden jeweils an Pads **20** gelötet, wodurch die Komponente **200** (bzw. der IC davon) mit der Basis **100** elektrisch verbunden wird und insbesondere mit den Pads **20** an der Unterseite der Basis durch die Pads **20** an der Oberseite der Basis und die Durchgangslöcher (**30** in Fig. 2). Zu diesem Zweck wird Schmelzmittel (flux) angewendet, so dass es zwischen den Pfeilern **50** und den Pads **20** eingefügt wird, wenn die

Pfeiler **50** der elektronischen Komponente **200** auf die Pads gesetzt werden, und die resultierende Struktur wird gebacken. Das Zinn schmilzt auf, wie durch das Bezugszeichen **55** dargestellt, und verbindet dadurch physikalisch und elektrisch die Komponente **200** mit den Pads **20**.

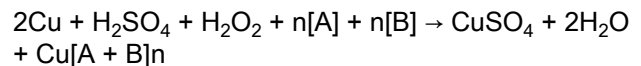
**[0035]** Zu diesem Zeitpunkt, d.h. während des Lötvorgangs, schützt die Beschichtung **40** an OSP das Kupfer der Pads **20**. Jedoch bewirkt die Hitze des Backvorgangs, dass die Beschichtung **40** von dem OSP auf den Pads **20** einen Austauschvorgang mit dem Schmelzmittel durchmacht, wobei das OSP, das die Pads **20** beschützt hat, verdampft. Andererseits und wenn auch nicht gezeigt kann das OSP auf den Bereichen von Cu bleiben, die an der Unterseite des Substrats **10** freiliegend waren. Das bedeutet, dass nachdem der Zusammenbauvorgang S2 durchgeführt wurde, können Reste der Beschichtung **40** an OSP auf Bereichen zwischen Pads **20** an der Unterseite des Substrats **10** existieren.

**[0036]** Unter Bezugnahme als nächstes auf **Fig. 1** und **Fig. 5** wird bzw. werden in dem Überspritzvorgang S3 die elektronische(n) Komponente(n) **200** mit einer Formmasse **300** bedeckt. Zu diesem Zweck kann die in **Fig. 4** gezeigte Struktur in einer Form platziert werden und die Masse in flüssiger oder halbfester Form kann in die Form injiziert werden. Dann wird die Masse ausgehärtet, was einen Backvorgang beinhalten kann. Als ein Ergebnis ist die Formmasse **300** an dem Substrat **10** geformt. Zu diesem Zeitpunkt und wieder wenn auch nicht gezeigt können Reste von dem OSP auf dem Kupfer (Cu), das an der Unterseite des Substrats **10** freiliegend war, existieren. Es sei auch darauf hingewiesen, dass die Masse **300** so ausgewählt oder zusammengesetzt ist, dass sie gegenüber Chemikalien, die in dem darauffolgenden Oxidoberflächenbearbeitungsvorgang S4 verwendet werden, beständig ist.

**[0037]** Unter Bezugnahme als nächstes auf **Fig. 1** und **Fig. 6** wird der Oxidoberflächenbearbeitungsvorgang S4 zur Bildung eines Lötresists **60** an Bereichen zwischen Entsprechenden der Pads **20** an der unteren Oberfläche des Substrats durchgeführt. Der Begriff „Resist“ bezieht sich auf die Tatsache, dass die durch den Vorgang S4 erzeugte Oberflächenbearbeitung bzw. Oberflächenbeschaffenheit im Wesentlichen nicht-benetzbar durch Lötmetalle ist. Zu diesem Zweck bildet der Oxidationsvorgang eine organometallische (bzw. metallorganische) Schicht als das Lötresist **60** an den freiliegenden Bereichen von Kupfer (Cu) an der unteren Oberfläche des Substrats. In einem Beispiel der veranschaulichten Ausführungsform ist die organometallische Schicht ein Film, der Benzotriazol (BTA: C<sub>6</sub>H<sub>5</sub>N<sub>3</sub>) und Kupfer (Cu) umfasst. Ein Ausführungsbeispiel der Dicke des BTA-Films in dieser Ausführungsform beträgt 15 nm. Der Anmelder hat herausgefunden, dass ein organometallischer

Film, der BTA umfasst, besonders nicht-benetzbar durch Lötmetalle ist, d.h. besonders effektiv als das Lötresist **60** ist. Das Lötresist **60** kann gebildet werden, indem die in **Fig. 5** gezeigte Struktur in ein Bad, das eine Lösung umfasst, die mit dem Kupfer (Cu) zwischen den Pads **20** an der unteren Oberfläche des Substrats **10** unter Erzeugung der metallorganischen Verbindung reagiert, eingetaucht wird. Zu diesem Zeitpunkt verhindert die Plattierung (Au oder Ni/Au zum Beispiel), dass die Lösung mit der Oberfläche der Pads **20** an der Unterseite des Substrats **10** reagiert, und die Formmasse **300** schützt die elektronische(n) Komponente(n) **200** und die Pads **200** an der oberen Oberfläche des Substrats **10**. Eine geeignete Lösung zur Verwendung bei dem Oxidoberflächenbearbeitungsvorgang S4 ist die Bondfilm® Lösung, die von Atotech USA, Inc. hergestellt wird.

**[0038]** In dieser Hinsicht und zum Zweck der Veranschaulichung ist ein Beispiel einer Reaktion, die eine metallorganische Verbindung mit Kupfer (Cu) erzeugt:



**[0039]** **Fig. 7A** und **Fig. 7B** zeigen die Unterseite eines Moduls, wenn das Modul durch ein Verfahren gemäß dem vorliegenden erfinderischen Konzept hergestellt wird.

**[0040]** Insbesondere zeigt **Fig. 7A** die Unterseite der Basis, nachdem der OSP-Oberflächenbearbeitungsvorgang S1 (**Fig. 1**) abgeschlossen wurde. Zu diesem Zeitpunkt haftet das OSP, wie oben beschrieben, nur an Bereiche von freiliegendem Kupfer (Cu).

**[0041]** Wie von der Figur gewürdigt werden kann, sind daher in dieser Ausführungsform die freiliegenden Bereiche des primären metallischen Films von Kupfer (entsprechend **201'** in **Fig. 2**) nur zwischen Ausgewählten der Pads (**20a**) an der Unterseite des Substrats zurückgeblieben (wobei diese Pads **20a** einige der größeren zentralen Pads und einige der kleineren peripheren Pads in dem veranschaulichten Beispiel beinhalten). Diese Pads **20a** müssen ein gemeinsames Potential, wie zum Beispiel Erdpotential, haben und können somit als „gemeinsames Netz Pads **20a**“ bezeichnet werden. Das bedeutet, dass in diesem Beispiel die gemeinsamen Netz Pads **20a** eine gemeinsame Masseplatte bzw. Bezugserde (ground plane) für das Modul bilden können.

**[0042]** Andererseits sind andere der Pads an der unteren Oberfläche des Substrats, nämlich die Pads **20b** in der Figur, von den anderen der Pads **20a** und **20b** an der Unterseite der Basis elektrisch isoliert. In diesem Beispiel beinhalten die Pads **20b** nur Entsprechende der kleineren peripheren Pads und sind Pads, durch die elektromagnetische Signale (z.B. RF-Si-

gnale) übertragen werden. Weiterhin bezeichnet das Bezugszeichen **70** die Bereiche von Isolation zwischen den Pads **20b** und Benachbarten der Pads. In diesem Beispiel können die Bereiche von Isolation **70** durch eine Schicht eines Dielektrikums, die die untere Oberfläche des Substrats bildet, bereitgestellt werden. Solch eine dielektrische Schicht kann auf der Unterseite einer isolierenden Schicht des Substrats als Teil des Verfahrens der Bereitstellung der Basis **100** gebildet werden, entsprechend zu dem in **Fig. 2** gezeigten Verfahren.

**[0043]** Andererseits zeigt **Fig. 7B** das Lötresist **60**, das sich zwischen den gemeinsamen Netz Pads **20a** an der unteren Oberfläche des Substrats bei Vollendung des Oxidoberflächenbearbeitungsvorgangs S4 erstreckt. Wie von dieser Figur gewürdigt werden kann, ist das OSP **40** an der Unterseite des Substrats durch den Zusammenbauvorgang S2 (**Fig. 1**) entfernt worden, wodurch erneut Bereiche von Kupfer (Cu) zwischen den Pads **20a** freigelegt wurden; dann bildet der Oxidoberflächenbearbeitungsvorgang S4 die metallorganische Verbindung (umfassend BTA) als Lötresist **60** an der Oberfläche des freiliegenden Kupfers (Cu). Wenn das Modul an eine PCB gelötet wird, wird daher das Lötmittel sich nicht über Benachbarte der Pads **20**, einschließlich der gemeinsamen Netz Pads **20a**, erstrecken oder diese anderweitig überbrücken während des Reflow-Vorgangs. Es sei darauf hingewiesen, dass die Bondfilm-Chemie jegliche existierendes OSP oder andere Verunreinigungen entfernt und eine im Wesentlichen reine Oberfläche an Kupfer zurücklässt, bevor das Oxid angewendet wird.

**[0044]** Schließlich wurden oben Ausführungsformen des erfinderischen Konzepts und Beispiele davon ausführlich beschrieben. Das erfinderische Konzept kann jedoch in vielen verschiedenen Formen ausgestaltet werden und soll nicht auf die oben beschriebenen Ausführungsformen beschränkt ausgelegt werden. Vielmehr wurden diese Ausführungsformen beschrieben, damit diese Offenbarung gründlich und vollständig ist und vollkommen einem Fachmann das erfinderische Konzept vermittelt. Somit ist der wahre Geist und Umfang des erfinderischen Konzepts nicht auf die oben beschriebenen Ausführungsformen und Beispiele beschränkt, sondern durch die folgenden Ansprüche.

### Patentansprüche

1. Verfahren zur Herstellung eines elektronischen Moduls, wobei das Verfahren Folgendes umfasst: Bereitstellen einer Basis, die ein Substrat mit oberen und unteren Oberflächen und leitende Pads an jeder der oberen und unteren Oberflächen des Substrats beinhaltet; Beschichten der Pads an der oberen Oberfläche des Substrats mit organischem Lötenschutzmittel (OSP);

Anordnen von mindestens einer elektronischen Komponente auf der Basis und elektrisches Verbinden der mindestens einen elektronischen Komponente mit Entsprechenden der Pads an der Oberseite des Substrats der Basis; Bedecken der mindestens einen elektronischen Komponente mit einer Formmasse; und Bilden eines Lötresists an Bereichen zwischen Entsprechenden der Pads an der unteren Oberfläche des Substrats, wobei das Bilden des Lötresists einen Oxidationsvorgang umfasst.

2. Verfahren wie in Anspruch 1 beansprucht, wobei das Verbinden der mindestens einen elektronischen Komponente ein Löten der mindestens einen elektronischen Komponente an die Entsprechenden der Pads an der Oberseite des Substrats umfasst.

3. Verfahren wie in Anspruch 1 beansprucht, wobei das Bereitstellen der Basis ein Bilden einer leitenden Schicht, die einen Metallfilm umfasst, auf der Unterseite des Substrats und ein selektives Ätzen der leitenden Schicht zur Bildung eines Arrays an leitenden Pads und Zurücklassen von freiliegenden Bereichen von dem Metall zwischen den Entsprechenden der Pads umfasst.

4. Verfahren wie in Anspruch 1 beansprucht, wobei der Oxidationsvorgang eine organometallische Schicht als das Lötresist an der Oberfläche der freiliegenden Bereiche von dem Metall bildet.

5. Verfahren zur Herstellung eines elektronischen Moduls, wobei das Verfahren Folgendes umfasst: Bereitstellen einer Basis, die ein Substrat mit oberen und unteren Oberflächen, freiliegende Kupfer (Cu) Pads an der oberen Oberfläche des Substrats und eine leitende Schicht, die einen Film von Kupfer (Cu) umfasst, an der unteren Oberfläche des Substrats beinhaltet, wobei die leitende Schicht einen ersten Teilbereich, der ein Array an leitenden Kontaktflächen bildet, einen zweiten Teilbereich aus freiliegendem Kupfer (Cu) hat, wobei sich der zweite Teilbereich zwischen Entsprechenden der Kontaktflächen an der unteren Oberfläche des Substrats erstreckt und dünner als der erste Teilbereich ist; ein Metalloberflächenbearbeitungsvorgang, der ein Beschichten des freiliegenden Cu an der oberen Oberfläche des Substrats mit organischem Lötenschutzmittel (OSP) umfasst; Anordnen von mindestens einer elektronischen Komponente auf der oberen Oberfläche des Substrats und Löten der mindestens einen elektronischen Komponente an die Pads an der oberen Oberfläche des Substrats; Bedecken der mindestens einen elektronischen Komponente mit einer Formmasse; und Erzeugen eines Lötresists, das eine metallorganische Verbindung umfasst, an der Oberfläche des

Teilbereichs aus freiliegendem Kupfer (Cu) an der unteren Oberfläche des Substrats.

6. Verfahren wie in Anspruch 5 beansprucht, wobei das Bereitstellen der Basis ein Bilden einer leitenden Schicht, die einen Film von Kupfer (Cu) umfasst, auf der Unterseite des Substrats und ein selektives Ätzen der leitenden Schicht zur Bildung des Arrays an leitenden Kontaktflächen und Zurücklassen von Bereichen von dem Film von Kupfer (Cu), die zwischen den Entsprechenden der Kontaktflächen freiliegend sind, umfasst.

7. Verfahren wie in Anspruch 6 beansprucht, wobei das Erzeugen des Lötresists ein Bilden eines Films von Benzotriazol (BTA) an der Oberfläche der Bereiche von Kupfer (Cu), die an der unteren Oberfläche des Substrats freiliegend sind, umfasst.

8. Verfahren wie in Anspruch 6 beansprucht, wobei das Bereitstellen der Basis ein Bilden einer leitenden Schicht, die einen Film von Kupfer (Cu) umfasst, auf der Unterseite des Substrats, ein Plattieren des Films von Kupfer (Cu) und ein selektives Ätzen der leitenden Schicht zur Bildung des Arrays an leitenden Kontaktflächen und Zurücklassen von Bereichen von dem Film von Kupfer (Cu), die zwischen den Entsprechenden der Kontaktflächen freiliegend sind, umfasst, wobei jedes der leitenden Kontaktflächen ein Pad von plattiertem Cu umfasst.

9. Verfahren wie in Anspruch 8 beansprucht, wobei der Oxidationsvorgang einen Film von Benzotriazol (BTA) als das Lötresist bildet.

10. Verfahren wie in Anspruch 8 beansprucht, wobei das Plattieren ein Plattieren des Films von Kupfer (Cu) mit Gold (Au) oder mit Nickel (Ni) und Gold (Au) umfasst.

11. Verfahren wie in Anspruch 8 beansprucht, wobei das Erzeugen des Lötresists ein Eintauchen einer Struktur, die die Basis und die mindestens eine elektronische Komponente, die durch die Formmasse bedeckt ist, umfasst, in ein Bad, das eine Lösung umfasst, die mit dem Kupfer (Cu), das an der unteren Oberfläche des Substrats freiliegt, unter Bildung einer metallorganischen Verbindung als das Lötresist reagiert, umfasst.

12. Verfahren wie in Anspruch 8 beansprucht, wobei der Metalloberflächenbearbeitungsvorgang ein Eintauchen der Basis so in ein Bad des organischen Lötbeschuttmittels (OSP) umfasst, dass das freiliegende Cu an der oberen und unteren Oberfläche des Substrats mit organischem Lötbeschuttmittel (OSP) beschichtet wird.

13. Verfahren wie in Anspruch 12 beansprucht, wobei das Erzeugen des Lötresists ein Eintauchen ei-

ner Struktur, die die Basis und die mindestens eine elektronische Komponente, die durch die Formmasse bedeckt ist, umfasst, in ein Bad, das eine Lösung umfasst, die mit dem Kupfer (Cu), das an der unteren Oberfläche des Substrats freiliegt, unter Bildung einer metallorganischen Verbindung als das Lötresist reagiert, umfasst.

14. Verfahren wie in Anspruch 5 beansprucht, wobei der Metalloberflächenbearbeitungsvorgang ein Eintauchen der Basis so in ein Bad des organischen Lötbeschuttmittels (OSP) umfasst, dass das freiliegende Kupfer (Cu) an der oberen und unteren Oberfläche des Substrats mit organischem Lötbeschuttmittel (OSP) beschichtet wird.

15. Verfahren wie in Anspruch 14 beansprucht, wobei das Erzeugen des Lötresists ein Eintauchen einer Struktur, die die Basis und die mindestens eine elektronische Verbindung, die durch die Formmasse bedeckt ist, umfasst, in ein Bad, das eine Lösung umfasst, die mit dem Kupfer (Cu), das an der unteren Oberfläche des Substrats freiliegt, unter Bildung einer metallorganischen Verbindung als das Lötresist reagiert, umfasst.

16. Elektronisches Modul, umfassend:  
ein Substrat mit oberen und unteren Oberflächen;  
leitende Pads an jeder der oberen und unteren Oberflächen des Substrats;  
mindestens eine elektronische Komponente, die auf der oberen Oberfläche des Substrats angeordnet ist und mit den Pads an der oberen Oberfläche des Substrats elektrisch verbunden ist;  
eine Formmasse, die die mindestens eine elektronische Komponente bedeckt; und  
ein Lötresist, das eine metallorganische Verbindung umfasst, an Bereichen zwischen Entsprechenden der Pads an der unteren Oberfläche des Substrats.

17. Modul wie in Anspruch 16 beansprucht, wobei die leitenden Pads Kupfer (Cu) umfassen.

18. Modul wie in Anspruch 17 beansprucht, wobei die Pads an der unteren Oberfläche des Substrats Kupfer (Cu), das mit Gold (Au) oder mit Nickel (Ni) und Gold (Au) plattiert ist, umfassen.

19. Modul wie in Anspruch 17 beansprucht, wobei die metallorganische Verbindung Benzotriazol (BTA) umfasst.

20. Modul wie in Anspruch 16 beansprucht, wobei die mindestens eine elektronische Komponente an die Pads an der oberen Oberfläche des Substrats gelötet ist.

Es folgen 5 Seiten Zeichnungen

Anhängende Zeichnungen

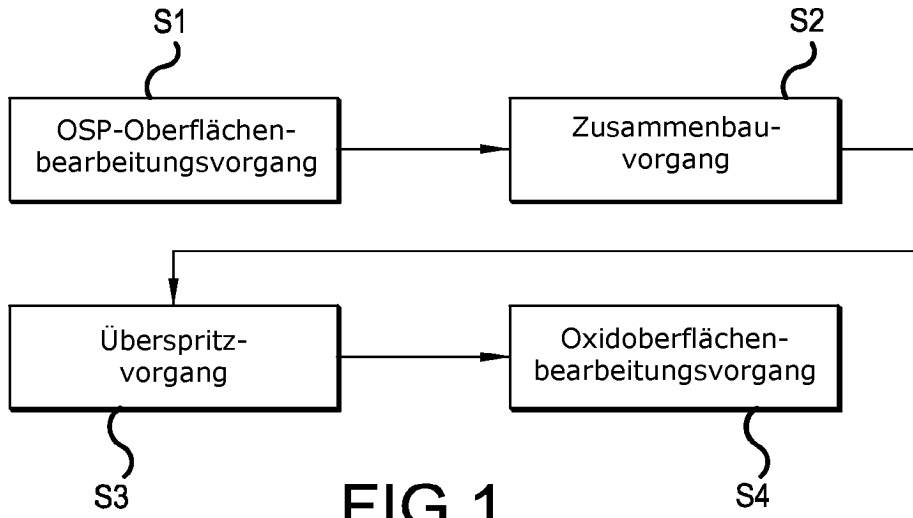


FIG.1

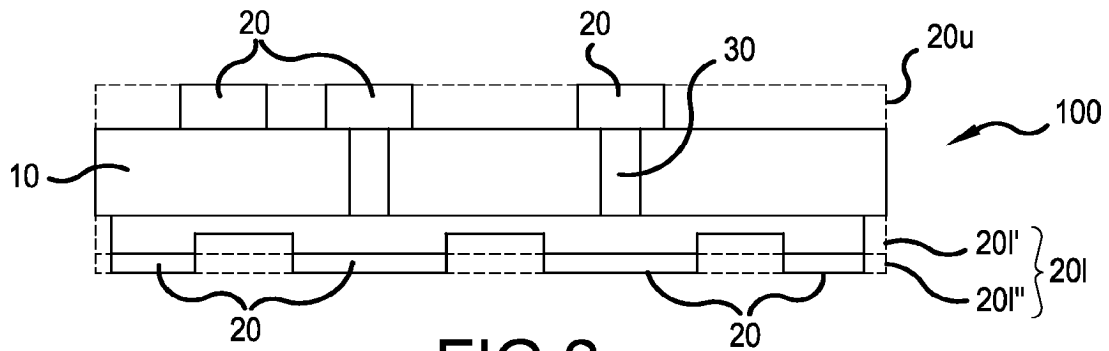


FIG.2

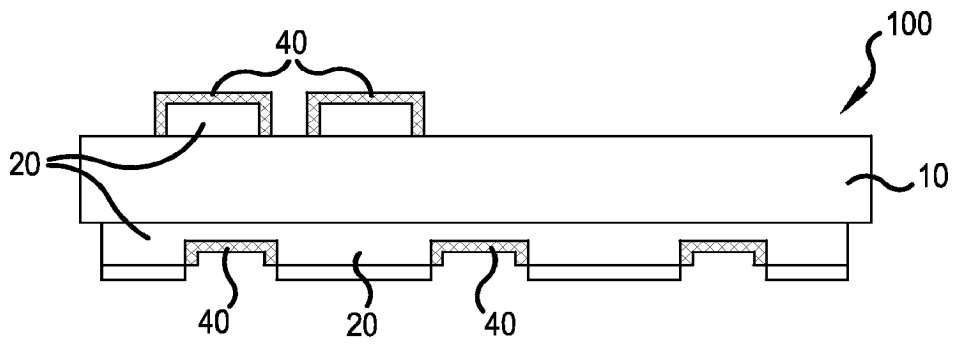


FIG.3

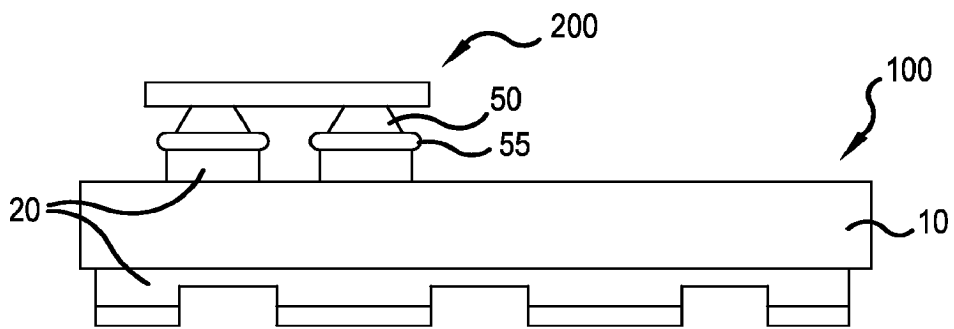


FIG.4

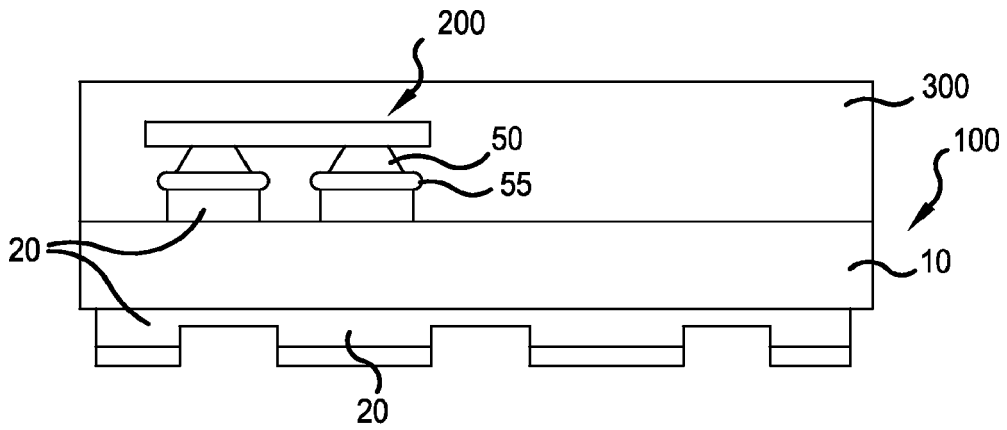


FIG.5

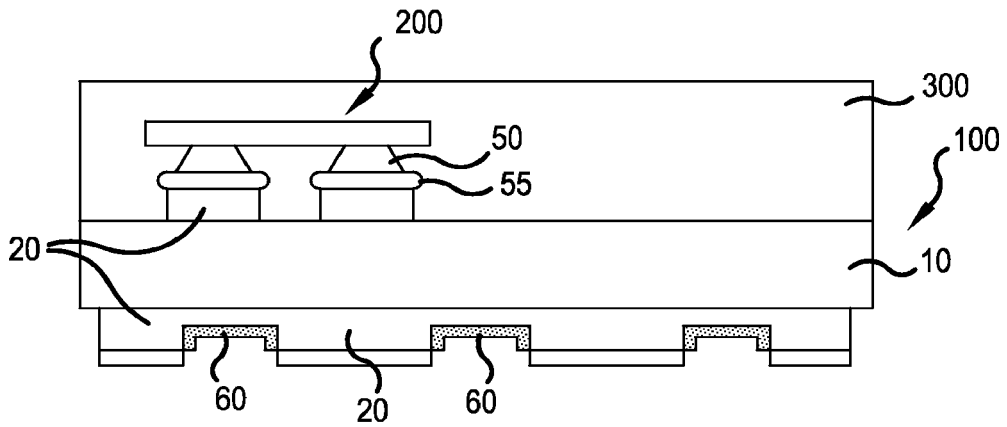


FIG.6

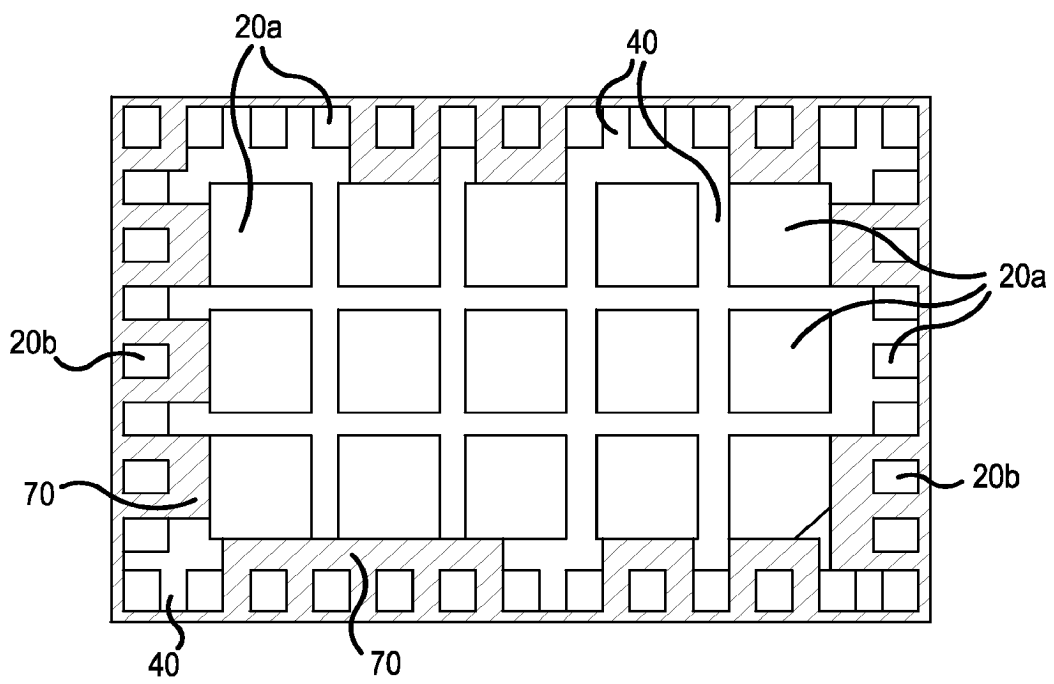


FIG.7A

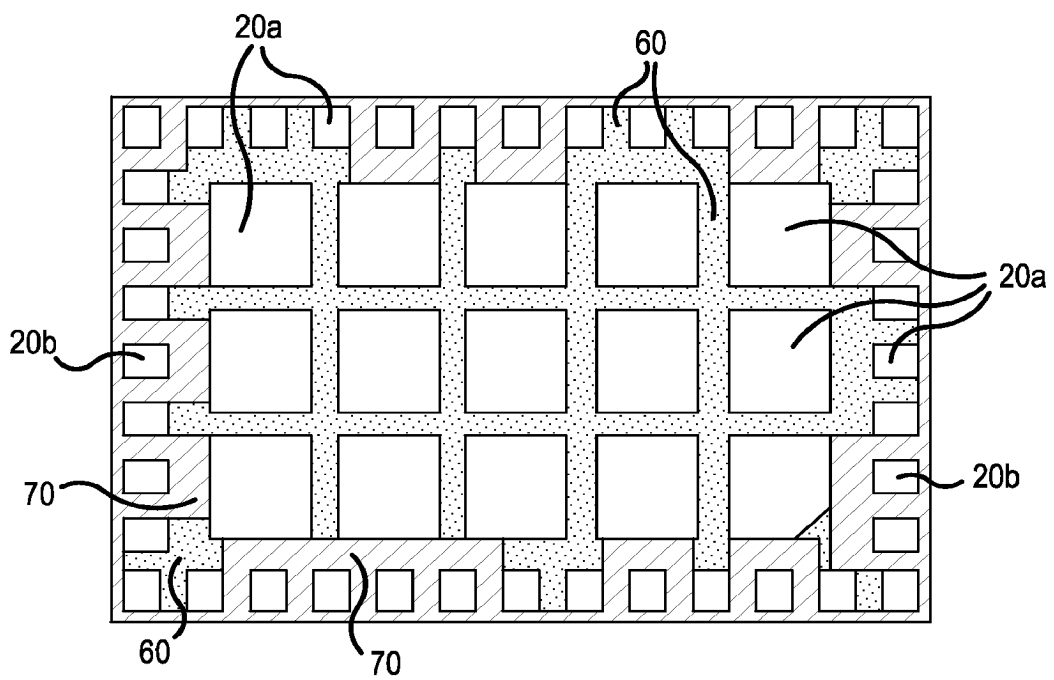


FIG.7B