

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公开说明书

[21] 申请号 200610076542.2

H03H 1/02 (2006.01)

H01C 7/10 (2006.01)

H01C 7/112 (2006.01)

H01F 1/34 (2006.01)

[43] 公开日 2006 年 11 月 8 日

[11] 公开号 CN 1858995A

[22] 申请日 2006.4.30

[21] 申请号 200610076542.2

[30] 优先权

[32] 2005.5.2 [33] JP [31] 2005-134510

[71] 申请人 TDK 株式会社

地址 日本东京

[72] 发明人 森合克成 松冈大 佐藤高弘

[74] 专利代理机构 北京纪凯知识产权代理有限公司
代理人 龙 淳

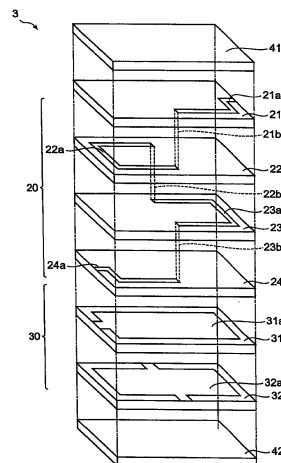
权利要求书 1 页 说明书 12 页 附图 9 页

[54] 发明名称

叠层型滤波器

[57] 摘要

本发明的目的是提供一种可变电阻部和电感部难以产生剥离的叠层型滤波器。优选的实施方式的叠层型滤波器(10)具有可变电阻部(30)和电感部(20)叠层的结构。可变电阻部(30)由具有内部电极(31a、32a)的可变电阻层(31、32)叠层形成,该可变电阻层以 ZnO 作为主成分,含有选自 Pr 和 Bi 的至少一种元素、Co 和 Al 作为添加物。另外,电感部(20)由具有导体图案(21a~24a)的电感层(21~24)叠层形成,该电感层以 ZnO 作为主成分,实质上不含 Co 和 Al。



1. 一种叠层型滤波器，其由具有导体层和可变电阻层的可变电阻部、和具有导体层和电感层的电感部叠层形成，其特征在于：

所述可变电阻层以 ZnO 作为主成分，含有选自 Pr 和 Bi 的至少一种元素、Co 和 Al 作为添加物，

所述电感层以 ZnO 作为主成分，实质上不含 Co 和 Al。

2. 如权利要求 1 所述的叠层型滤波器，其特征在于：还含有从表面向内部扩散的 Li。

叠层型滤波器

技术领域

- 5 本发明涉及一种叠层型滤波器，更详细地说，涉及一种可变电阻部和电感部叠层形成的叠层型滤波器。

背景技术

- 近年来，电子设备中，用于高速动作的传送信号的高频率化和用于节省电力的低电压化不断发展。在这种状况下，在电子设备中，从
10 确保优异的可靠性的观点出发，除去噪声或电涌（surge）等的技术越来越重要。因此，作为可以用一个片（chip）除去噪声和电涌两者的元件，可变电阻（varistor）部和电感（inductor）部叠层形成的叠层型滤波器引人注目。

- 15 作为这样的叠层型滤波器，已知有将半导体瓷器和磁性材料瓷器接合，将其整体烧制得到的复合功能元件（例如，参照日本专利特开平 7-220906 号公报）。

- 但是，在上述以往的叠层型滤波器中，由于在可变电阻部和电感部中，构成素体的材料不同，烧结时两者的体积变化程度大不相同，
20 因此，将其一体烧结时，在两者的边界有容易产生应力的趋势。由于这个原因，存在可变电阻部和电感部容易剥离的问题。

发明内容

- 因此，本发明是鉴于上述事实而做出的，其目的是提供一种可变
25 电阻部和电感部难以产生剥离的叠层型滤波器。

首先，本发明人，为了减少叠层型滤波器中的可变电阻部和电感部的剥离，尝试利用与构成可变电阻部的素体相同的材料形成电感部。结果发现，即使在进行整体烧结的情况下，可变电阻部和电感部也极难产生剥离。

- 30 然而，通常构成可变电阻部的素体的材料，因为具电阻极低的特

性，所以不合适作为电感的材料。因此，这种叠层型滤波器难以应用于高频用途。

本发明人根据这样的认识进一步进行研究，结果发现，由与可变电阻部的构成材料相同的素体构成电感部，并且使两构成材料的添加物不同，由此，可以实现电感部的素体的高电阻化，从而完成本发明。

即，本发明的叠层型滤波器由具有导体层和可变电阻层的可变电阻部、和具有导体层和电感层的电感部叠层形成，其特征在于：可变电阻层以 ZnO 作为主成分，含有选自 Pr 和 Bi 的至少一种元素、Co 和 Al 作为添加物，电感层以 ZnO 作为主成分，实质上不含 Co 和 Al。

10 这样，本发明的叠层型滤波器中，可变电阻层和电感层的素体以相同的材料（ZnO）作为主成分。因此，即使将它们整体烧结时，两层之间难以产生由于烧结时的素体的体积变化率的不同而导致的应力等。其结果，可变电阻部和电感部的剥离大幅减少。

另外，构成电感层的材料，即含有 ZnO 作为主成分、实质不含 Co 15 和 Al 的材料，与 ZnO 单体或上述可变电阻层的构成材料（在 ZnO 中添加 Pr 或 Bi、Co 和 Al 的材料）比较，具有电阻率极高、介电常数低的特性。因此，含有这种材料的电感层具有优异的电感特性。

另外，本发明的叠层型滤波器更优选还含有从表面向内部扩散的 Li。由此，叠层型滤波器的电感部的电感特性更加优异。其结果，叠 20 层型滤波器吸收噪声或电涌的特性将变得更优异。

附图说明

图 1 为表示实施方式的叠层型滤波器的立体图。

图 2 为表示叠层型滤波器的素体部分的分解立体图。

25 图 3 为用于说明实施方式的叠层型滤波器的等价电路的图。

图 4 为用于说明制造实施方式的叠层型滤波器的工序的流程图。

图 5 为表示第二实施方式的叠层型滤波器的电路结构的图。

图 6 为表示将图 5 的电路结构等价变换得到的电路结构的图。

图 7 为示意性地表示第二实施方式的叠层型滤波器的素体部分的 30 分解立体图。

图 8 为表示第二实施方式的叠层型滤波器的外形的立体图。

图 9 为示意性地表示在电感部中设置有内部电极的状态的素体的截面结构的图。

具体实施方式

5 以下，参照附图，详细说明本发明的优选实施方式。在全部图中，相同的要素用相同的符号表示，省略重复说明。另外，说明中的上下左右等位置关系，都是基于图面的位置关系。

首先，参照图 1~3 说明第一实施方式的叠层型滤波器 10 的结构。

10 图 1 为表示第一实施方式的叠层型滤波器的立体图。叠层型滤波器 10 具有在素体 3 的长度方向的两端部形成的一对输入输出电极 5、7，和同样地在素体 3 的侧面形成的一对接地电极 9、11。此外，将叠层型滤波器 10 安装在外部基板（未图示）上时，素体 3 的底面为与该外部基板相对的面。

15 图 2 为表示叠层型滤波器的素体部分的分解立体图。如图所示，叠层型滤波器 10 的素体 3 具有由电感部 20 和可变电阻部 30 构成的叠层结构被夹在一对保护层 41、42 之间的结构。

20 电感部 20 是分别设置有导体图案 21a、22a、23a、24a（导体层）的电感层 21、22、23、24 叠层的结构。各层的导体图案 21a、22a、23a、24a 构成螺旋状的线圈图案的一部分。它们通过贯通电极 21b、22b、23b 依次连接，构成线圈图案。这样，电感部 20 具有包含线圈 L（参照图 3）的结构。

导体图案 21a 的端部在电感层 21 的端部引出，该端部成为线圈图案的一个端部。线圈图案的该端部（导体图案 21a）在素体 3 的边缘引出，与一个输入输出电极 7 电连接。

25 另外，导体图案 24a 的端部在电感层 24 的端部引出，该端部成为线圈图案的另一个端部。线圈图案的该端部（导体图案 24a）在素体 3 的与上述一个端部相对的一侧的边缘引出，与另一个输入输出电极 5 电连接。

30 导体图案 21a~24a 由作为电感的线圈图案的构成材料使用的金属材料等构成。另外，构成电感部 20 的各电感层 21、22、23、24 由以 ZnO 为主成分的陶瓷材料构成。

构成电感层 21~24 的陶瓷材料,除了 ZnO 以外,可以含有 Pr、K、Na、Cs、Rb 等金属元素作为添加物。其中,特别优选添加 Pr。通过添加 Pr,可以容易地减小电感层 21~24 与后述的可变电阻层 31、32 的体积变化率之差。另外,为了提高与后述的可变电阻部 30 的接合性,电感层 21~24 中还可以含有 Cr、Ca 或 Si。电感层 21~24 中含有的这些金属元素,可以以金属单质或氧化物等各种形式存在。电感层 21~24 中含有的添加物的适宜含量,优选在该电感层中含有的 ZnO 的总量中为 0.02mol%以上 2mol%以下。这些金属元素的含量可以使用例如感应耦合高频等离子体发光分析装置(ICP)进行测定。

另外,具有上述构成的电感层 21~24 实质上不含有在后述的可变电阻层 31、32 中含有的 Co 和 Al。在此,所谓“实质上不含有”的状态,是指在形成电感层 21~24 时,不有意地含有这些元素作为原料时的状态。例如,通过从可变电阻部 30 向电感部 20 的扩散等并非有意地含有这些元素的情况,符合“实质上不含有”的状态。此外,电感层 21~24 只要满足上述条件,为了进一步提高特性等目的,还可以含有其它的金属元素等。

可变电阻部 30 是分别设有内部电极 31a、32a(导体层)的可变电阻层 31、32 叠层形成的结构。内部电极 31a、32a 分别在可变电阻层 31、32 上形成为大致矩形形状。这些内部电极被配置成在叠层方向上、大致全部表面重合。在此,内部电极 31a 的一部分,在构成素体 3 的侧面的可变电阻层 31 的边缘引出,由此与输入输出电极 5 电连接。

另外,内部电极 32a 在与引出内部电极 31a 的边缘垂直的边缘的两侧引出,在该引出部,分别与接地电极 9、11 电连接。这样,在可变电阻部 30 中,由内部电极 31a、32a 和配置在它们之间的可变电阻层 31 构成可变电阻 V(参照图 3)。

内部电极 31a、32a 可以使用由通常用于可变电阻的内部电极的 Pd 或 Ag-Pd 合金等构成的电极。

可变电阻层 31、32 由以 ZnO 为主成分的陶瓷材料构成。该陶瓷材料中还含有选自 Pr 和 Bi 的至少一种元素、Co 和 Al 作为添加物。在此,可变电阻层 31、32,因为除了 Pr 以外含有 Co,所以除了具优异的电压非直线特性、即可变电阻特性以外,还具有高介电常数(ϵ)。另外,

因为还含有 Al, 所以电阻低。反过来说, 上述电感层 21~24, 因为不含 Co 和 Al, 所以没有可变电阻特性, 而且由于介电常数小并且电阻率高, 所以作为电感部的构成材料具有适宜的特性。

5 这些添加物的金属元素, 在可变电阻层 31、32 中, 可以以金属单质或氧化物等形式存在。此外, 为了进一步提高特性, 可变电阻层 31、32 还可以含有上述以外的金属元素等 (例如 Cr、Ca、Si、K 等) 作为添加物。

上述电感部 20 的电感层 21~24 的内部还含有 Li。但是, 该 Li 不是作为原料被添加到这些层中, 在后述的制造方法中, 在形成具有电
10 感部 20 和可变电阻部 30 的叠层体后, 使含有 Li 的原料附着在该叠层体的表面上, 通过其扩散而被添加到层中。在可变电阻部 30 中, 可变电阻层 31 的被内部电极 31a 和内部电极 32a 夹住的区域表现出可变电阻特性, 希望该区域尽可能不含 Li。在本实施方式中, 因为如上所述使 Li 从叠层体的表面扩散, 所以扩散至可变电阻层 31 的上述区域的
15 Li 极少, 该区域成为实质上不含 Li 的状态。此外, 叠层型滤波器 10 中, 可以不必使 Li 扩散。

保护层 41、42 均为由陶瓷材料构成的层, 通过从叠层方向的两侧夹住由电感部 20 和可变电阻部 30 构成的叠层结构, 保护各部分 20、
20 30。该保护层 41、42 的构成材料没有特别限制, 可以使用各种陶瓷材料等。从减少与上述叠层结构的剥离的观点来看, 优选含有 ZnO 作为主成分的材料。

图 3 为用于说明实施方式的叠层型滤波器的等价电路的图。具有上述结构的叠层型滤波器 10, 构成图 3 所示的等价电路。即, 叠层型滤波器 10, 由电感 L 和可变电阻 V 构成 L 型的电路。

25 接下来, 参照图 4, 说明制造本实施方式的叠层型滤波器的方法。

图 4 为用于说明制造实施方式的叠层型滤波器的工序的流程图。在叠层型滤波器 10 的制造过程中, 首先, 制造含有作为电感层 21~24 和可变电阻层 31、32 的原料的陶瓷材料的膏 (步骤 S11)。具体地说, 可变电阻层形成用的膏 (paste) 可以通过以烧制后成为期望的含量的
30 方式在作为主成分的 ZnO 中加入选自 Pr 和 Bi 的至少一种元素、Co 和 Al、以及根据需要添加的 Cr、Ca、Si、K 等作为添加物, 在其中添加

粘合剂等并混合而制备。这种情况下的金属元素可以作为氧化物添加。

另外，电感层形成用的膏可通过在作为主成分的 ZnO 中，根据需要加入 Pr、Bi 等金属元素作为添加物，再在其中添加粘合剂等并混合而制备。此外，与可变电阻层形成用的膏不同，在电感层形成用的膏中，不添加 Co 和 Al。在此，上述金属元素能够以例如氧化物、草酸盐、碳酸盐等化合物的形式添加。另外，调整这些物质的添加量，使得在进行后述的烧制后的素体 3 中，金属元素成为上述期望的含量。

利用刮匀涂装法 (doctor blade method) 等将这些膏涂布在塑料薄膜等上后，使其干燥，形成由陶瓷材料构成的生片 (green sheet) (步骤 S12)。由此，分别得到所需片数的电感层 21~24 形成用的生片 (以下称为“电感片”) 和可变电阻层 31、32 形成用的生片 (以下称为“可变电阻片”)。接着，在得到的电感片上，利用激光或冲孔 (punching) 等，在期望的位置形成通孔。此外，在形成上述生片时，塑料薄膜等可以在涂布・干燥后立即从各片上剥离，也可以在后述的叠层之前剥离。另外，在该生片的形成工序中，利用与上述同样的方法，与这些片一起，形成含有 ZnO 的保护层 41、42 形成用的生片。

接下来，在电感片或可变电阻片上，利用丝网印刷将用于形成导体图案 21a~24a (电感部 20) 或内部电极 31a、32a (可变电阻部 30) 的导体膏印刷在每个片上，以形成期望的图案 (步骤 S13)。由此，得到设置有具有期望的图案的导体膏层的各个片。例如，作为导体图案形成用的导体膏，可举出含有 Pd 或 Ag-Pd 合金作为主成分的导体膏，作为内部电极形成用的膏，可举出含有 Pd 或 Ag-Pd 合金作为主成分的导体膏。

接着，将设置有分别与内部电极 31a 和 32a 对应的导体膏层的可变电阻片依次叠层在保护层形成用的生片上 (步骤 S14)。接着，将设置有分别与导体图案 24a、23a、22a 和 21a 对应的导体膏层的电感片依次叠层在其上 (步骤 S15)。再将保护层形成用的生片重叠在这些片的叠层结构上，通过将它们压接，得到作为素体 3 的前体的叠层体。

然后，将得到的叠层体以期望的尺寸切断成片 (chip) 单元后，在规定温度 (例如 1000~1400℃) 下烧制该片，得到素体 3 (步骤 S16)。接着，使 Li 从得到的素体 3 的表面扩散至其内部。在此，使 Li 化合物

附着在得到的素体 3 的表面上后，进行热处理等。Li 化合物的附着，可以使用密闭旋转罐（pot）。作为 Li 化合物，没有特别限定，是通过热处理、Li 可以从素体 3 的表面扩散至导体图案 21a~24a 或内部电极 31a、32a 的附近的化合物。例如，可举出 Li 的氧化物、氢氧化物、氯化物、硝酸盐、硼酸盐、碳酸盐和草酸盐等。此外，在叠层型滤波器 10 的制造中，该 Li 扩散工序并不是必须的。

将以银作为主成分的膏转印到进行了该 Li 扩散的素体 3 的侧面上后，烧接后，再通过实施镀层，分别形成输入输出电极 5、7 和接地电极 9、11，得到叠层型滤波器 10（步骤 S17）。镀层可以通过电镀进行。作为原料可以使用例如 Cu 和 Ni 和 Sn，Ni 和 Sn，Ni 和 Au，Ni 和 Pd 和 Au，Ni 和 Pd 和 Ag，或 Ni 和 Ag 等。

在具有上述构成的叠层型滤波器 10 中，如上所述，分别构成电感部 20 和可变电阻部 30 的电感层 21~24 和可变电阻层 31、32，都由以 ZnO 作为主成分的陶瓷材料形成。因此，电感部 20 和可变电阻部 30 在烧制时产生的体积变化之差极小。所以，即使将它们同时烧制，两者之间也难以产生变形或应力等。结果，得到的叠层型滤波器 10 与电感部和可变电阻部由不同材料形成的以往的叠层型滤波器比较，两者的剥离极难产生。

另外，如上所述，电感层 21~24 由以 ZnO 作为成分、实质上不含 Co 和 Al 作为添加物的陶瓷材料构成。这种材料作为电感部的构成材料，具有足够高的电阻率。具体地说，容易具有作为电感部材料优选的超过 $1\text{M}\Omega$ 的电阻率。因此，虽然电感部 20 含有单独在电阻率方面特性不充分的 ZnO 作为主成分，但是可发挥优异的电感特性。

接下来，参照图 5~图 8，说明第二实施方式的叠层型滤波器。

图 5 为表示第二实施方式的叠层型滤波器的电路结构的图。如图 5 所示，本实施方式的叠层型滤波器具有包括进行与外部的连接的输入端子 51、输出端子 52、共同端子 53，由线圈 L_{51} 和线圈 L_{52} 构成的互感元件 54，电容器 57 以及可变电阻部 V 的电路结构。

在该电路中，输入端子 51、输出端子 52 和共同端子 53 用于与外部的连接。电容器 57 与输入端子 51 和输出端子 52 连接。另外，在互感元件 54 中，线圈 L_{51} （一次）侧的一个端子与输入端子 51 连接，线

圈 L_{52} (二次) 侧的被反向感应的一个端子与输出端子 52 连接。另外, 线圈 L_{51} 和线圈 L_{52} 的另一个端子彼此在连接端子 55 上连接。可变电阻 V 的一个端子与互感元件 54 的线圈 L_{51} 和线圈 L_{52} 的连接点(连接端子 55) 连接, 另一端子与共同端子 53 连接。

5 在这样的电路结构中, 输入端子 51 和输出端子 52 可以调换。另外, 共同端子 53 优选被接地。此外, 互感元件 54 可以由例如共模扼流圈或变压器构成。

 在此, 图 5 所示的电路结构可以等价地变换为图 6 所示的电路结构。图 6 为表示将图 5 的电路结构等价变换得到的电路结构的图。该
10 电路结构由输入端子 61、输出端子 62、共同端子 63、线圈 L_{61} 、线圈 L_{62} 、线圈 L_{63} 和可变电阻部 V 构成。

 在该电路中, 输入端子 61、输出端子 62 和共同端子 63 用于与外部的连接。线圈 L_{61} 和线圈 L_{62} 在输入端子 61 和输出端子 62 之间串联连接。另外, 线圈 L_{63} 和可变电阻 V 在连接端子 65 上串联连接。线圈
15 L_{63} 的与连接端子 65 相反侧的端子, 与线圈 L_{61} 和线圈 L_{62} 的连接点连接, 可变电阻 V 的与连接端子 65 反对侧的端子, 与共同端子 63 连接。

 具有上述电路结构的第二实施方式的叠层型滤波器具有如图 7 和图 8 所示的结构。图 7 为表示第二实施方式的叠层型滤波器的素体部分的分解立体图。另外, 图 8 为表示第二实施方式的叠层型滤波器的
20 外形的立体图。如图 7 所示, 叠层型滤波器 200 的素体部分(素体 113) 具有可变电阻部 120、电感部 110 和保护层 91 从下方依次叠层的结构。另外, 如图 8 所示, 叠层型滤波器 200 具有在素体 113 的长度方向的两端部形成的一对输入输出电极 105、106, 和相同地在素体 113 的侧面上相互相对地形成的共同电极 107a 和端子电极 107b。共同电极 107a
25 为被接地的接地电极(上述电路结构中的共同端子 53 或共同端子 63)。

 电感部 110 为分别设有导体图案 96、97 (导体层) 的电感层 93a、93b 叠层形成的结构。在上述的电路结构中, 导体图案 96 和导体图案 97 分别构成一次侧的线圈 L_{51} (线圈 L_{61}) 和二次侧的线圈 L_{52} (线圈 L_{62})。作为该电感部 110 的导体图案 96、97 或电感层 93a、93b 的构成
30 材料, 可列举与上述的第一实施方式的导体图案 21a~24a 或电感层 21~24 的构成材料同样的材料。

导体图案 96 的一个端部 98 在电感层 93a 的一个边上引出，与输入电极 105 连接。导体图案 97 的一个端部 99 在电感层 93b 的一边上引出，与输出电极 106 连接。另外，导体图案 96、97 的另一个端部 100、101 彼此与在素体 113 的侧面形成的端子电极 107b 连接。这样，由导体图案 96 和导体图案 97 构成互感元件 54。另外，导体图案 96 和导体图案 97 在互相相对的区域进行电容耦合，构成上述电路结构的电容器 57。此外，导体图案 96 和 97，可以不通过上述的端子电极，而通过通孔等连接。

可变电阻部 120 为分别设有内部电极 102、103 的可变电阻层 94、95 叠层形成的结构。内部电极 102 具有直线型的图案，沿着可变电阻层 94 的短边方向设置。该内部电极 102 的一个端部 102a 在可变电阻层 94 的边缘引出，与在素体 113 的侧面形成的端子电极 107b 连接。由此，内部电极 102 分别与导体图案 96、97 的端部 100、101 连接（上述电路结构中的连接端子 55 或连接端子 65）。

另外，内部电极 103 具有直线型的图案，沿着可变电阻层 95 的短边方向，与内部电极 102 大致平行地设置。它的一个端部 104 在可变电阻层 95 的边缘引出，与在素体 113 的侧面形成的共同电极 107a 连接。

在可变电阻部 120 中，可变电阻 V 由内部电极 102、103 和设在它们之间的可变电阻层 94 构成。作为该可变电阻部 120 的内部电极 102、103 或可变电阻层 94、95 的构成材料，可以列举与上述的第一实施方式的内部电极 31a、32a 或可变电阻层 31、32 同样的构成材料。

具有这样的结构的本实施方式的叠层型滤波器，因为具有由与第一实施方式同样的构成材料构成的电感层和可变电阻层，所以，电感部 110 和可变电阻部 120 难以产生剥离。另外，虽然电感层含有 ZnO 作为主成分，但是电阻高、可发挥优异的电感特性。

另外，本实施方式的叠层型滤波器，因为具有图 5 或图 6 所示的电路结构，所以输入阻抗相对于特性阻抗容易匹配。因此，该叠层型滤波器可以保护不受例如高压的静电等影响，即使对于高速信号，阻抗匹配也优异。

以上，对本发明的叠层型滤波器及其制造方法的优选实施方式进

行了说明，但本发明并不限于上述的实施方式，在不偏离其精神的范围内可以作各种变更。

例如，在上述实施方式中，作为电感部，例示了由能够形成线圈状图案的导体图案叠层形成的电感部，但不限于此，电感部也可以由例如直线型的导体图案形成的电感层构成。具体地说，准备设有连接两端部的直线状的导体图案的电感层，可以将由该单独层或多层构成的结构作为电感部。在这种情况下，直线状的导体图案设置在连接叠层型滤波器的一对输入输出电极的方向上。即使是具有这种结构的电感部，也具有充分优异的电感特性。

另外，本发明的叠层型滤波器如果可以构成上述等价电路或与它具有同等功能的结构，则可以任意改变其叠层结构和电极等的形成位置。即，在上述实施方式中，例示了在可变电阻部上设置电感部的结构，但也可以做成电感部被夹在一对可变电阻部之间的结构。另外，输入输出电极的位置关系也可以任意改变。即使在具有这些结构的情况下，也可得到上述的效果优异的叠层型滤波器。

另外，电感部和可变电阻部的叠层数，不必限于上述的实施方式，即，例如，可以通过反复叠层具有导体图案的电感层，进一步增加线圈图案的匝数。另外，还可以反复叠层设有内部电极的可变电阻层。它们的叠层数可以适当调整，以使其与期望的叠层型滤波器的特性一致。

但是，在叠层型滤波器的电感部上叠层导体图案时，在构成电感层的材料具有高介电常数的情况下，在叠层方向上相邻的导体图案结合，在该导体图案间产生寄生电容。因此，在将导体图案叠层在电感部上的结构中，尤其存在难以适用于高频用途的趋势。从这个观点来看，优选电感层的介电常数低，具体地说，优选相对介电常数为 50 以下。

[实施例]

以下，通过实施例详细地说明本发明，但本发明并不限于这些实施例。

[实施例 1]

（叠层型滤波器的制造）

首先，按照在上述实施方式中参照图 4 说明的方法，制造叠层型滤波器的各试样。即，首先，准备在 ZnO 中添加 Pr_6O_{11} 、CoO、 Cr_2O_3 、 CaCO_3 、 SiO_2 、 K_2CO_3 和 Al_2O_3 的可变电阻层形成用的膏，同时准备在
5 ZnO 中添加 Pr_6O_{11} 、 Cr_2O_3 、 CaCO_3 、 SiO_2 和 K_2CO_3 的电感层形成用的膏。

接着，使用这些膏制造可变电阻片（varistor sheet）和电感片（inductor sheet）。另外，与此同时，得到只含有 ZnO 的保护层形成用的生片。然后，利用丝网印刷法在各个片上涂布内部电极（可变电阻
10 部）或导体图案（电感部）形成用的导体膏，使得分别成为图 2 所示的图案。其中，作为内部电极形成用的膏，使用含有 Pd 作为主成分的膏，作为导体图案形成用的膏，同样使用含有 Pd 作为主成分的膏。

接着，将涂布有导体膏的各个片（可变电阻片和电感片）按照图 2 所示的顺序叠层，再用一对保护层形成用的生片从上下方向夹住这些
15 片后，进行压接，得到作为素体的前体的叠层体。通过烧制这样得到的叠层体，形成素体。然后，通过将 Ag 膏烧接在该素体上，形成输入输出电极和接地电极，得到具有图 1 和图 2 所示的结构的叠层型滤波器的试样。

此外，在该实施例中，为了进行后述的电感部的特性评价，在各
20 试样的叠层型滤波器的电感部中，设置在叠层方向上平行地配置的一对内部电极。图 9 为示意性地表示在电感部中设置有内部电极的状态的素体的截面结构的图。如图所示，各内部电极 50 的各自的一个端部设置成在素体的相对的不同端面上分别露出，它们的另一个端部设置成从叠层方向看互相重合。另外，这些内部电极都设置成不与构成线圈的导体图案连接。
25

（电感部和可变电阻部间的剥离的评价）

观察利用上述方法得到的叠层型滤波器时，电感部和可变电阻部之间都没有发现剥离。

（电感部的相对介电常数和电阻率的测定）

30 使用得到的叠层型滤波器，测定各试样的电感部的相对介电常数（ ϵ' ）和电阻率（ $10^6 \Omega \text{cm}$ ）。此外，相对介电常数和电阻率的测定如下

所示进行。

即：相对介电常数 (ϵ') 通过使用阻抗分析仪 (4284A、惠普公司生产) 测定各试样在 1MHz、输入信号电平 (测定电压) 为 1Vrms 的条件下的静电容量 (C)，将得到的结果代入式 $\epsilon' = Cd/\epsilon_0 S$ 中而计算出。

- 5 另外，根据向各试样施加 1V 的直流电压时流过的电流值求出电阻(R)，将得到的结果代入式 $\rho = RS/d$ 中计算出电阻率 (ρ)。其中，各式中， ϵ_0 表示真空的介电常数，d 表示图 9 所示的内部电极 50 间的距离，S 表示内部电极 50 的重叠面积。

上述的测定的结果，电感部的相对介电常数为 20~30，电阻率为
10 $1 \times 10^6 \Omega \text{cm}$ 。

- 如以上所述，确认：在具有以 ZnO 作为主成分、含有 Pr、Co 和 Al 作为添加物的可变电阻层，和以 ZnO 作为主成分、实质上不含 Co 和 Al 的电感层的叠层型滤波器中，可变电阻部和电感部极难发生剥离。
另外，确认：因为该叠层型滤波器的电感部的相对介电常数低于 50，
15 而且电阻率超过 $1 \text{M}\Omega$ ，所以，作为电感足够实用。

如以上说明，根据本发明可提供一种可变电阻部和电感部难以剥离、而且可变电阻特性和电感特性极好的叠层型滤波器。

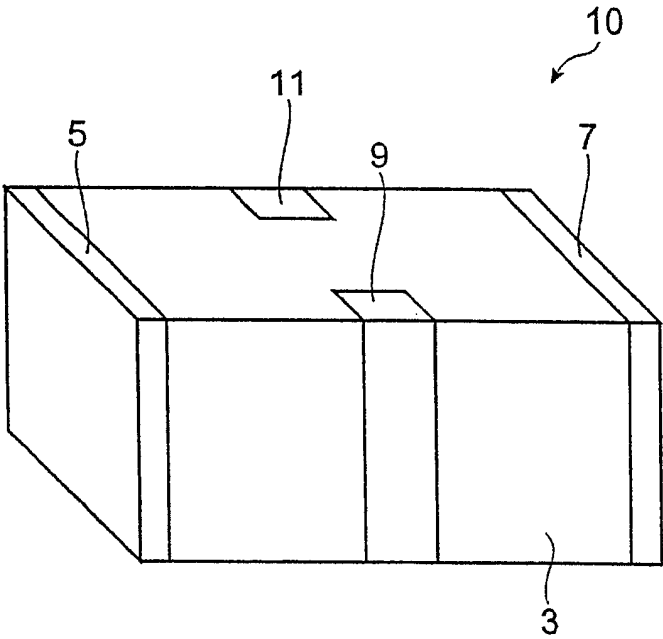


图1

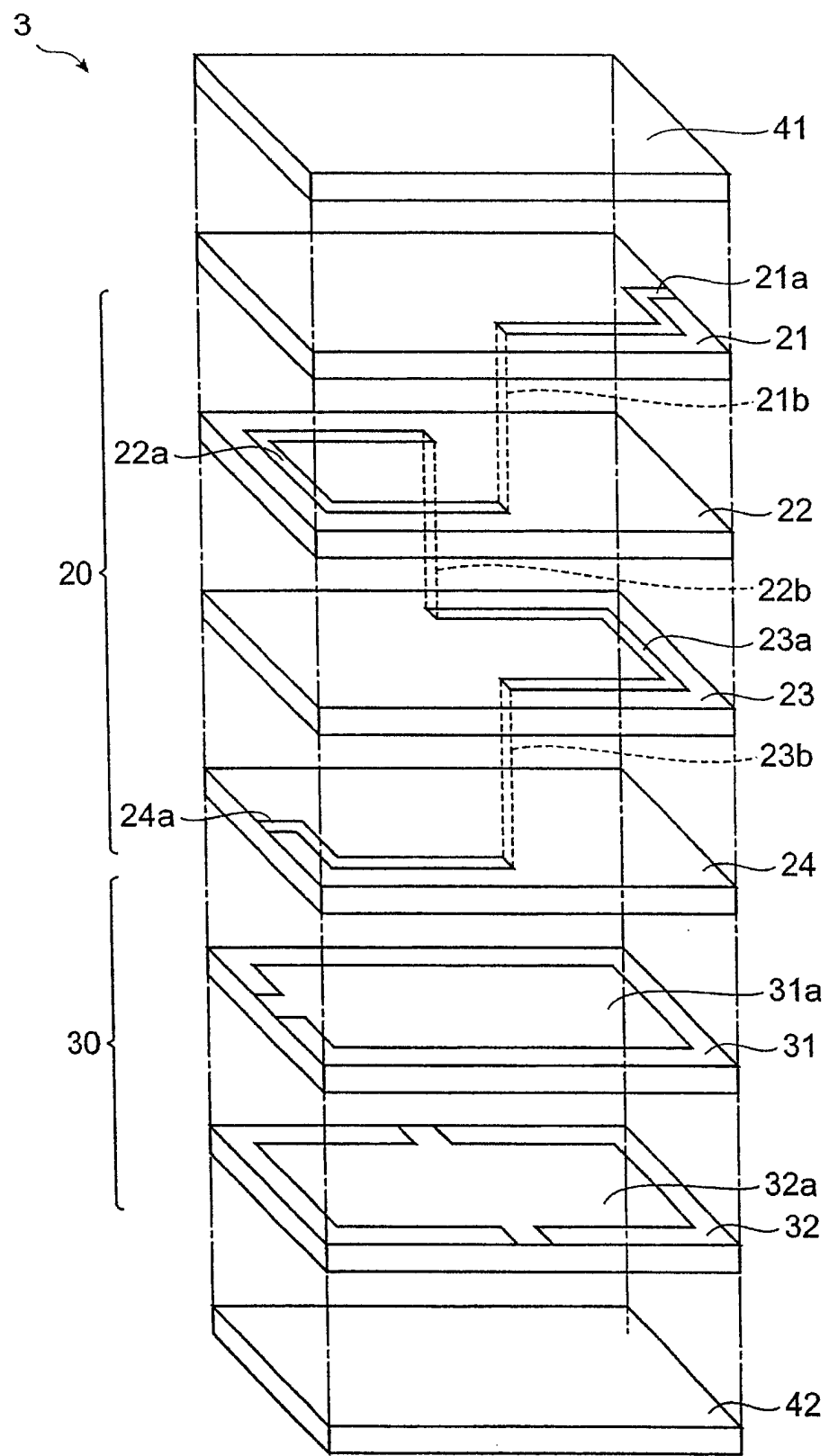


图2

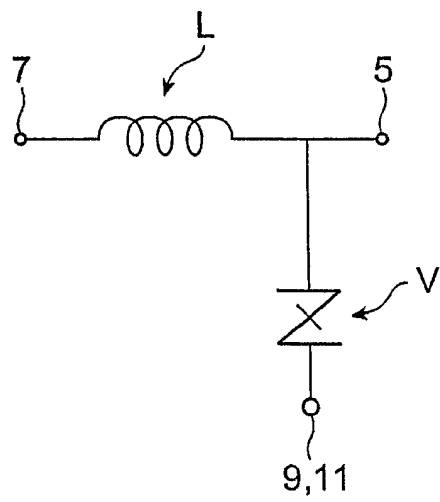


图3

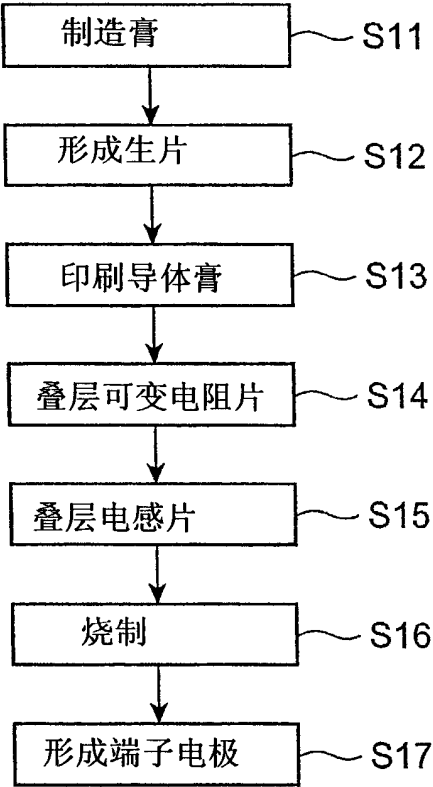


图4

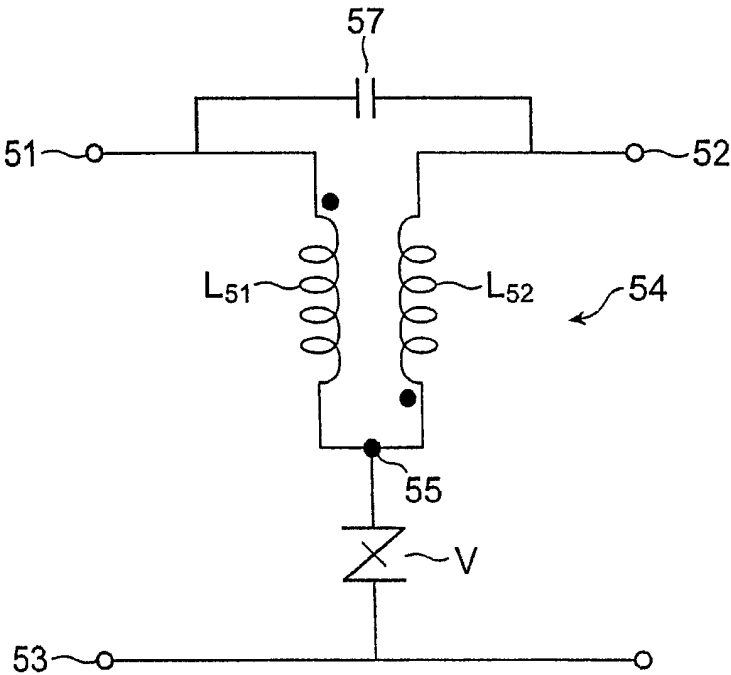


图5

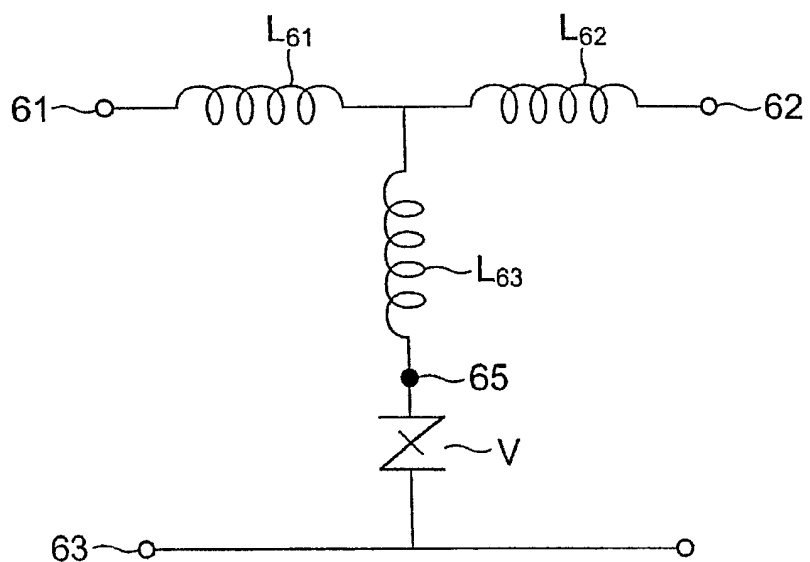


图6

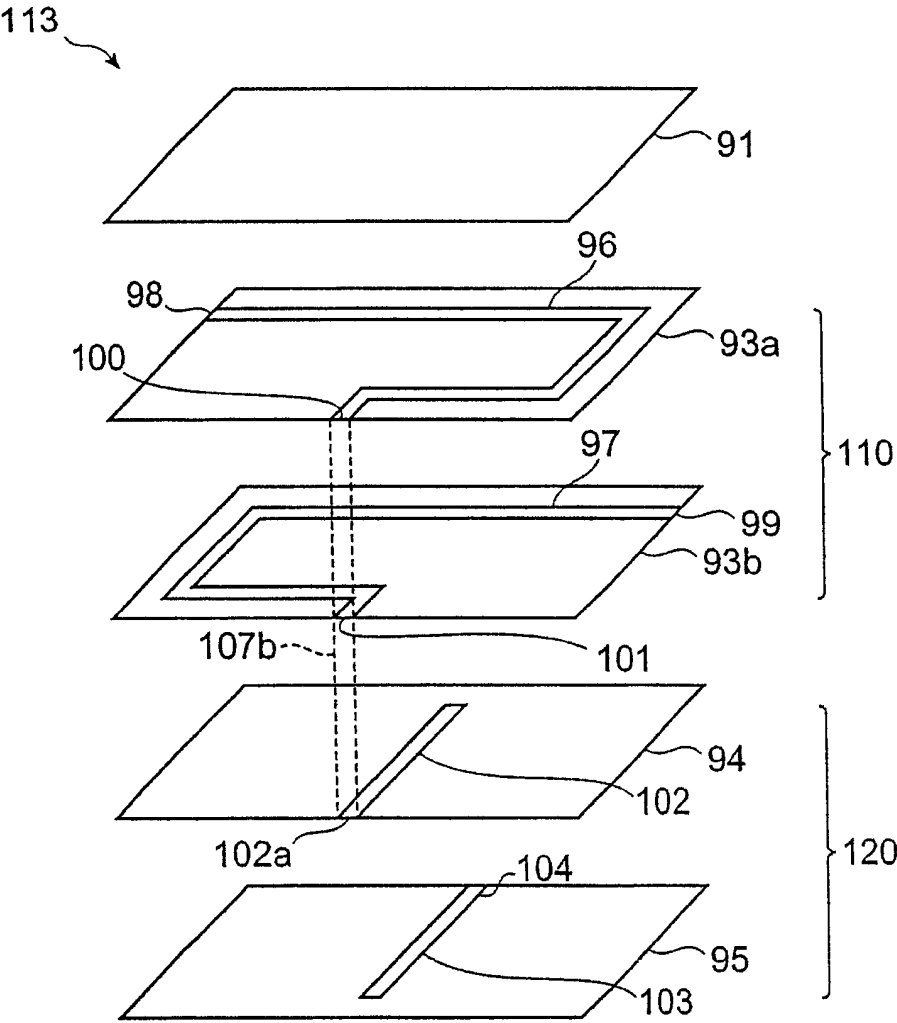
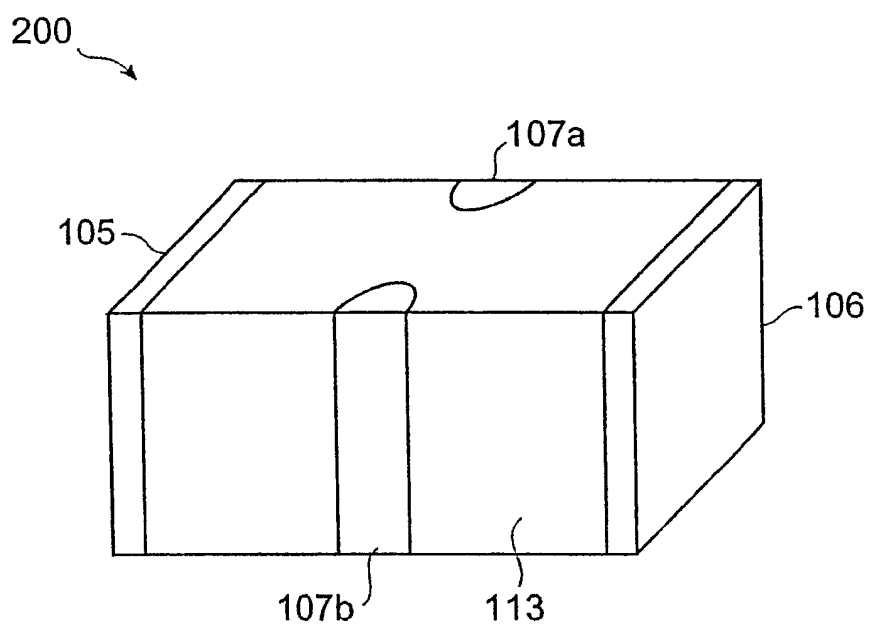


图7

**图8**

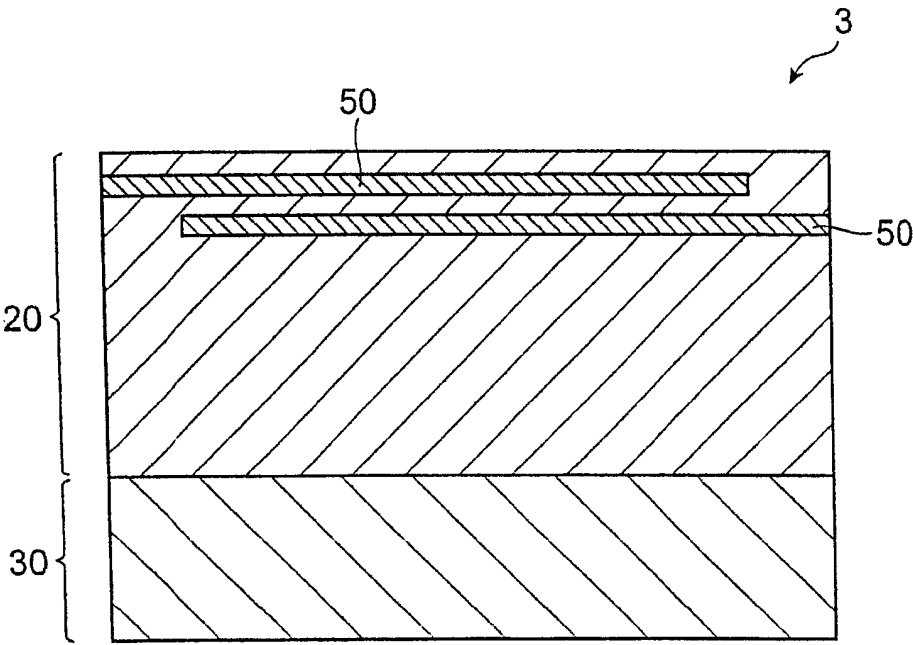


图9