

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年10月11日(11.10.2018)



(10) 国際公開番号

WO 2018/186353 A1

(51) 国際特許分類:

H01L 25/07 (2006.01) H01L 25/18 (2006.01)
H01L 23/48 (2006.01) H02M 7/48 (2007.01)

(21) 国際出願番号: PCT/JP2018/014126

(22) 国際出願日: 2018年4月2日(02.04.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2017-075315 2017年4月5日(05.04.2017) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).

(72) 発明者: 宮 ▲ 崎 ▼ 達也 (MIYAZAKI Tatsuya);
〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
大嶽 浩隆 (OTAKE Hirotaka); 〒6158585 京都

府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).

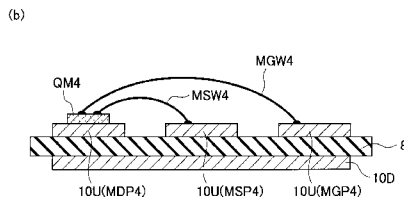
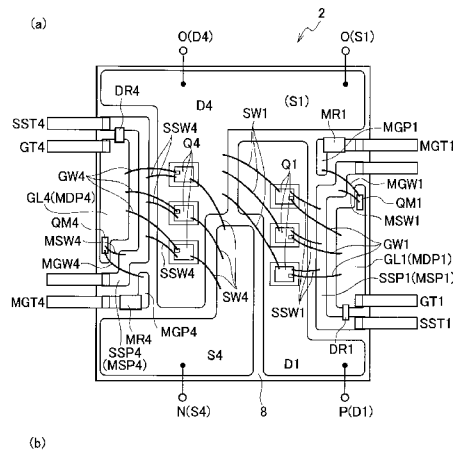
(74) 代理人: 三好 秀和, 外 (MIYOSHI Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目2番8号 虎ノ門琴平タワー Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS,

(54) Title: POWER MODULE

(54) 発明の名称: パワーモジュール



(57) Abstract: This power module (2) includes at least one half bridge (1), and comprises, respectively in the upper and lower arms thereof: first transistors Q1, Q4; second transistors QM1, QM4, the drain of each of which being connected to the gate G1, G4 side of the respective first transistors, the source of each of which being connected to the source S1, S4 side; source signal wiring patterns SSP1, SSP4 connected to the source of the respective first transistors; first connection conductors MSW1, MSW4 connecting the respective source signal wiring patterns and the source of the respective second transistors; second gate signal wiring patterns MGP1, MGP4 connected to the gate MG1, MG4 of the respective second transistors; and second connection conductors MGW1, MGW4 connecting the respective second gate signal wiring patterns and the gate of the respective second transistors. The length of each first connection conductor is shorter than or equal to the length of each second connection conductor. Thus, a power module having a high-speed switching performance and in which malfunctions are suppressed is provided.



MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：パワーモジュール（2）は、少なくとも1つのハーフブリッジ（1）を有し、その上下アームに配置された第1のトランジスタQ1・Q4と、第1のトランジスタのゲートG1・G4側にドレイン、ソースS1・S4側にソースが接続された第2のトランジスタQM1・QM4と、第1のトランジスタのソースに接続されたソース信号用配線パターンSSP1・SSP4と、ソース信号用配線パターンと第2のトランジスタのソースとを接続する第1の接続導体MSW1・MSW4と、第2のトランジスタのゲートMG1・MG4に接続された第2のゲート信号用配線パターンMGP1・MGP4と、第2のゲート信号用配線パターンと第2のトランジスタのゲートとを接続する第2の接続導体MGW1・MGW4とを備え、第1の接続導体の長さが、第2の接続導体の長さ以下である。誤動作を抑制し、高速スイッチング性能のパワーモジュールを提供する。

明 細 書

発明の名称： パワーモジュール

技術分野

[0001] 本実施の形態は、パワーモジュールに関する。

背景技術

[0002] 現在多くの研究機関において、シリコンカーバイド（S i C : Silicon Carbide）デバイスの研究開発が行われている。S i C パワーデバイスの特徴として、従来のS i パワーデバイスよりも優れた低オン抵抗、高速スイッチングおよび高温動作などを挙げることができる。

[0003] スwitching電源やモータ駆動用インバータなどには、ブリッジ回路を含む回路が広く使われている。トランジスタで構成されるブリッジ回路において、片側アームのトランジスタが高速にオンするとき、もう片側のトランジスタのドレイン-ソース間電圧変化に起因してゲート・ソース間電圧も変化し、誤動作(誤オン)を起こす現象がある（例えば、特許文献1参照。）。誤オンによる短絡電流はトランジスタを破壊し得るだけでなく、電力損失の増加やノイズの原因にもなる。特にS i C MOSFET（Metal-Oxide Semiconductor Field Effect Transistor）では、ゲート・ソース間寄生容量 C_{gs} とゲート・ドレイン間寄生容量 C_{gd} の比が小さいため、ゲート・ソース間電圧の変化が大きく、また、オン抵抗も低いため、誤オンによる短絡電流も大きくなり破壊が起こりやすい。

[0004] 誤オンを抑制する手段として、アクティブミラークランプ回路をS i C MOSFETのゲート・ソース間に配置し、トランジスタオフ時におけるゲート・ソース間短絡経路のインダクタンスを低減する手法を筆者らが提案している（例えば、特許文献2参照。）。

[0005] また、チップ内部にアクティブミラークランプ領域を形成する手法もある（例えば、特許文献3参照。）。

先行技術文献

特許文献

[0006] 特許文献1：特開平5－226994号公報

特許文献2：特開2015－126342号公報

特許文献3：特開2016－174033号公報

発明の概要

発明が解決しようとする課題

[0007] しかし、アクティブミラークランプ回路によってSiC MOSFETのゲート・ソース間に新たな短絡経路が形成されても、その経路の配線パターンやワイヤなどによる寄生インダクタンスが大きければゲート・ソース間電圧の変化抑制効果は弱まるため、実際に所望の効果を得ようとした場合にはパターンレイアウトまで含めた設計が必要になる。また、SiC MOSFETはチャネル抵抗が比較的高く、チップ内部にアクティブミラークランプ回路用の低耐圧MOSFETを作り込んでも、オン抵抗が高いため短絡経路として適さない。

[0008] 以上に鑑み、本実施の形態は、誤動作抑制の効果が高く、高速スイッチングが実現できるパワーモジュールを提供する。

課題を解決するための手段

[0009] 本実施の形態の一態様によれば、少なくとも1つのハーフブリッジを有し、前記ハーフブリッジの上下アームに共に配置された第1のトランジスタと、前記第1のトランジスタのゲート側にドレイン、前記第1のトランジスタのソース側にソースがそれぞれ接続された第2のトランジスタと、前記第1のトランジスタのソースに接続された第1のソース信号用配線パターンと、前記第1のソース信号用配線パターンと前記第2のトランジスタのソースとを接続する第1の接続導体と、前記第2のトランジスタのゲートに接続された第2のゲート信号用配線パターンと、前記第2のゲート信号用配線パターンと前記第2のトランジスタのゲートとを接続する第2の接続導体とを備え、前記第1の接続導体の長さが、前記第2の接続導体の長さ以下であるパワ

ーモジュールが提供される。

[0010] 本実施の形態の他の態様によれば、絶縁基板上に配置された第1配線パターン、第2配線パターン、第3配線パターンおよび第4配線パターンと、前記第1配線パターン上に配置されてスイッチング動作を行う第1のトランジスタと、前記第3配線パターン上に配置された第2のトランジスタと、前記第1のトランジスタの第1電極と前記第2配線パターンとを接続する第1の接続導体と、前記第2のトランジスタの第1電極と前記第2配線パターンとを接続する第2の接続導体と、前記第2のトランジスタの第2電極と前記第4配線パターンとを接続する第3の接続導体と、前記第1のトランジスタの第2電極と前記第3配線パターンとを接続する第4の接続導体とを備え、前記第2の接続導体の長さが、前記第3の接続導体の長さ以下であるパワーモジュールが提供される。

[0011] 本実施の形態の他の態様によれば、主基板と、前記主基板上に配置され、正側電力端子に接続された第1電極パターンと、前記主基板上に配置され、負側電力端子に接続された第2電極パターンと、前記第1電極パターン上にドレインが配置された第1のトランジスタと、前記第1のトランジスタのゲートに接続された第1のゲート信号用配線パターンと、前記第1のゲート信号用配線パターン上にドレインが配置された第2のトランジスタと、前記第1のトランジスタのソースに接続された第1のソース信号用配線パターンと、前記第1のソース信号用配線パターンと前記第2のトランジスタのソースとを接続する第1の接続導体と、前記第2のトランジスタのゲートに接続された第2のゲート信号用配線パターンと、前記第2のゲート信号用配線パターンと前記第2のトランジスタのゲートとを接続する第2の接続導体とを備え、前記第1の接続導体の長さが、前記第2の接続導体の長さ以下であるパワーモジュールが提供される。

発明の効果

[0012] アクティブミラーランプ回路をパワーモジュールに内包する場合、各素子を接続する導体は必ず寄生抵抗や寄生インダクタンスを有するが、本実施

の形態によれば、トランジスタの誤動作に最も影響する部分の寄生成分を優先的に低減するレイアウト構成にすることで、誤動作を抑制し、高速スイッチング可能なパワーモジュールを提供することができる。

図面の簡単な説明

[0013] [図1] (a) 第1の実施の形態に係るパワーモジュールの基本構造の模式的平面パターン構成図、(b) 図1(a)のⅠ-Ⅰ線に沿う模式的断面構造図。

[図2] (a) 第1の実施の形態の変形例に係るパワーモジュールの基本構造の模式的平面パターン構成図、(b) 図2(a)のⅠⅠ-ⅠⅠ線に沿う模式的断面構造図。

[図3] (a) 第1の実施の形態に係るパワーモジュールの模式的平面パターン構成図、(b) 図3(a)に対応するパワーモジュールにおいて、アクティブミラークランプ用トランジスタQM4近傍における模式的断面構造図。

[図4] 第1の実施の形態に係るパワーモジュールの動作説明図。

[図5] 第1の実施の形態に係るパワーモジュールの回路構成図。

[図6] 第2の実施の形態に係るパワーモジュールの模式的平面パターン構成図。

[図7] 第2の実施の形態に係るパワーモジュールの回路構成図。

[図8] 第3の実施の形態に係るパワーモジュールの模式的平面パターン構成図。

[図9] 第3の実施の形態に係るパワーモジュールの回路構成図。

[図10] 第4の実施の形態に係るパワーモジュールの模式的平面パターン構成図。

[図11] 第4の実施の形態に係るパワーモジュールの回路構成図。

[図12] 第4の実施の形態に係るパワーモジュールの動作説明図。

[図13] 第5の実施の形態に係るパワーモジュールの模式的平面パターン構成図。

[図14] 第5の実施の形態に係るパワーモジュールの回路構成上の配置説明図。

[図15]第6の実施の形態に係るパワーモジュールの模式的平面パターン構成図。

[図16]第6の実施の形態に係るパワーモジュールの回路構成上の配置説明図。

[図17]第7の実施の形態に係るパワーモジュールの模式的平面パターン構成図。

[図18]第8の実施の形態に係るパワーモジュールの模式的平面パターン構成図。

[図19]実施の形態に係るパワーモジュールに適用可能なゲートドライブ回路の構成例。

[図20] (a) 電力回路のインダクタンスの説明図、(b) 半導体素子のゲートインダクタンスの説明図。

[図21] (a) MOSブリッジ動作時の誤動作の説明図、(b) 実施の形態に係るパワーモジュールにおいて、アクティブミラークランプによる誤動作防止の説明図。

[図22]実施の形態に係るパワーモジュールにおいて、電力用トランジスタ (SiC MOSFET) およびアクティブミラークランプ用トランジスタの回路構成におけるインダクタンス成分の説明図。

[図23]実施の形態に係るパワーモジュールにおいて、ハーフブリッジ構成のミラークランプ内蔵モジュールとゲートドライブ回路の回路構成図。

[図24]図23において、負バイアス印加用コンデンサを内蔵する場合と内蔵しない場合の信号経路の説明図 (LOA: 負バイアス印加用コンデンサを内蔵する場合、LOB: 負バイアス印加用コンデンサを内蔵しない場合)。

[図25]負バイアス印加用コンデンサを内蔵する場合の実施の形態に係るパワーモジュールにおいて、寄生インダクタンスの低減効果のシミュレーション結果であって、ゲート・ソース間ピーク電圧 $V_{gsp}(V)$ と・ソース間寄生インダクタンス $L_G(nH)$ の関係。

[図26] (a) 第1の実施の形態に係るパワーモジュールの樹脂層を形成後の

模式的鳥瞰構成図、（b）第2の実施の形態に係るパワーモジュールの樹脂層を形成後の模式的鳥瞰構成図、（c）第7の実施の形態に係るパワーモジュールの樹脂層を形成後の模式的鳥瞰構成図。

[図27]実施の形態に係るパワーモジュールであって、（a）ワンインワン（1 in 1）モジュールのSiC MOSFETの模式的回路表現図、（b）1 in 1モジュールのIGBTの模式的回路表現図。

[図28]実施の形態に係るパワーモジュールであって、1 in 1モジュールのSiC MOSFETの詳細回路表現図。

[図29]実施の形態に係るパワーモジュールであって、（a）ツーインワン（2 in 1）モジュールのSiC MOSFETの模式的回路表現図、（b）2 in 1モジュールのIGBTの模式的回路表現図。

[図30]実施の形態に係るパワーモジュールに適用可能な半導体デバイスの例であって、ソースパッド電極SPD、ゲートパッド電極GPDを含むSiC MOSFETの模式的断面構造図。

[図31]実施の形態に係るパワーモジュールに適用可能な半導体デバイスの例であって、エミッタパッド電極EPD、ゲートパッド電極GPDを含むIGBTの模式的断面構造図。

[図32]実施の形態に係るパワーモジュールに適用可能な半導体デバイスの例であって、SiC DI（Double Implanted）MOSFETの模式的断面構造図。

[図33]実施の形態に係るパワーモジュールに適用可能な半導体デバイスの例であって、SiC T（Trench）MOSFETの模式的断面構造図。

[図34]実施の形態に係るパワーモジュールを用いて構成した3相交流インバータの回路構成において、（a）半導体デバイスとしてSiC MOSFETを適用し、電源端子PL・接地端子NL間にスナバコンデンサを接続した回路構成例、（b）半導体デバイスとしてIGBTを適用し、電源端子PL・接地端子NL間にスナバコンデンサを接続した回路構成例。

[図35]実施の形態に係るパワーモジュールを用いて構成した3相交流インバ

ータの回路構成において、半導体デバイスとしてSiC MOSFETを適用した3相交流インバータの回路構成図。

[図36]実施の形態に係るパワーモジュールを用いて構成した3相交流インバータの回路構成において、半導体デバイスとしてIGBTを適用した3相交流インバータの回路構成図。

発明を実施するための形態

[0014] 次に、図面を参照して、実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

[0015] 又、以下に示す実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の実施の形態は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。この発明の実施の形態は、特許請求の範囲において、種々の変更を加えることができる。

[0016] [第1の実施の形態]

(基本構造)

第1の実施の形態に係るパワーモジュールの基本構造の模式的平面パターン構成は、図1(a)に示すように表され、図1(a)のI-I線に沿う模式的断面構造は、図1(b)に示すように表される。第1の実施の形態に係るパワーモジュールの基本構造は、例えば、1 in 1モジュールに適用可能である。

[0017] 第1の実施の形態の基本構造に係るパワーモジュールは、図1(a)および図1(b)に示すように、セラミック基板8と、セラミック基板8上に配置された電極パターン10U、SSP(10U)、MGP(10U)と、電

極パターン 10U 上に配置され、対象とする電力用トランジスタ（図示省略）のゲート・ソース間を短絡するアクティブミラークランプ用のトランジスタ QM と、セラミック基板 8 の裏面に配置された電極パターン 10D とを備える。

[0018] 第 1 の実施の形態に係るパワーモジュールは、図 1（a）および図 1（b）に示すように、対象とする電力用トランジスタ（図示省略）のゲート側にドレイン、ソース側にソースが接続されたアクティブミラークランプ用トランジスタ QM と、対象とする電力用トランジスタ（図示省略）のソースに接続されたソース信号用配線パターン SSP と、ソース信号用配線パターン SSP とアクティブミラークランプ用トランジスタ QM のミラークランプソース MS とを接続する接続導体 MSW と、アクティブミラークランプ用トランジスタ QM のミラークランプゲート MG に接続されたゲート信号用配線パターン MGP と、ゲート信号用配線パターン MGP とアクティブミラークランプ用トランジスタ QM のミラークランプゲート MG とを接続する接続導体 MGW を備える。ここで、接続導体 MSW の長さが、接続導体 MGW の長さ以下である。ここで、接続導体 MSW、および接続導体 MGW はワイヤであっても良い。

[0019] 本実施の形態においては、アクティブミラークランプ用トランジスタ QM の信号配線の寄生インダクタンスまで考慮した配置を実行している。

[0020] 第 1 の実施の形態に係るパワーモジュールにおいては、対象とする電力用トランジスタのスイッチング時の誤動作を抑制するために、アクティブミラークランプ用トランジスタ QM をパワーモジュールに内蔵し、かつアクティブミラークランプ用トランジスタ QM のソース配線接合材の長さがゲート配線接合材の長さ以下になるように信号パターンを形成し、アクティブミラークランプ用トランジスタ QM を配置する。本構成の意図および効果は、後述の第 1 の実施の形態に係るパワーモジュール 2 において、包括して説明がなされている。

[0021] また、第 1 の実施の形態の変形例に係るパワーモジュールの基本構造の模

式的平面パターン構成は、図2（a）に示すように表され、図2（a）のⅠ－Ⅰ線に沿う模式的断面構造は、図2（b）に示すように表される。第1の実施の形態の変形例に係るパワーモジュールの基本構造も、例えば、1 in 1 モジュールに適用可能である。

[0022] 第1の実施の形態の変形例に係るパワーモジュールの基本構造は、図2（a）および図2（b）に示すように、セラミック基板8と、セラミック基板8上に配置された電極パターン10U、SSP（10U）、MGP（10U）と、電極パターン10U上に配置され、対象とする電力用トランジスタ（図示省略）のゲート・ソース間を短絡するアクティブミラークランプ用トランジスタQMと、セラミック基板8の裏面に配置された電極パターン10Dとを備える。

[0023] 第1の実施の形態の変形例に係るパワーモジュールは、図2（a）および図2（b）に示すように、対象とする電力用トランジスタ（図示省略）のゲート側にドレイン、ソース側にソースが接続されたアクティブミラークランプ用トランジスタQMと、対象とする電力用トランジスタ（図示省略）のソースに接続されたソース信号用配線パターンSSPと、ソース信号用配線パターンSSPとアクティブミラークランプ用トランジスタQMのミラークランプソースMSとを接続するリードフレームLFSと、アクティブミラークランプ用トランジスタQMのミラークランプゲートMGに接続されたゲート信号用配線パターンMGPと、ゲート信号用配線パターンMGPとアクティブミラークランプ用トランジスタQMのミラークランプゲートMGとを接続するリードフレームLFGとを備える。ここで、リードフレームLFSの長さが、リードフレームLFGの長さ以下である。

[0024] リードフレームLFS・LFGは、半田層13を介してアクティブミラークランプ用トランジスタQMのミラークランプソースMS・ミラークランプゲートMGと接続され、半田層12を介してソース信号用配線パターンSSP・ゲート信号用配線パターンMGPと接続されている。また、半田層12を介してアクティブミラークランプ用トランジスタQMのドレインも電極パ

ターン１０Ｕと接続されている。

[0025] 尚、図２においては、リードフレームＬＦＧは、リードフレームＬＦＳと重なるように配置される例が示されているが、このような構成に限らず、例えば、同一面上で配置されていても良い。また、電極パターン１０Ｕには、アクティブミラークランプ用トランジスタＱＭのドレインに接続されるリード端子ＬＴが接続されている。１ in １構成の場合には、アクティブミラークランプ用トランジスタＱＭのドレインに接続されるリード端子ＬＴは、対象とする電力用トランジスタ（図示省略）のゲートに接続される。

[0026] 第１の実施の形態の変形例に係るパワーモジュールにおいては、対象とする電力用トランジスタのスイッチング時の誤動作を抑制するために、アクティブミラークランプ用トランジスタＱＭをパワーモジュールに内蔵し、かつアクティブミラークランプ用トランジスタＱＭのリードフレームＬＦＳの長さがリードフレームＬＦＧの長さ以下になるように信号パターンを形成し、アクティブミラークランプ用トランジスタＱＭを配置する。

[0027] 第１の実施の形態およびその変形例に係るパワーモジュールにおいては、アクティブミラークランプ用トランジスタＱＭをパワーモジュールに内蔵し、適当な位置に配置をすることで、パワーモジュールサイズを大きくすることなく、かつ電力回路のインダクタンスを増大させることなく電力用トランジスタのゲートインダクタンスを低減でき、誤動作の抑制が可能となる。ここで、電力回路のインダクタンスおよび電力用トランジスタのゲートインダクタンスについては、図２０（ａ）および図２０（ｂ）を参照して後述する。

[0028] （２ in １構成）

第１の実施の形態に係るパワーモジュールの模式的平面パターン構成は、図３（ａ）に示すように表され、図３（ａ）に対応するパワーモジュールにおいて、アクティブミラークランプ用トランジスタＱＭ４近傍における模式的断面構造は、図３（ｂ）に示すように表される。また、第１の実施の形態に係るパワーモジュールの動作説明図は、図４に示すように表され、第１の

実施の形態に係るパワーモジュールの回路構成は、図5に示すように表される。ここで、図5の破線で囲まれた回路構成が、第1の実施の形態に係るパワーモジュール2のパワー回路1を示す。

[0029] 第1の実施の形態に係るパワーモジュール2であって、2 in 1のハーフブリッジ内蔵モジュールにおいて、樹脂層120を形成前の模式的平面パターン構成は、図3に示すように表され、樹脂層120を形成後の模式的鳥瞰構成は、図26(a)に示すように表される。第1の実施の形態に係るパワーモジュール2は、ハーフブリッジ内蔵モジュールの構成を備え、2組の電力用トランジスタQ1・Q4（例えば、SiC MOSFET）が1つのモジュールに内蔵されている。図3においては、電力用トランジスタQ1・Q4は、それぞれ3チップ並列に配置されている例が示されている。

[0030] 第1の実施の形態に係るパワーモジュール2は、図3および図26(a)に示すように、セラミック基板8の第1の辺に配置された正側電力端子Pおよび負側電力端子Nと、第1の辺に隣接する第2の辺に配置されたゲート端子GT1・ソースセンス端子SST1、ミラークランプゲート端子MGT1と、第1の辺に対向する第3の辺に配置された出力端子O(D4)・O(S1)と、第2の辺に対向する第4の辺に配置されたゲート端子GT4・ソースセンス端子SST4、ミラークランプゲート端子MGT4とを備える。

[0031] また、電力用トランジスタQ1・Q4は、セラミックス基板8上に配置されたドレインパターンD1・D4上にフェースアップに配置され、アクティブミラークランプ用トランジスタQM1・QM4は、セラミックス基板8上に配置されたミラークランプ用ドレインパターンMDP1・MDP4上にフェースアップに配置される。

[0032] ここで、ゲート端子GT1・ソースセンス端子SST1は、電力用トランジスタQ1のゲート信号用配線パターンGL1(MDP1)・ソース信号用配線パターンSSP1(MSP1)に接続され、ゲート端子GT4・ソースセンス端子SST4は、電力用トランジスタQ4のゲート信号用配線パターンGL4(MDP4)・ソース信号用配線パターンSSP4(MSP4)に

接続される。

[0033] 図3に示すように、電力用トランジスタQ1・Q4から、セラミックス基板8上に配置されたドレインパターンD4(S1)・ソースパターンS4に向けてソースワイヤSW1・SW4が接続され、ゲート信号用配線パターンGL1・GL4に向けてゲートワイヤGW1・GW4が接続され、ソース信号用配線パターンSSP1・SSP4に向けてソースセンスワイヤSSW1・SSW4が接続される。

[0034] 同様に、図3に示すように、アクティブミラークランプ用トランジスタQM1・QM4から、セラミックス基板8上に配置されたソースセンス信号用配線パターンSSP1・SSP4に向けてミラークランプソースワイヤMSW1・MSW4が接続され、ゲート信号用配線パターンMGP1・MGP4に向けてミラークランプゲートワイヤMGW1・MGW4が接続される。

[0035] また、ゲート信号用配線パターンGL1・GL4には、外部取り出し用のゲート端子GT1・GT4が半田付けなどによって接続され、ソースセンス信号用配線パターンSSP1・SSP4には、外部取り出し用のソースセンス端子SST1・SST4が半田付けなどによって接続される。

[0036] また、第1の実施の形態に係るパワーモジュール2は、図3(a)・図5に示すように、ミラークランプゲート抵抗MR1・MR4を備えていても良い。ゲート信号用配線パターンMGP1・MGP4には、ミラークランプゲート抵抗MR1・MR4を介して、ミラークランプゲート端子MGT1・MGT4が接続される。ミラークランプゲート抵抗MR1・MR4は、ミラークランプ動作時にゲート電流の急峻な変化によるゲート電圧サージを抑制する目的で使用される抵抗である。ゲートドライブICの出力電流を制御し、定格を超えないようにする働きもある。

[0037] また、ゲート信号用配線パターンGL1・GL4とソース信号用配線パターンSSP1・SSP4間には、放電用抵抗DR1・DR4が接続される。

[0038] 第1の実施の形態に係るパワーモジュール2は、図3(a)・図5に示すように、放電用抵抗DR1・DR4を備えていても良い。放電用抵抗DR1

・DR4は、ゲート信号用配線パターンGL1・GL4とソース信号用配線パターンSSP1・SSP4との間に接続される。ゲート入力信号増幅のため、前段にpnpトランジスタ Q_p /npnトランジスタ Q_n で構成されたプッシュプル回路を使用している（図19および図23参照）。pn接合による拡散電位（Siの場合約0.6V）分の電圧がpnpトランジスタ Q_p のターンオフ後もゲート・ソース間に残る。放電用抵抗DR1・DR4は、それを放出し、電圧を0Vにするために使用される抵抗である。アクティブミラークランプ用トランジスタQM1・QM4を使用している場合は必ずしも必要ではないが、アクティブミラークランプ用トランジスタQM1・QM4を使用していない場合は必要である。

[0039] 正側電力端子P・負側電力端子N、外部取り出し用のゲート端子GT1・GT4およびSST1・SST4は、例えば、Cuで形成可能である。

[0040] セラミック基板8は、例えば、 Al_2O_3 、AlN、SiN、AlSiC、若しくはグラファイトや少なくとも表面が絶縁性のSiCなどで形成されていても良い。

[0041] 主配線導体（電極パターン）は、例えば、Cu、Alなどで形成可能である。

[0042] ソースワイヤSW1・SW4、ゲートワイヤGW1・GW4およびソースセンスワイヤSSW1・SSW4は、例えば、Al、AlCuなどで形成可能である。また、後述する第1の接続導体MSW1・MSW4、第2の接続導体MGW1・MGW4もボンディングワイヤで形成する場合には、例えば、Al、AlCuなどで形成可能である。

[0043] 電力用トランジスタQ1・Q4としては、SiC DIMISFET、SiC TMISFETなどのSiC系パワーデバイス、あるいはGaN系高電子移動度トランジスタ（HEMT: High Electron Mobility Transistor）などのGaN系パワーデバイスを適用可能である。また、場合によっては、Si系MOSFETやIGBTなどのパワーデバイスも適用可能である。

[0044] また、樹脂層120としては、SiC系半導体デバイスに適用可能なトラ

ンスファモールド樹脂、熱硬化樹脂などを使用可能である。また、 シリコンゲルなどのシリコン系樹脂を部分的に若しくはケース型パワーモジュールを採用して全体に適用しても良い。

[0045] トランジスタの誤動作の原因となるゲート・ソース間電圧サージ (ΔV) は、ゲート・ソース間経路の抵抗 (R)、インダクタンス (L) と電流変化 (dI/dt) によって発生し、 $\Delta V = RI + L(dI/dt)$ で表される。この中で、 $L(dI/dt)$ の成分は、例えば大容量 SiC MOSFET を用いて大電流を高速スイッチングする場合に、大きな値となり得る。

[0046] このゲート・ソース間経路を短絡し、インダクタンスを低減するために設置されるのがアクティブミラークランプ用トランジスタである。しかしながら、文献2のアクティブミラークランプ用トランジスタは、モジュールの外部に設置されており、十分な効果を得られないことがあった。SiC MOSFET などの電力用トランジスタをより高速にスイッチングさせるには、アクティブミラークランプ用トランジスタをより電力用トランジスタの近くに設置する必要がある。その方法の1つが、モジュールへの内蔵である。

[0047] 実際にアクティブミラークランプ用トランジスタを内蔵できるモジュールのレイアウト上、その効果を最大限に得るために、特に留意すべき事項は、“ソース配線のインダクタンスをできるだけ小さくする” ことである。

[0048] アクティブミラークランプ用トランジスタの信号配線の寄生インダクタンスは、信号ワイヤのインダクタンスに相当する。誤動作を抑制するためにはソース信号ワイヤを短くすると良い。

[0049] このソース信号ワイヤのインダクタンスが大きいと、結局ゲート・ソース間経路のインダクタンスが大きくなり、誤動作を抑制できない。ソース配線をできるだけ短くした場合、ゲート配線は、必然的にソース配線の外側（或いは等距離の位置）に配置することになるため、“アクティブミラークランプ用トランジスタで、ソース配線接合材の長さが、ゲート配線接合材の長さ以下に配置する” という表現を用いている。

[0050] また、レイアウトによっては、ソース配線を短くしつつゲート配線も同様

の長さにすることも可能であるため、ソース配線接合材の長さが、ゲート配線接合材の長さに等しい場合も含まれる。

[0051] 第1の実施の形態に係るパワーモジュール2は、図3(a)に示すように、少なくとも1つのハーフブリッジ1を有し、ハーフブリッジ1の上下アームに共に配置された電力用トランジスタQ1・Q4と、電力用トランジスタQ1・Q4のゲートG1・G4側にドレイン、電力用トランジスタQ1・Q4のソースS1・S4側にソースがそれぞれ接続されたアクティブミラークランプ用トランジスタQM1・QM4と、電力用トランジスタQ1・Q4のソースS1・S4に接続されたソース信号用配線パターンSSP1・SSP4と、ソース信号用配線パターンSSP1・SSP4とアクティブミラークランプ用トランジスタQM1・QM4のソースとを接続する接続導体MSW1・MSW4と、アクティブミラークランプ用トランジスタQM1・QM4のミラークランプゲートMG1・MG4に接続されたゲート信号用配線パターンMGP1・MGP4と、ゲート信号用配線パターンMGP1・MGP4とアクティブミラークランプ用トランジスタQM1・QM4のミラークランプゲートMG1・MG4とを接続する接続導体MGW1・MGW4とを備える。ここで、接続導体MSW1・MSW4の長さが、接続導体MGW1・MGW4の長さ以下である。

[0052] ここで、図4中の矢印(⇒)で示される経路が、アクティブミラークランプ用トランジスタQM4による電力用トランジスタQ4のゲート短絡経路を示す。アクティブミラークランプ用トランジスタQM1による電力用トランジスタQ1のゲート短絡経路についても図示は省略するが同様に表すことができる。

[0053] アクティブミラークランプ用トランジスタQM1・QM4は電力回路の電力用トランジスタQ1・Q4のゲート短絡経路を短縮し、ゲートインダクタンスを低減するために使用されるものである。アクティブミラークランプ用トランジスタQM1・QM4をパワーモジュールに内蔵する場合、パワーモジュール外に設置する場合と比較して短絡経路がさらに短くなり、誤動作の

抑制効果がより高くなる。

[0054] 一方でアクティブミラークランプ用トランジスタをパワーモジュールに内蔵する場合はそのスペースを確保するため、レイアウト上の制約を受けることになる。パワーモジュールサイズを大きくすることなく、かつ電力回路のインダクタンスも増大させずにアクティブミラークランプ用トランジスタを内蔵するには、信号パターンのスペースを最小限にとどめることが望ましい。

[0055] アクティブミラークランプ用トランジスタ内蔵パワーモジュールに必要な信号パターンは、電力用トランジスタのゲートパターン、ソースセンスパターンおよびアクティブミラークランプ用トランジスタのミラークランプゲートパターンの少なくとも3種類が挙げられる。ゲートパターン、ソースセンスパターン、ミラークランプゲートパターンはそれぞれアクティブミラークランプ用トランジスタのドレイン、ソース、ゲートと接続されることになるが、信号パターンのスペースが限られるため、ミラークランプゲートパターンとソースセンスパターンの両方をアクティブミラークランプ用トランジスタの近傍に配置するレイアウトを作成することは困難である。

[0056] その場合、ミラークランプゲート配線もしくはミラークランプソース配線のいずれか一方を長くする必要があるが、ミラークランプソース配線の寄生インダクタンスは電力用トランジスタのゲートインダクタンスにそのまま加算されるため小さくすべきである。一方、ミラークランプゲート配線の寄生インダクタンスは電力用トランジスタのゲートインダクタンスには影響しないため大きくても許容される。すなわち、ミラークランプゲート配線よりミラークランプソース配線を短くするようレイアウトを作成することで、誤動作抑制効果のより大きいモジュールを提供することができる。

[0057] 図3に示された例では、接続導体MSW1・MSW4および接続導体MGW1・MGW4が、ボンディングワイヤを用いる例が示されているが、ボンディングワイヤ以外では、リードフレームを備えていても良い。

[0058] すなわち、ミラークランプゲート配線およびミラークランプソース配線に

はボンディングワイヤを用いるのが一般的であるが、これに限らない。リードフレームや、メッキ、スパッタ、CVDなどの薄膜形成プロセスによって形成された導体や信号配線を適用しても良い。薄膜形成プロセスによって形成された導体とは、このような製造技術で形成された例えば、金属箔パターンのことである。薄膜プロセスにより、立体配線構造を形成しても良い。メッキ工程の場合は、シード層をCVDやスパッタで形成し、その後メッキを形成する。メッキの材料としては、例えば、Cu、Ag、WやMoを適用しても良い。

[0059] 第1の実施の形態に係るパワーモジュールにおいては、電力用トランジスタのスイッチング時の誤動作を抑制するために、アクティブミラークランプ用トランジスタをパワーモジュールに内蔵し、かつアクティブミラークランプ用トランジスタの接続導体MSW1・MSW4の長さが、接続導体MGW1・MGW4の長さ以下になるように信号パターンを形成し、アクティブミラークランプ用トランジスタQMを配置する。

[0060] アクティブミラークランプ用トランジスタをパワーモジュールに内蔵し、適当な位置に配置をすることで、パワーモジュールサイズを大きくすることなく、かつ電力回路のインダクタンスを増大させることなく電力用トランジスタのゲートインダクタンスを低減でき、誤動作の抑制が可能となる。

[0061] なお、本構成の意図がアクティブミラークランプ用トランジスタQMのドレイン・ソース間短絡経路のインピーダンス低減にあるため、接続導体MSWの断面積は、接続導体MGWの断面積以上であることが好ましい。また、電力用トランジスタのゲート・ソース間短絡経路の寄生インダクタンスには電極パターン10Uおよび電極パターン10U(SSP)の寄生インダクタンスも含まれるため、電極パターン10U(MGP)よりも、電極パターン10Uおよび電極パターン10U(SSP)の寄生インダクタンスが優先的に低く設計されている方が、誤動作抑制の観点から見てより好ましい。

[0062] 尚、図1(b)、図2(b)および図3(b)において、電極パターン10Dは、電力端子(P、N)のいずれかに接続されていても良い。また、電極

パターン１０Ｄは、絶縁された放熱用パターンであっても良い。このように、裏面にも電極パターンを形成することで絶縁基板の応力緩和の効果等を得ることができる。

[0063] 〔第２の実施の形態〕

(２ in １構成)

第２の実施の形態に係るパワーモジュール２の模式的平面パターン構成は、図６に示すように表され、図６に対応するパワーモジュールの回路構成は、図７に示すように表される。ここで、図７の破線で囲まれた回路構成が、第２の実施の形態に係るパワーモジュール２のパワー回路１を示す。

[0064] 第２の実施の形態に係るパワーモジュール２であって、ハーフブリッジ内蔵モジュールにおいて、樹脂層１２０を形成前の模式的平面パターン構成は、図６に示すように表され、樹脂層１２０を形成後の模式的鳥瞰構成は、図２６（ｂ）に示すように表される。ここで、図７の破線で囲まれた回路構成が、第２の実施の形態に係るパワーモジュール２のパワー回路１を示す。以下同様である。第２の実施の形態に係るパワーモジュール２は、ハーフブリッジ内蔵モジュールの構成を備え、２組の電力用トランジスタＱ１・Ｑ４（例えば、ＳｉＣ ＭＯＳＦＥＴ）が１つのモジュールに内蔵されている。図６においては、電力用トランジスタＱ１・Ｑ４は、それぞれ３チップ並列に配置されている例が示されている。

[0065] 第２の実施の形態に係るパワーモジュール２は、図６および図２６（ｂ）に示すように、セラミック基板８の第１の辺に配置された正側電力端子Ｐおよび負側電力端子Ｎと、第１の辺に隣接する第２の辺に配置されたゲート端子ＧＴ１・ソースセンス端子ＳＳＴ１およびミラークランプゲート端子ＭＧＴ１・ミラークランプソース端子ＭＳＴ１と、第１の辺に対向する第３の辺に配置された出力端子Ｏ（Ｄ４）・Ｏ（Ｓ１）と、第２の辺に対向する第４の辺に配置されたゲート端子ＧＴ４・ソースセンス端子ＳＳＴ４およびミラークランプゲート端子ＭＧＴ４・ミラークランプソース端子ＭＳＴ４とを備える。

- [0066] また、電力用トランジスタQ 1・Q 4は、セラミックス基板8上に配置されたドレインパターンD 1・D 4上にフェースアップに配置され、アクティブミラークランプ用トランジスタQM 1・QM 4は、セラミックス基板8上に配置されたミラークランプ用ドレインパターンMDP 1・MDP 4上にフェースアップに配置される。
- [0067] ここで、ゲート端子GT 1・ソースセンス端子SST 1は、電力用トランジスタQ 1のゲート信号用配線パターンGL 1（MDP 1）・ソース信号用配線パターンSSP 1に接続され、ゲート端子GT 4・ソースセンス端子SST 4は、電力用トランジスタQ 4のゲート信号用配線パターンGL 4（MDP 4）・ソース信号用配線パターンSSP 4に接続される。
- [0068] 図6に示すように、電力用トランジスタQ 1・Q 4から、セラミックス基板8上に配置されたドレインパターンD 4（S 1）・ソースパターンS 4に向けてソースワイヤSW 1・SW 4が接続され、ゲート信号用配線パターンGL 1・GL 4に向けてゲートワイヤGW 1・GW 4が接続され、ソース信号用配線パターンSSP 1・SSP 4に向けてソースセンスワイヤSSW 1・SSW 4が接続される。
- [0069] 同様に、図6に示すように、アクティブミラークランプ用トランジスタQM 1・QM 4から、セラミックス基板8上に配置されたミラークランプソースパターンMSP 1・MSP 4に向けてミラークランプソースワイヤMSW 1・MSW 4が接続され、ゲート信号用配線パターンMGP 1・MGP 4に向けてミラークランプゲートワイヤMGW 1・MGW 4が接続される。
- [0070] また、ソース信号用配線パターンSSP 1・SSP 4は、負バイアス印加用コンデンサCG 1・CG 4を介して、ミラークランプソースパターンMSP 1・MSP 4に接続される。
- [0071] また、ゲート信号用配線パターンGL 1・GL 4には、外部取り出し用のゲート端子GT 1・GT 4が半田付けなどによって接続され、ソース信号用配線パターンSSP 1・SSP 4には、外部取り出し用のソースセンス端子SST 1・SST 4が半田付けなどによって接続され、ミラークランプソー

スパターンMSP1・MSP4には、外部取り出し用のミラークランプソース端子MST1・MST4が半田付けなどによって接続される。

[0072] また、ゲート信号用配線パターンMGP1・MGP4には、ミラークランプゲート抵抗MR1・MR4を介して、ミラークランプゲート端子MGT1・MGT4が接続される。

[0073] また、ゲート信号用配線パターンGL1・GL4とソース信号用配線パターンSSP1・SSP4間には、放電用抵抗DR1・DR4が接続される。

[0074] アクティブミラークランプ用トランジスタQM1・QM4のミラークランプソースMS1・MS4とソースセンスSS1・SS4との間にコンデンサCG1・CG4を配置する理由は、以下の通りである。電力用トランジスタQ1・Q4の誤オンを抑制するために、電力用トランジスタQ1・Q4オフ時にゲート・ソース間に負電圧を印加することがある。その負電圧は、図24に示す回路図のように、外部電源を用いてアクティブミラークランプ用トランジスタQM1・QM4のミラークランプソースMS1・MS4と電力用トランジスタQ1・Q4のソースセンスSS1・SS4との間に印加される。

[0075] もし、負バイアス印加用コンデンサCG1・CG4を電力用トランジスタQ1・Q4の近傍に内蔵しなければ、電力用トランジスタQ1・Q4のゲート・ソース間の信号経路が非常に長くなり、アクティブミラークランプ用トランジスタ内蔵の効果が失われる。負バイアス印加用コンデンサCG1・CG4を内蔵し、その両端に外部電源からの電圧印加を可能とする配線信号パターンを接続することで、狙い通りの特性を実現可能である。

[0076] 第2の実施の形態に係るパワーモジュール2は、図6および図7に示すように、アクティブミラークランプ用トランジスタQM1・QM4のミラークランプソースMS1・MS4に接続されたミラークランプ用ソースパターンMSP1・MSP4と、ソース信号用配線パターンSSP1・SSP4とミラークランプ用ソースパターンMSP1・MSP4との間に配置された負バイアス印加用コンデンサCG1・CG4と、電力用トランジスタQ1・Q4

のゲートG1・G4と接続されたゲート信号用配線パターンGL1・GL4と、ゲート信号用配線パターンGL1・GL4に接続された第1の信号端子GT1・GT4と、ソース信号用配線パターンSSP1・SSP4に接続された第2の信号端子SST1・SST4と、ゲート信号用配線パターンMGPP1・MGPP4に接続された第3の信号端子MGT1・MGT4と、ミラークランプ用ソースパターンMSP1・MSP4に接続された第4の信号端子MST1・MST4とを少なくとも備える。ここで、接続導体MSW1・MSW4の一端が負バイアス印加用コンデンサCG1・CG4を介してソース信号用配線パターンSSP1・SSP4に接続される。接続導体MSW1・MSW4の長さが、接続導体MGW1・MGW4の長さ以下である。その他の構成は、第1の実施の形態と同様である。

[0077] 第2の実施の形態に係るパワーモジュールにおいては、電力用トランジスタのスイッチング時の誤動作を抑制するために、アクティブミラークランプ用トランジスタをパワーモジュールに内蔵し、かつアクティブミラークランプ用トランジスタの接続導体MSW1・MSW4の長さが、接続導体MGW1・MGW4の長さ以下になるように信号パターンを形成し、アクティブミラークランプ用トランジスタを配置する。

[0078] アクティブミラークランプ用トランジスタをパワーモジュールに内蔵し、適当な位置に配置をすることで、パワーモジュールサイズを大きくすることなく、かつ電力回路のインダクタンスを増大させることなく電力用トランジスタのゲートインダクタンスを低減でき、誤動作の抑制が可能となる。

[0079] また、第2の実施の形態に係るパワーモジュール2においては、電力用トランジスタオフ時に、負バイアス印加用コンデンサCG1・CG4を介してゲート・ソース間に負電圧を印加することが可能であり、電力用トランジスタの誤動作を抑制することができる。負バイアス印加経路も含めたゲートインダクタンスを低減するため、電力用トランジスタQ1・Q4のソースセンスSS1・SS4とアクティブミラークランプ用トランジスタQM1・QM4のミラークランプソースMS1・MS4との間に負バイアス印加用コンデ

ンサCG1・CG4が挿入され、負バイアス印加用コンデンサCG1・CG4の両端に負電圧を印加する。信号端子は電力用トランジスタQ1・Q4のゲート端子GT1・GT4とソースセンス端子SST1・SST4、ミラークランプゲート端子MGT1・MGT4とミラークランプソース端子MST1・MST4の少なくとも4本を用いることで達成される。

[0080] アクティブミラークランプ用トランジスタQM1・QM4は電力用トランジスタQ1・Q4のゲート・ソース間短絡経路を短縮し、ゲートインダクタンスを低減するために使用される。ミラークランプ用トランジスタをパワーモジュールに内蔵する場合、パワーモジュール外に設置する場合と比較して短絡経路がさらに短くなり、誤動作の抑制効果がより高くなる。

[0081] 図6に示された例では、接続導体MSW1・MSW4および接続導体MGW1・MGW4が、ボンディングワイヤを用いる例が示されているが、ボンディングワイヤ以外では、リードフレームを備えていても良い。

[0082] [第3の実施の形態]

第3の実施の形態に係るパワーモジュール2の模式的平面パターン構成は、図8に示すように表され、その回路構成は、図9に示すように表される。ここで、図9の破線で囲まれた回路構成が、第3の実施の形態に係るパワーモジュール2のパワー回路1を示す。

[0083] 図8に示すように、第3の実施の形態に係るパワーモジュール2は、正側電力端子P・負側電力端子N間に電氣的に接続されるDCリンクコンデンサ C_{PN} を備える。DCリンクコンデンサ C_{PN} としては、セラミックキャパシタなどを適用可能である。

[0084] 第3の実施の形態に係るパワーモジュール2は、図8および図9に示すように、正側電力端子Pおよび負側電力端子Nと、正側電力端子Pに接続されたドレインパターンD1と、負側電力端子Nに接続されたソースパターンS4と、ドレインパターンD1とソースパターンS4との間に配置されたDCリンクコンデンサ C_{PN} とを備える。図8において、矢印($\Rightarrow$)は、正側電力端子Pに接続されたドレインパターンD1と負側電力端子Nに接続されたソー

スパターンS4とを導通する主電流の向きを模式的に表している。

[0085] 第3の実施の形態に係るパワーモジュール2においては、短絡電流経路の寄生インダクタンスを低減することによって、ドレイン電圧サージを抑制することができる。その他の構成は、第1の実施の形態と同様である。

[0086] 第3の実施の形態に係るパワーモジュールにおいても、電力用トランジスタのスイッチング時の誤動作を抑制するために、アクティブミラークランプ用トランジスタをパワーモジュールに内蔵し、かつアクティブミラークランプ用トランジスタの接続導体MSW1・MSW4の長さが、接続導体MGW1・MGW4の長さ以下になるように信号パターンを形成し、アクティブミラークランプ用トランジスタを配置する。

[0087] アクティブミラークランプ用トランジスタをパワーモジュールに内蔵し、適当な位置に配置をすることで、パワーモジュールサイズを大きくすることなく、かつ電力回路のインダクタンスを増大させることなく電力用トランジスタのゲートインダクタンスを低減でき、誤動作の抑制が可能となる。

[0088] 図8に示された例では、接続導体MSW1・MSW4および接続導体MGW1・MGW4が、ボンディングワイヤを用いる例が示されているが、ボンディングワイヤ以外では、リードフレームを備えていても良い。

[0089] [第4の実施の形態]

第4の実施の形態に係るパワーモジュール2の模式的平面パターン構成は、図10に示すように表され、その回路構成は、図11に示すように表される。また、第4の実施の形態に係るパワーモジュール2の動作説明は、図12に示すように表される。ここで、図11の破線で囲まれた回路構成が、第4の実施の形態に係るパワーモジュール2のパワー回路1を示す。

[0090] 図10に示すように、第4の実施の形態に係るパワーモジュール2は、正側電力端子P・負側電力端子N間に電氣的に接続されるDCリンクコンデンサ C_{PN} を備える。DCリンクコンデンサ C_{PN} としては、セラミックキャパシタなどを適用可能である。

[0091] 第4の実施の形態に係るパワーモジュール2は、図10および図11に示

すように、正側電力端子Pおよび負側電力端子Nと、正側電力端子Pに接続されたドレインパターンD1と、負側電力端子Nに接続されたソースパターンS4と、ドレインパターンD1とソースパターンS4との間に配置されたDCリンクコンデンサ C_{PN} とを備える。

[0092] 図12において、ドレインパターンD1・D4・ソースパターンS4上において、電力回路の電流が集中する領域は、P側電流集中領域CPP・O側電流集中領域CPO・N側電流集中領域CPNで模式的に表すことができる。P側電流集中領域CPPは、電力用トランジスタQ1のドレインとDCリンクコンデンサの一端とを結ぶ最短経路であるため、主電流が集中しやすい。O側電流集中領域CPOは、電力用トランジスタQ1のソースと電力用トランジスタQ4のドレインとを結ぶ最短経路であるため、主電流が集中しやすい。N側電流集中領域CPNには、電力用トランジスタQ4のソースとDCリンクコンデンサの一端とを結ぶ最短経路であるため、主電流が集中しやすい。

[0093] 第4の実施の形態に係るパワーモジュール2においては、P側電流集中領域CPP・N側電流集中領域CPN近傍にDCリンクコンデンサ C_{PN} を配置することで、短絡電流経路の寄生インダクタンスを低減し、ドレイン電圧サージを抑制することができる。その他の構成は、第2の実施の形態と同様である。

[0094] 第4の実施の形態に係るパワーモジュールにおいても、電力用トランジスタのスイッチング時の誤動作を抑制するために、アクティブミラークランプ用トランジスタをパワーモジュールに内蔵し、かつアクティブミラークランプ用トランジスタの接続導体MSW1・MSW4の長さが、接続導体MGW1・MGW4の長さ以下になるように信号パターンを形成し、アクティブミラークランプ用トランジスタを配置する。

[0095] アクティブミラークランプ用トランジスタをパワーモジュールに内蔵し、適当な位置に配置をすることで、パワーモジュールサイズを大きくすることなく、かつ電力回路のインダクタンスを増大させることなく電力用トランジ

スタのゲートインダクタンスを低減でき、誤動作の抑制が可能となる。

[0096] 第4の実施の形態に係るパワーモジュール2においては、電力用トランジスタオフ時に、負バイアス印加用コンデンサCG1・CG4を介してゲート・ソース間に負電圧を印加することが可能であり、電力用トランジスタの誤動作を抑制することができる。負バイアス印加経路も含めたゲートインダクタンスを低減するため、電力用トランジスタQ1・Q4のソースセンスSS1・SS4とアクティブミラークランプ用トランジスタQM1・QM4のミラークランプソースMS1・MS4との間に負バイアス印加用コンデンサCG1・CG4が挿入され、負バイアス印加用コンデンサCG1・CG4の両端に負電圧を印加する。信号端子は電力用トランジスタQ1・Q4のゲート端子GT1・GT4とソースセンス端子SST1・SST4、ミラークランプゲート端子MGT1・MGT4とミラークランプソース端子MST1・MST4の少なくとも4本を用いることで達成される。

[0097] アクティブミラークランプ用トランジスタQM1・QM4は電力用トランジスタQ1・Q4のゲート短絡経路を短縮し、ゲートインダクタンスを低減するために使用される。アクティブミラークランプ用トランジスタQM1・QM4をパワーモジュールに内蔵する場合、パワーモジュール外に設置する場合と比較して短絡経路がさらに短くなり、誤動作の抑制効果がより高くなる。

[0098] 図10に示された例では、接続導体MSW1・MSW4および接続導体MGW1・MGW4が、ボンディングワイヤを用いる例が示されているが、ボンディングワイヤ以外では、リードフレームを備えていても良い。

[0099] [第5の実施の形態]

第5の実施の形態に係るパワーモジュール2の模式的平面パターン構成は、図13に示すように表され、その回路構成上の配置説明は、図14に示すように表される。

[0100] 図13に示すように、第5の実施の形態に係るパワーモジュール2は、正側電力端子P・負側電力端子N間に電氣的に接続されるDCリンクコンデン

サ C_{PN} を備える。DCリンクコンデンサ C_{PN} としては、セラミックキャパシタなどを適用可能である。

[0101] 第5の実施の形態に係るパワーモジュール2は、図13および図14に示すように、正側電力端子Pおよび負側電力端子Nと、正側電力端子Pに接続されたドレインパターンD1と、負側電力端子Nに接続されたソースパターンS4と、ドレインパターンD1とソースパターンS4との間に配置されたDCリンクコンデンサ C_{PN} とを備え、DCリンクコンデンサ C_{PN} の接続部から第2のトランジスタQM1・QM4までの距離DM1・DM4よりも、DCコンデンサ C_{PN} の接続部から第1のトランジスタQ1・Q4までの距離DQ1・DQ4の方が近くなるように配置される。

[0102] 第5の実施の形態に係るパワーモジュール2においては、短絡電流経路の寄生インダクタンスを低減することによって、ドレイン電圧サージを抑制することができる。その他の構成は、第3の実施の形態と同様である。

[0103] 正側電極端子Pと負側電極端子Nとの間にDCクランプ用コンデンサ C_{PN} を接続する場合、DCクランプ用コンデンサ C_{PN} の接続端子から電力回路トランジスタQ1・Q4までの距離よりも、DCクランプ用コンデンサ C_{PN} の接続端子からミラークランプQM1・QM4までの距離の方が遠くなるように配置することで、電力回路のインダクタンスの増大を抑制することができる。

[0104] 電力回路のインダクタンスの増大を抑制することができる理由は、以下の通りである。DCクランプ用コンデンサ C_{PN} は、電力回路の電力用トランジスタQ1・Q4のドレイン・ソース間電圧サージを抑制するために配置される。パワーモジュール2の外側に配置するよりもパワーモジュール2に内蔵することで電力経路の寄生インダクタンスをより低減することが可能である。

[0105] アクティブミラークランプ用トランジスタQM1・QM4をパワーモジュール2に内蔵することに対する懸念点の1つは、DCクランプ用コンデンサ C_{PN} の設置スペースが電力回路の導体幅を制限することである。特に、大電流が流れる経路の導体幅が狭くなった場合、電力回路のインダクタンスが増大し、電圧サージの増大を招く。

[0106] 導体パターン上において電力回路の電流が集中する電流集中領域 C_{PP} ・ C_{PO} ・ C_{PN} は、図12に示すように表される。 DC クランプ用コンデンサ C_{PN} を接続すれば、電力回路の電流は、 DC クランプ用コンデンサ C_{PN} の接続端同士を結ぶ導体の最短経路に集中する。アクティブミラークランプ $QM1$ ・ $QM4$ をその経路より外側に配置すれば、経路の導体幅が狭くなっても電流分布はあまり変化せず、インダクタンスの上昇を抑制することができる。そこで、 DC クランプ用コンデンサ C_{PN} の接続部からアクティブミラークランプ用トランジスタ $QM1$ ・ $QM4$ までの距離 $DM1$ ・ $DM4$ よりも電力用トランジスタ $Q1$ ・ $Q4$ までの距離 $DQ1$ ・ $DQ4$ を近いとする限定を設けている。

[0107] 第5の実施の形態に係るパワーモジュールにおいても、電力用トランジスタのスイッチング時の誤動作を抑制するために、アクティブミラークランプ用トランジスタをパワーモジュールに内蔵し、かつアクティブミラークランプ用トランジスタの接続導体 $MSW1$ ・ $MSW4$ の長さが、接続導体 $MGW1$ ・ $MGW4$ の長さ以下になるように信号パターンを形成し、アクティブミラークランプ用トランジスタを配置する。

[0108] アクティブミラークランプ用トランジスタをパワーモジュールに内蔵し、適当な位置に配置をすることで、パワーモジュールのサイズを大きくすることなく、かつ電力回路のインダクタンスを増大させることなく電力用トランジスタのゲートインダクタンスを低減でき、誤動作の抑制が可能となる。

[0109] 図13に示された例では、接続導体 $MSW1$ ・ $MSW4$ および接続導体 $MGW1$ ・ $MGW4$ が、ボンディングワイヤを用いる例が示されているが、ボンディングワイヤ以外では、リードフレームを備えていても良い。

[0110] [第6の実施の形態]

第6の実施の形態に係るパワーモジュール2の模式的平面パターン構成は、図15に示すように表され、その回路構成上の配置説明は、図16に示すように表される。

[0111] 図15に示すように、第6の実施の形態に係るパワーモジュール2は、正

側電力端子P・負側電力端子N間に電氣的に接続されるDCリンクコンデンサ C_{PN} を備える。DCリンクコンデンサ C_{PN} としては、セラミックキャパシタなどを適用可能である。

[0112] 第6の実施の形態に係るパワーモジュール2は、図15および図16に示すように、正側電力端子Pおよび負側電力端子Nと、正側電力端子Pに接続されたドレインパターンD1と、負側電力端子Nに接続されたソースパターンS4と、ドレインパターンD1とソースパターンS4との間に配置されたDCリンクコンデンサ C_{PN} とを備え、DCリンクコンデンサ C_{PN} の接続部から第2のトランジスタQM1・QM4までの距離DM1・DM4よりも、DCコンデンサ C_{PN} の接続部から第1のトランジスタQ1・Q4までの距離DQ1・DQ4の方が近くなるように配置される。

[0113] 第6の実施の形態に係るパワーモジュール2においては、正側電極端子Pと負側電極端子Nとの間にDCクランプ用コンデンサ C_{PN} を接続する場合、DCクランプ用コンデンサ C_{PN} の接続端子から電力回路トランジスタQ1・Q4までの距離よりも、DCクランプ用コンデンサ C_{PN} の接続端子からミラークランプQM1・QM4までの距離の方が遠くなるように配置することで、電力回路のインダクタンスの増大を抑制することができる。

[0114] 第6の実施の形態に係るパワーモジュール2においては、短絡電流経路の寄生インダクタンスを抑制することによって、ドレイン電圧サージを低減することができる。

[0115] さらに、第6の実施の形態に係るパワーモジュール2は、図15および図16に示すように、ゲート端子GT1・GT4とソースセンス端子SST1・SST4が互いに隣接し、ミラークランプゲート端子MGT1・MGT4とミラークランプソース端子MST1・MST4が互いに隣接するように各端子電極を配置している。

ゲート端子GT1・GT4とソースセンス端子SST1・SST4が互いに隣接し、ミラークランプゲート端子MGT1・MGT4とミラークランプソース端子MST1・MST4が互いに隣接するように各端子電極を配置する

ことで、双方の端子の寄生インダクタンスが低減し、電力用トランジスタQ1・Q4のゲートインダクタンスをより低く抑えことができる。尚、信号端子の配置順については特に制限はない。

[0116] ゲート端子GT1・GT4とソースセンス端子SST1・SST4が互いに隣接し、ミラークランプゲート端子MGT1・MGT4とミラークランプソース端子MST1・MST4が互いに隣接するように各端子電極を配置することで、電流がこれらの端子を通過する際のインダクタンスを低く抑えることができる。アクティブミラークランプ用トランジスタを内蔵していれば、このインダクタンスは電力用トランジスタの誤動作に影響しないが、ターンオン時のスイッチングスピードを決める要因の1つになる。

[0117] ミラークランプゲート端子MGT1・MGT4とミラークランプソース端子MST1・MST4を互いに隣接させることの効果も上記と同様に、双方の端子の寄生インダクタンスを低減させることができ、結果として、アクティブミラークランプ用トランジスタのゲート電圧サージを抑制可能である。

[0118] ゲート端子GT1・GT4とソースセンス端子SST1・SST4を隣接させることにより、双方の端子の寄生インダクタンスが低減する理由は、互いに離して置くより隣接させた方が、双方の端子を通る電流により形成されるループの面積が小さくなるためである。その他の構成は、第4の実施の形態と同様である。

[0119] 第6の実施の形態に係るパワーモジュールにおいても、電力用トランジスタのスイッチング時の誤動作を抑制するために、アクティブミラークランプ用トランジスタをパワーモジュールに内蔵し、かつアクティブミラークランプ用トランジスタの接続導体MSW1・MSW4の長さが、接続導体MGW1・MGW4の長さ以下になるように信号パターンを形成し、アクティブミラークランプ用トランジスタQMを配置する。

[0120] アクティブミラークランプ用トランジスタをパワーモジュールに内蔵し、適当な位置に配置をすることで、パワーモジュールのサイズを大きくすることなく、かつ電力回路のインダクタンスを増大させることなく電力用トラン

ジスタのゲートインダクタンスを低減でき、誤動作の抑制が可能となる。

[0121] 図15に示された例では、接続導体MSW1・MSW4および接続導体MGW1・MGW4が、ボンディングワイヤを用いる例が示されているが、ボンディングワイヤ以外では、リードフレームを備えていても良い。

[0122] [第7の実施の形態]

第7の実施の形態に係るパワーモジュール2の模式的平面パターン構成は、図17に示すように表される。図17に対応するパワーモジュールの回路構成は、図9と同様に表される。第7の実施の形態に係るパワーモジュール2は、様々な端子配置順でのモジュールレイアウト例の一例を表しており、例えば、信号端子の並びが、GT1-SST1、MST1-MGT1、GT4-SST4、MST4-MGT4となる例を表す。尚、信号端子の配置順については特に制限はない。

[0123] 第7の実施の形態に係るパワーモジュール2であって、ハーフブリッジ内蔵モジュールにおいて、樹脂層120を形成前の模式的平面パターン構成は、図17に示すように表され、樹脂層120を形成後の模式的鳥瞰構成は、図26(c)に示すように表される。

[0124] 第7の実施の形態に係るパワーモジュール2は、ハーフブリッジ内蔵モジュールの構成を備え、2組の電力用トランジスタQ1・Q4（例えば、SiCMOSFET）が1つのモジュールに内蔵されている。図17においては、電力用トランジスタQ1・Q4は、それぞれ3チップ並列に配置されている例が示されている。

[0125] 第7の実施の形態に係るパワーモジュール2は、図17および図26(c)に示すように、セラミック基板8の第1の辺に配置された正側電力端子Pおよび負側電力端子Nと、第1の辺に隣接する第2の辺に配置されたゲート端子GT1・ソースセンス端子SST1およびミラークランプソース端子MST1・ミラークランプゲート端子MGT1と、第1の辺に対向する第3の辺に配置された出力端子O(D4)・O(S1)と、第2の辺に対向する第4の辺に配置されたゲート端子GT4・ソースセンス端子SST4およびミ

ラークランプソース端子MST4・ミラークランプゲート端子MGT4とを備える。

[0126] また、電力用トランジスタQ1・Q4は、セラミックス基板8上に配置されたドレインパターンD1・D4上にフェースアップに配置され、ミラークランプ用トランジスタQM1・QM4は、セラミックス基板8上に配置されたミラークランプ用のドレインパターンMDP1・MDP4上にフェースアップに配置される。

[0127] ここで、ゲート端子GT1・ソースセンス端子SST1は、電力用トランジスタQ1のゲート信号用配線パターンGL1(MDP1)・ソース信号用配線パターンSSP1に接続され、ゲート端子GT4・ソースセンス端子SST4は、電力用トランジスタQ4のゲート信号用配線パターンGL4(MDP4)・ソース信号用配線パターンSSP4に接続される。

[0128] 図17に示すように、電力用トランジスタQ1・Q4から、セラミックス基板8上に配置されたドレインパターンD4(S1)・ソースパターンS4に向けてソースワイヤSW1・SW4が接続され、ゲート信号用配線パターンGL1・GL4に向けてゲートワイヤGW1・GW4が接続され、ソース信号用配線パターンSSP1・SSP4に向けてソースセンスワイヤSSW1・SSW4が接続される。

[0129] 同様に、図17に示すように、ミラークランプ用トランジスタQM1・QM4から、ミラークランプソースパターンMSP1・MSP4に向けてミラークランプソースワイヤMSW1・MSW4が接続され、ミラークランプゲートゲート信号用配線パターンMGP1・MGP4に向けてミラークランプゲートワイヤMGW1・MGW4が接続される。

[0130] また、ソース信号用配線パターンSSP1・SSP4は、負バイアス印加用コンデンサCG1・CG4を介して、ミラークランプ用ソースパターンMSP1・MSP4に接続される。

[0131] また、ゲート信号用配線パターンGL1・GL4には、外部取り出し用のゲート端子GT1・GT4が半田付けなどによって接続され、ソースセンス

信号用配線パターンSSP1・SSP4には、外部取り出し用のソースセンス端子SST1・SST4が半田付けなどによって接続され、ミラークランプソースパターンMSP1・MSP4には、外部取り出し用のミラークランプソース端子MST1・MST4が半田付けなどによって接続される。

[0132] また、ミラークランプゲート信号用配線パターンMGP1・MGP4には、ミラークランプゲート抵抗MR1・MR4を介して、ミラークランプゲート端子MGT1・MGT4が接続される。

[0133] また、ゲート信号用配線パターンGL1・GL4とソース信号用配線パターンSSP1・SSP4間には、放電用抵抗DR1・DR4が接続される。

[0134] 第7の実施の形態に係るパワーモジュール2は、図17に示すように、正側電力端子Pおよび負側電力端子Nと、正側電力端子Pに接続されたドレインパターンD1と、負側電力端子Nに接続されたソースパターンS4と、ドレインパターンD1とソースパターンS4との間に配置されたDCリンクコンデンサ C_{PN} とを備える。DCリンクコンデンサ C_{PN} としては、セラミックキャパシタなどを適用可能である。

[0135] 第7の実施の形態に係るパワーモジュール2は、図17に示すように、アクティブミラークランプ用トランジスタQM1・QM4のミラークランプソースMS1・MS4に接続されたミラークランプ用ソースパターンMSP1・MSP4と、ソース信号用配線パターンSSP1・SSP4とミラークランプ用ソースパターンMSP1・MSP4との間に配置された負バイアス印加用コンデンサCG1・CG4と、電力用トランジスタQ1・Q4のゲートG1・G4と接続されたゲート信号用配線パターンGL1・GL4と、ゲート信号用配線パターンGL1・GL4に接続されたゲート端子GT1・GT4と、ソース信号用配線パターンSSP1・SSP4に接続されたソースセンス端子SST1・SST4と、ミラークランプゲート信号用配線パターンMGP1・MGP4に接続されたミラークランプゲート端子MGT1・MGT4と、ソース信号用配線パターンMSP1・MSP4に接続されたミラークランプソース端子MST1・MST4とを少なくとも備える。ここで、接

続導体MSW1・MSW4の一端が負バイアス印加用コンデンサCG1・CG4を介してソース信号用配線パターンSSP1・SSP4に接続される。接続導体MSW1・MSW4の長さが、接続導体MGW1・MGW4の長さ以下である。その他の構成は、図10に示す第4の実施の形態と同様である。

[0136] 第7の実施の形態に係るパワーモジュールにおいては、電力用トランジスタのスイッチング時の誤動作を抑制するために、アクティブミラークランプ用トランジスタをパワーモジュールに内蔵し、かつアクティブミラークランプ用トランジスタの接続導体MSW1・MSW4の長さが、接続導体MGW1・MGW4の長さ以下になるように信号パターンを形成し、アクティブミラークランプ用トランジスタを配置する。

[0137] アクティブミラークランプ用トランジスタをパワーモジュールに内蔵し、適当な位置に配置をすることで、パワーモジュールサイズを大きくすることなく、かつ電力回路のインダクタンスを増大させることなく電力用トランジスタのゲートインダクタンスを低減でき、誤動作の抑制が可能となる。

[0138] 図17に示された例では、接続導体MSW1・MSW4および接続導体MGW1・MGW4が、ボンディングワイヤを用いる例が示されているが、ボンディングワイヤ以外では、リードフレームを備えていても良い。

[0139] [第8の実施の形態]

第8の実施の形態に係るパワーモジュール2の模式的平面パターン構成は、図18に示すように表される。第8の実施の形態に係るパワーモジュール2は、様々な端子配置順でのモジュールレイアウト例の一例を表しており、例えば、信号端子の並びが、GT1-SST1、MGT1-MST1、GT4-SST4、MGT4-MST4となる例を表す。尚、信号端子の配置順については特に制限はない。

[0140] 第8の実施の形態に係るパワーモジュール2であって、ハーフブリッジ内蔵モジュールにおいて、樹脂層120を形成前の模式的平面パターン構成は、図18に示すように表され、樹脂層120を形成後の模式的鳥瞰構成は、

図 26 (c) において、MGT1-MST1、MGT4-MST4 の配置を交換した構成を備える。

[0141] 第 8 の実施の形態に係るパワーモジュール 2 は、セラミック基板 8 の第 1 の辺に配置された正側電力端子 P および負側電力端子 N と、第 1 の辺に隣接する第 2 の辺に配置されたゲート端子 GT1・ソースセンス端子 SST1 およびミラークランプゲート端子 MGT1・ミラークランプソース端子 MST1 と、第 1 の辺に対向する第 3 の辺に配置された出力端子 O (D4)・O (S1) と、第 2 の辺に対向する第 4 の辺に配置されたゲート端子 GT4・ソースセンス端子 SST4 およびミラークランプゲート端子 MGT4・ミラークランプソース端子 MST4 とを備える。

[0142] また、電力用トランジスタ Q1・Q4 は、セラミックス基板 8 上に配置されたドレインパターン D1・D4 上にフェースアップに配置され、ミラークランプ用トランジスタ QM1・QM4 は、セラミックス基板 8 上に配置されたミラークランプ用ドレインパターン MDP1・MDP4 上にフェースアップに配置される。

[0143] また、第 8 の実施の形態に係るパワーモジュール 2 は、図 18 に示すように、正側電力端子 P に接続されたドレインパターン D1 と負側電力端子 N に接続されたソースパターン S4 との間に配置された DC リンクコンデンサ C_{PN} を備える。DC リンクコンデンサ C_{PN} としては、セラミックキャパシタなどを適用可能である。

[0144] 図 18 に示すように、ゲート端子 GT1・ソースセンス端子 SST1 は、電力用トランジスタ Q1 のゲート信号用配線パターン GL1 (MDP1)・ソース信号用配線パターン SSP1 に接続され、ゲート端子 GT4・ソースセンス端子 SST4 は、電力用トランジスタ Q4 のゲート信号用配線パターン GL4 (MDP4)・ソース信号用配線パターン SSP4 に接続される。

[0145] 図 18 に示すように、電力用トランジスタ Q1・Q4 から、ドレインパターン D4 (S1)・ソースパターン S4 に向けてソースワイヤ SW1・SW4 が接続され、ゲート信号用配線パターン GL1・GL4 に向けてゲートワ

イヤGW1・GW4が接続され、ソース信号用配線パターンSSP1・SSP4に向けてソースセンスワイヤSSW1・SSW4が接続される。

[0146] 同様に、図18に示すように、ミラークランプ用トランジスタQM1・QM4から、ミラークランプソースパターンMSP1・MSP4に向けてミラークランプソースワイヤMSW1・MSW4が接続され、ミラークランプゲートゲート信号用配線パターンMGP1・MGP4に向けてミラークランプゲートワイヤMGW1・MGW4が接続される。

[0147] また、ソース信号用配線パターンSSP1・SSP4は、負バイアス印加用コンデンサCG1・CG4を介して、ミラークランプ用ソースパターンMSP1・MSP4に接続される。

[0148] また、ゲート信号用配線パターンGL1・GL4には、外部取り出し用のゲート端子GT1・GT4が半田付けなどによって接続され、ソース信号用配線パターンSSP1・SSP4には、外部取り出し用のソースセンス端子SST1・SST4が半田付けなどによって接続され、ミラークランプ用ソースパターンMSP1・MSP4には、外部取り出し用のミラークランプソース端子MST1・MST4が半田付けなどによって接続される。

[0149] また、ゲート信号用配線パターンGL1・GL4とソース信号用配線パターンSSP1・SSP4間には、放電用抵抗DR1・DR4が接続される。

[0150] また、ミラークランプ抵抗MR1・MR4（図示省略）は、ミラークランプゲート端子MGT1・MGT4に外部接続されていても良い。その他の構成は、第7の実施の形態と同様である。

[0151] 第8の実施の形態に係るパワーモジュールにおいては、電力用トランジスタのスイッチング時の誤動作を抑制するために、アクティブミラークランプ用トランジスタをパワーモジュールに内蔵し、かつアクティブミラークランプ用トランジスタの接続導体MSW1・MSW4の長さが、接続導体MGW1・MGW4の長さ以下になるように信号パターンを形成し、アクティブミラークランプ用トランジスタを配置する。

[0152] アクティブミラークランプ用トランジスタをパワーモジュールに内蔵し、

適当な位置に配置をすることで、パワーモジュールのサイズを大きくすることなく、かつ電力回路のインダクタンスを増大させることなく電力用トランジスタのゲートインダクタンスを低減でき、誤動作の抑制が可能となる。

[0153] 図18に示された例では、接続導体MSW1・MSW4および接続導体MGW1・MGW4が、ボンディングワイヤを用いる例が示されているが、ボンディングワイヤ以外では、リードフレームを備えていても良い。

[0154] (ゲートドライブ回路)

実施の形態に係るパワーモジュール2に適用可能なゲートドライブ回路3の構成例は、図19に示すように表される。ゲートドライブ回路3は、ゲート入力信号増幅のため、図19に示すように、 pnp トランジスタ Q_p / npn トランジスタ Q_n で構成されたプッシュプル回路を使用している。ゲートドライブ回路3は、ターンオン電圧生成用電源 E_{ON} とゲート端子G間に接続された npn トランジスタ Q_n と、ゲート端子Gとミラークランプソース端子MS間に接続された pnp トランジスタ Q_p とを備える。

[0155] ゲート入力信号パルス電圧P1をベース抵抗 R_B を介して npn トランジスタ Q_n ・ pnp トランジスタ Q_p に印加すると、ターンオン電圧生成用電源 E_{ON} から正の電圧パルスが npn トランジスタ Q_n とゲート抵抗 R_{GN} を介してゲート端子Gに供給され、電力用トランジスタQ1をオンに駆動する。

[0156] ゲート入力信号パルス電圧P1が0になると、 pnp トランジスタ Q_p がオンしてターンオフ電圧生成用電源 E_{OFF} から負の電圧パルスが pnp トランジスタ Q_p とゲート抵抗 R_{GP} を介してゲート端子Gに供給され、電力用トランジスタQ1をオフに駆動する。電力用トランジスタQ1のゲート-ソース間電圧がある設定値以下になった時点でミラークランプ用ゲート入力信号パルス電圧PMをミラークランプゲートMG・ミラークランプソースMS間に印加すると、電力用トランジスタQ1ターンオフ時のゲート-ソース間短絡経路インダクタンスを低減することができる。

[0157] 図19において、C1は、ターンオフ電圧生成用電源 E_{OFF} の充電用コンデンサ、C2は、ターンオン電圧生成用電源 E_{ON} の充電用コンデンサを示す。

[0158] (電力回路のインダクタンスおよび電力用トランジスタのゲートインダクタンス)

実施の形態に係るパワーモジュール2において、電力回路のインダクタンス L_{PC} の説明図は、図20(a)に示すように表される。図20(a)は、電力回路がフルブリッジ構成の例である。電力回路のインダクタンス L_{PC} は、図20(a)に示すように、電圧E間に接続されたハーフブリッジ構成の電力用トランジスタ $Q_1 \cdot Q_4$ と、電力用トランジスタ $Q_1 \cdot Q_4$ と並列接続されたDCリンクコンデンサ C_{PN} からなるループ経路のインダクタンスを表している。図20(a)において、LRは平滑リアクトル、CSは出力コンデンサ、RSは抵抗負荷を表している。

[0159] 電力用トランジスタ Q_1 のゲートインダクタンス L_{GC} の説明図は、図20(b)に示すように表される。電力用トランジスタ Q_1 のゲートインダクタンス L_{GC} は、図20(b)に示すように、電力用トランジスタ Q_1 のゲートG1・ソースセンスSS1間に形成されるループ経路のインダクタンスを表している。すなわち、電力用トランジスタ Q_1 のゲートインダクタンス L_{GC} は、図20(b)に示すように、電力用トランジスタ Q_1 のゲートG1・ゲート抵抗 R_{GP} ・トランジスタ Q_p ・コンデンサC1・電力用トランジスタ Q_1 のソースセンスSS1からなるループ経路のインダクタンスを表している。

[0160] 実施の形態に係るパワーモジュール2において、電力回路のインダクタンス L_{PC} と半導体素子のゲートインダクタンス L_{GC} は、図20(a)、(b)に示す経路のインダクタンスに相当する。

[0161] 実施の形態に係るパワーモジュール2においては、アクティブミラークランプ用トランジスタQMをパワーモジュールに内蔵し、適当な位置に配置することで、パワーモジュールのサイズを大きくすることなく、かつ電力回路のインダクタンス L_{PC} を増大させることなく電力用トランジスタのゲートインダクタンス L_{GC} を低減でき、誤動作の抑制が可能となる。

[0162] (アクティブミラークランプによる誤動作防止)

MOSブリッジ動作時の誤動作の説明図は、図21(a)に示すように表

され、実施の形態に係るパワーモジュールにおいて、アクティブミラークランプによる誤動作防止の説明図は、図 2 1 (b) に示すように表される。

[0163] MOSブリッジにおいて、電力用トランジスタQ4をオンにすると、電力用トランジスタQ4のドレイン・ソース間電圧 V_{ds} は減少するとともに、電力用トランジスタQ1のドレイン・ソース間電圧 V_{ds} は増加する。一方、ゲートドライブ回路を含めたトランジスタQ1のゲート・ソース間の閉ループ経路LOBのインピーダンスは高インピーダンス状態にあるため、電力用トランジスタQ1のゲート・ソース間電圧 V_{gs} の値は増加し、電力用トランジスタQ1の誤オンのより、MOSブリッジの誤動作を引き起こす。

[0164] 実施の形態に係るパワーモジュールにおいては、電力用トランジスタQ4をオンにして電力用トランジスタQ4のドレイン・ソース間電圧 V_{ds} は減少すると共に、電力用トランジスタQ1のドレイン・ソース間電圧 V_{ds} は増加する。一方、アクティブミラークランプQM1を電力用トランジスタQ1のゲート・ソース間に近接して配置するため、ゲートドライブ回路を含めた電力用トランジスタQ1のゲート・ソース間の閉ループ経路LOAのインピーダンスは低インピーダンス状態にあるため、電力用トランジスタQ1のゲート・ソース間電圧 V_{gs} の値は増加しにくい。このため、電力用トランジスタQ1の誤オンを防止し、MOSブリッジの誤動作を防止することができる。

[0165] また、実施の形態に係るパワーモジュール2において、電力用トランジスタ(SiC MOSFET)Q1およびアクティブミラークランプ用トランジスタQM1の回路構成におけるインダクタンス成分の説明は、図22に示すように模式的に表される。実施の形態に係るパワーモジュール2において、電力用トランジスタQ1およびアクティブミラークランプ用トランジスタQM1の回路構成におけるインダクタンス成分は、ゲートインダクタンスLG1、ソースインダクタンスLS1およびアクティブミラークランプQM1のゲートインダクタンスLMG1で表すことができる。

[0166] 実施の形態に係るパワーモジュール2においては、アクティブミラークランプ用トランジスタQM1をパワーモジュールに内蔵し、電力用トランジス

タQ 1 と近接配置をすることで、電力回路のインダクタンス L_{PC} を増大させることなくゲートインダクタンス L_{G1} ・ソースインダクタンス L_{S1} を低減できる。また、ゲートインダクタンス L_{MG1} は、ゲートループのインダクタンスには影響しない。

[0167] (ミラークランプ内蔵モジュールとゲートドライブ回路)

実施の形態に係るパワーモジュールにおいて、ハーフブリッジ構成のミラークランプ内蔵モジュール4とゲートドライブ回路3の回路構成は、図23に示すように表される。

[0168] ハーフブリッジ構成のミラークランプ内蔵モジュール4は、図23に示すように、電力用トランジスタQ 1・Q 4と、電力用トランジスタQ 1・Q 4のゲート・ソース間に配置されたアクティブミラークランプ用トランジスタQM 1・QM 4とを備える。その他の回路構成は、図11の回路構成と同様である。電力用トランジスタQ 1・Q 4を駆動するゲートドライブ回路3は同一の回路構成を備え、かつ図19と同様の回路構成を備える。

[0169] (負バイアス印加用コンデンサを内蔵する場合と内蔵しない場合の信号経路)

図23において、負バイアス印加用コンデンサCG 1・CG 4を内蔵する場合と内蔵しない場合の信号経路の説明図は、図24に示すように表される。図24において、LOAは、負バイアス印加用コンデンサを内蔵する場合の信号経路を表し、LOBは、負バイアス印加用コンデンサを内蔵しない場合の信号経路を表す。

[0170] アクティブミラークランプ用トランジスタQM 1・QM 4のミラークランプソースMS 1・MS 4とソースセンスSS 1・SS 4との間に負バイアス印加用コンデンサCG 1・CG 4を配置する理由は、以下の通りである。電力用トランジスタQ 1・Q 4の誤オンを抑制するために、電力用トランジスタQ 1・Q 4オフ時にゲート・ソース間に負バイアスを印加することがある。その負電圧は、図24に示すように、外部電源を用いてアクティブミラークランプ用トランジスタQM 1・QM 4のミラークランプソースMS 1・M

S 4 と電力用トランジスタ Q 1 ・ Q 4 のソースセンス S S 1 ・ S S 4 との間に印加される。

[0171] 負バイアス印加用コンデンサ C G 1 ・ C G 4 を電力用トランジスタ Q 1 ・ Q 4 の近傍に内蔵しなければ、ゲート・ソース間の信号経路が信号経路 L O B のように非常に長くなり、アクティブミラークランプ内蔵の効果が失われる。負バイアス印加用コンデンサ C G 1 ・ C G 4 を内蔵し、その両端に外部電源からの電圧印加を可能とする配線信号パターンを接続することで、ゲート・ソース間の信号経路が信号経路 L O A のように非常に短くなり、アクティブミラークランプ内蔵の効果が実現可能である。

[0172] 負バイアス印加用コンデンサ C G 1 ・ C G 4 を内蔵する場合の実施の形態に係るパワーモジュールにおいて、寄生インダクタンスの低減効果のシミュレーション結果であって、ゲート・ソース間ピーク電圧 $V_{gsp}(V)$ とゲート・ソース間寄生インダクタンス $L_G(nH)$ の関係は、図 25 に示すように表される。負バイアス印加用コンデンサ C G 1 ・ C G 4 を内蔵する場合の実施の形態としては、第 2、4、6、7、8 の各実施の形態を対象とする。

[0173] 図 25 は、ゲート・ソース間のピーク電圧 $V_{gsp}(V)$ のゲート・ソース間の寄生インダクタンス L_G 依存性のシミュレーション結果に対応している。

[0174] 寄生インダクタンス L_G のシミュレーション計算上、アクティブミラークランプトランジスタ Q M 1 ・ Q M 4 はオン状態にあるものとしている。寄生インダクタンス L_G に関しては、詳細にはセラミックス基板上に配置される電極パターンのインダクタンス+ボンディングワイヤの合成値となるが、ここでは、電極パターンのインダクタンス成分に比べて、ボンディングワイヤのインダクタンス成分の方が大きいものと仮定している。

[0175] (樹脂層を形成後の模式的鳥瞰構成)

第 1 の実施の形態に係るパワーモジュールの樹脂層を形成後の模式的鳥瞰構成は、図 26 (a) に示すように表され、第 2 の実施の形態に係るパワーモジュールの樹脂層を形成後の模式的鳥瞰構成は、図 26 (b) に示すように表され、第 7 の実施の形態に係るパワーモジュールの樹脂層を形成後の模

式的鳥瞰構成は、図26(c)に示すように表される。いずれもツインワンモジュールの外観構成に対応している。様々な端子配置順でのモジュールレイアウト例が可能であり、信号端子の配置順については特に制限はない。

[0176] また、樹脂層120としては、SiC系半導体デバイスに適用可能なトランスファモールド樹脂、熱硬化樹脂などを使用可能である。また、シリコンゲルなどのシリコン系樹脂を部分的に若しくはケース型パワーモジュールを採用して全体に適用しても良い。

[0177] なお、本実施の形態に係るパワーモジュール2においては、主として1 in 1モジュール（基本構成）、2 in 1モジュール（第1の実施の形態～第8の実施の形態）について説明したが、これに限らず、例えばフォーインワン（4 in 1）モジュール、シックスインワン（6 in 1）モジュール、6 in 1モジュールにスナバコンデンサなどを備えたセブンインワン（7 in 1）モジュール、エイトインワン（8 in 1）モジュール、トゥエルブインワン（12 in 1）モジュール、フォーティーンイン（14 in 1）ワンモジュールなどにも適用できる。

[0178] （半導体デバイスの具体例）

実施の形態に係るパワーモジュールであって、1 in 1モジュール50のSiC MOSFETの模式的回路表現は、図27(a)に示すように表され、1 in 1モジュール50のIGBTの模式的回路表現は、図27(b)に示すように表される。図27(a)には、MOSFETに逆並列接続されるダイオードD1が示されている。MOSFETの主電極は、ドレイン端子DTおよびソース端子STで表される。同様に、図27(b)には、IGBTに逆並列接続されるダイオードD1が示されている。IGBTの主電極は、コレクタ端子CTおよびエミッタ端子ETで表される。

[0179] また、実施の形態に係るパワーモジュールにあって、1 in 1モジュール50のSiC MOSFETの詳細回路表現は、図28に示すように表される。

[0180] 1 in 1モジュール50は、例えば、1個のMOSFETが1つのモジュ

ールに内蔵されている。一例として、5チップ(MOSFET×5)搭載可能であり、それぞれのMOSFETは、5個まで並列接続可能である。なお、5チップの内、一部をダイオードD1用として搭載することも可能である。

[0181] さらに詳細には、図28に示すように、MOSFETQに並列にセンス用MOSFETQsが接続される。センス用MOSFETQsは、MOSFETQと同一チップ内に、微細トランジスタとして形成されている。図28において、SSはソースセンス端子、CSは電流センス端子であり、Gはゲート信号端子である。実施の形態に係るパワーモジュールにおいても、MOSFETQには、センス用MOSFETQsが同一チップ内に、微細トランジスタとして形成されていても良い。

[0182] (回路構成)

実施の形態に係るパワーモジュールであって、2 in 1モジュール100のSiC MOSFETの模式的回路表現は、図29(a)に示すように表され、2 in 1モジュール100のIGBTの模式的回路表現は、図29(b)に示すように表される。

[0183] 実施の形態に係るパワーモジュールであって、2個の半導体デバイスQ1・Q4が1つのモールド樹脂に封止された2 in 1タイプのモジュールについて説明する。

[0184] 半導体デバイスQ1・Q4として、SiC MOSFETを適用した2 in 1モジュール100は、図29(a)に示すように、2個の電力用トランジスタQ1・Q4(例えば、SiC MOSFET)が内蔵されたハーフブリッジ構成を備える。

[0185] ここで、モジュールは、1つの大きなトランジスタとみなすことができるが、内蔵トランジスタが1チップまたは複数チップの場合がある。すなわち、モジュールには、1 in 1、2 in 1、4 in 1、6 in 1などがあり、例えば、1つのモジュールにおいて、2個分のトランジスタ(チップ)を内蔵したモジュールは2 in 1、2 in 1を2組み内蔵したモジュールは4 in

1、2 in 1を3組み内蔵したモジュールは6 in 1と呼ばれる。

[0186] 図29(a)に示すように、2 in 1モジュール100には、2個の電力用トランジスタQ1・Q4と、電力用トランジスタQ1・Q4に逆並列接続されるダイオードD11・D14が内蔵される。図29(a)において、G1はMOSFET Q1のゲート信号用のリード端子であり、S1はMOSFET Q1のソース信号用のリード端子である。同様に、G4はMOSFET Q4のゲート信号用のリード端子であり、S4はMOSFET Q4のソース信号用のリード端子である。Pは正側電力端子であり、Nは負側電力端子であり、Oは出力端子電極である。

[0187] また、半導体デバイスQ1・Q4として、IGBTを適用した2 in 1モジュール100には、図29(b)に示すように、2個のIGBT Q1・Q4と、IGBT Q1・Q4に逆並列接続されるダイオードD11・D14が内蔵される。図29(b)において、G1はIGBT Q1のゲート信号用のリード端子であり、E1はIGBT Q1のエミッタ信号用のリード端子である。同様に、G4はIGBT Q4のゲート信号用のリード端子であり、E4はIGBT Q4のエミッタ信号用のリード端子である。

[0188] 実施の形態に係るパワーモジュールに適用可能な半導体デバイスQ2・Q5、および半導体デバイスQ3・Q6についても同様である。

[0189] (デバイス構造)

実施の形態に係るパワーモジュールに適用可能な半導体デバイスQ1・Q4の例であって、ソースパッド電極SPD、ゲートパッド電極GPDを含むSiC MOSFET 130Aの模式的断面構造は、図30に示すように表される。

[0190] 図30に示すように、SiC MOSFET 130Aは、n⁻高抵抗層からなる半導体層31と、半導体層31の表面側に形成されたpボディ領域32と、pボディ領域32の表面に形成されたソース領域33と、pボディ領域32間の半導体層31の表面上に配置されたゲート絶縁膜34と、ゲート絶縁膜34上に配置されたゲート電極35と、ソース領域33およびpボディ

領域 32 に接続されたソース電極 36 と、半導体層 31 の表面と反対側の裏面に配置された n^+ ドレイン領域 37 と、 n^+ ドレイン領域 37 に接続されたドレイン電極 38 とを備える。

[0191] ゲートパッド電極 GPD は、ゲート絶縁膜 34 上に配置されたゲート電極 35 に接続され、ソースパッド電極 SPD は、ソース領域 33 および p ボディ領域 32 に接続されたソース電極 36 に接続される。また、ゲートパッド電極 GPD およびソースパッド電極 SPD は、図 30 に示すように、SiC MOSFET 130A の表面を覆うパッシベーション用の層間絶縁膜 39 上に配置される。

[0192] なお、ゲートパッド電極 GPD およびソースパッド電極 SPD の下方の半導体層 31 内には、図示していないが、微細構造のトランジスタ構造が形成されていても良い。

[0193] さらに、図 30 に示すように、中央部のトランジスタ構造においても、パッシベーション用の層間絶縁膜 39 上にソースパッド電極 SPD が延在して配置されていても良い。

[0194] 図 30 において、SiC MOSFET 130A は、プレーナゲート型の n チャネル縦型 SiC MOSFET で構成されているが、後述する図 33 に示すように、トレンチゲート型の n チャネル縦型 SiC TMOSFET 130D などでも構成されていても良い。

[0195] または、実施の形態に係るパワーモジュールに適用可能な半導体デバイス $Q1 \cdot Q4$ としては、SiC MOSFET 130A の代わりに、GaN 系 FET などを採用することもできる。

[0196] 実施の形態に係るパワーモジュールに適用可能な半導体デバイス $Q2 \cdot Q5$ 、および半導体デバイス $Q3 \cdot Q6$ についても同様である。

[0197] さらに、実施の形態に係るパワーモジュールに適用可能な半導体デバイス $Q1 \sim Q6$ には、バンドギャップエネルギーが、例えば、 $1.1 \text{ eV} \sim 8 \text{ eV}$ のワイドバンドギャップ型と称される半導体を用いることができる。

[0198] 同様に、実施の形態に係るパワーモジュールに適用可能な半導体デバイス

Q1・Q4の例であって、エミッタパッド電極EPD、ゲートパッド電極GPDを含むIGBT130Bの模式的断面構造は、図31に示すように表される。

[0199] 図31に示すように、IGBT130Bは、 n^{-} 高抵抗層からなる半導体層31と、半導体層31の表面側に形成されたpボディ領域32と、pボディ領域32の表面に形成されたエミッタ領域33Eと、pボディ領域32間の半導体層31の表面上に配置されたゲート絶縁膜34と、ゲート絶縁膜34上に配置されたゲート電極35と、エミッタ領域33Eおよびpボディ領域32に接続されたエミッタ電極36Eと、半導体層31の表面と反対側の裏面に配置された p^{+} コレクタ領域37Pと、 p^{+} コレクタ領域37Pに接続されたコレクタ電極38Cとを備える。

[0200] ゲートパッド電極GPDは、ゲート絶縁膜34上に配置されたゲート電極35に接続され、エミッタパッド電極EPDは、エミッタ領域33Eおよびpボディ領域32に接続されたエミッタ電極36Eに接続される。また、ゲートパッド電極GPDおよびエミッタパッド電極EPDは、図31に示すように、IGBT130Bの表面を覆うパッシベーション用の層間絶縁膜39上に配置される。

[0201] なお、ゲートパッド電極GPDおよびエミッタパッド電極EPDの下方の半導体層31内には、図示していないが、微細構造のIGBT構造が形成されていても良い。

[0202] さらに、図31に示すように、中央部のIGBT構造においても、パッシベーション用の層間絶縁膜39上にエミッタパッド電極EPDが延在して配置されていても良い。

[0203] 図31において、IGBT130Bは、プレーナゲート型のnチャネル縦型IGBTで構成されているが、トレンチゲート型のnチャネル縦型IGBTなどで構成されていても良い。

[0204] 実施の形態に係るパワーモジュールに適用可能な半導体デバイスQ2・Q5、および半導体デバイスQ3・Q6についても同様である。

[0205] 半導体デバイスQ1～Q6としては、SiC DIMOSFET、SiC TMOSFETなどのSiC系パワーデバイス、或いはGaN系HEMTなどのGaN系パワーデバイスを適用可能である。また、場合によっては、Si系MOSFETやSiC系IGBTなどのパワーデバイスも適用可能である。

[0206] —SiC DIMOSFET—

実施の形態に係るパワーモジュールに適用可能な半導体デバイスの例であって、SiC DIMOSFET130Cの模式的断面構造は、図32に示すように表される。

[0207] 図32に示すSiC DIMOSFET130Cは、n⁻高抵抗層からなる半導体層31と、半導体層31の表面側に形成されたpボディ領域32と、pボディ領域32の表面に形成されたn⁺ソース領域33と、pボディ領域32間の半導体層31の表面上に配置されたゲート絶縁膜34と、ゲート絶縁膜34上に配置されたゲート電極35と、ソース領域33およびpボディ領域32に接続されたソース電極36と、半導体層31の表面と反対側の裏面に配置されたn⁺ドレイン領域37と、n⁺ドレイン領域37に接続されたドレイン電極38とを備える。

[0208] 図32において、SiC DIMOSFET130Cは、pボディ領域32と、pボディ領域32の表面に形成されたn⁺ソース領域33が、ダブルイオン注入(DII)で形成され、ソースパッド電極SPDは、ソース領域33およびpボディ領域32に接続されたソース電極36に接続される。

[0209] 図示を省略するゲートパッド電極GPDは、ゲート絶縁膜34上に配置されたゲート電極35に接続される。また、ソースパッド電極SPDおよびゲートパッド電極GPDは、図32に示すように、SiC DIMOSFET130Cの表面を覆うように、パッシベーション用の層間絶縁膜39上に配置される。

[0210] SiC DIMOSFET130Cは、図32に示すように、pボディ領域32に挟まれたn⁻高抵抗層からなる半導体層31内に、破線で示されるよ

うな空乏層が形成されるため、接合型FET（JFET）効果に伴うチャネル抵抗 R_{JFET} が形成される。また、pボディ領域32／半導体層31間には、図32に示すように、ボディダイオードBDが形成される。

[0211] —SiC TMOSFET—

実施の形態に係るパワーモジュールに適用可能な半導体デバイスの例であって、SiC TMOSFET 130Dの模式的断面構造は、図33に示すように表される。

[0212] 図33に示すSiC TMOSFET 130Dは、n層からなる半導体層31Nと、半導体層31Nの表面側に形成されたpボディ領域32と、pボディ領域32の表面に形成されたn⁺ソース領域33と、pボディ領域32を貫通し、半導体層31Nまで形成されたトレンチ内にゲート絶縁膜34および層間絶縁膜39U・39Bを介して形成されたトレンチゲート電極35TGと、ソース領域33およびpボディ領域32に接続されたソース電極36と、半導体層31Nの表面と反対側の裏面に配置されたn⁺ドレイン領域37と、n⁺ドレイン領域37に接続されたドレイン電極38とを備える。

[0213] 図33において、SiC TMOSFET 130Dは、pボディ領域32を貫通し、半導体層31Nまで形成されたトレンチ内にゲート絶縁膜34および層間絶縁膜39U・39Bを介してトレンチゲート電極35TGが形成され、ソースパッド電極SPDは、ソース領域33およびpボディ領域32に接続されたソース電極36に接続される。

[0214] 図示を省略するゲートパッド電極GPDは、ゲート絶縁膜34上に配置されたトレンチゲート電極35TGに接続される。また、ソースパッド電極SPDおよびゲートパッド電極GPDは、図33に示すように、SiC TMOSFET 130Dの表面を覆うように、パッシベーション用の層間絶縁膜39U上に配置される。

[0215] SiC TMOSFET 130Dでは、SiC DIMOSFET 130CのようなJFET効果に伴うチャネル抵抗 R_{JFET} は形成されない。pボディ領域32／半導体層31N間には、図32と同様に、ボディダイオードBD

が形成される。

[0216] (応用例)

実施の形態に係るパワーモジュールを用いて構成した3相交流インバータ40Aの回路構成において、半導体デバイスとしてSiC MOSFETを適用し、電源端子PL・接地端子NL間にスナバコンデンサCを接続した回路構成例は、図34(a)に示すように表される。同様に、半導体デバイスとしてIGBTを適用し、電源端子PL・接地端子NL間にスナバコンデンサCを接続した3相交流インバータ40Bの回路構成例は、図34(b)に示すように表される。

[0217] パワーモジュールを電源Eと接続し、スイッチング動作を行うと、接続ラインの有するインダクタンスLによって、SiC MOSFETやIGBTのスイッチング速度が速いため、大きなサージ電圧 $L di/dt$ を生ずる。例えば、電流変化 $di = 300A$ とし、スイッチングに伴う時間変化 $dt = 100nsec$ とすると、 $di/dt = 3 \times 10^9 (A/s)$ となる。

[0218] インダクタンスLの値により、サージ電圧 $L di/dt$ の値は変化するが、電源Eに、このサージ電圧 $L di/dt$ が重畳される。電源端子PL・接地端子NL間に接続されるスナバコンデンサCによって、このサージ電圧 $L di/dt$ を吸収することができる。

[0219] (具体例)

次に、図35を参照して、半導体デバイスとしてSiC MOSFETを適用した3相交流インバータ42Aについて説明する。

[0220] 図35に示すように、3相交流インバータ42Aは、ゲートドライバ(GD)180に接続されたパワーモジュール部200と、3相交流モータ部51と、電源もしくは蓄電池(E)53と、コンバータ55とを備える。パワーモジュール部200は、3相交流モータ部51のU相、V相、W相に対応して、U相、V相、W相のインバータが接続されている。

[0221] ここで、GD180は、SiC MOSFET Q1・Q4、SiC MOSFET Q2・Q5、およびSiC MOSFET Q3・Q6に接続

されている。

[0222] パワーモジュール部200は、電源もしくは蓄電池(E)53が接続されたコンバータ55のプラス端子(+)Pとマイナス端子(-)Nとの間に接続され、インバータ構成のSiC MOSFET Q1・Q4、Q2・Q5、およびQ3・Q6を備える。また、SiC MOSFET Q1~Q6のソース・ドレイン間には、フリーホイールダイオードD11~D16がそれぞれ逆並列に接続されている。

[0223] 次に、図36を参照して、半導体デバイスとしてIGBTを適用し、実施の形態に係るパワーモジュールを用いて構成した3相交流インバータ42Bについて説明する。

[0224] 図36に示すように、3相交流インバータ42Bは、パワーモジュール部200と、GD180と、3相交流モータ部51と、電源もしくは蓄電池(E)53と、コンバータ55とを備える。パワーモジュール部200は、3相交流モータ部51のU相、V相、W相に対応して、U相、V相、W相のインバータが接続されている。

[0225] ここで、GD180は、IGBT Q1・Q4、IGBT Q2・Q5、およびIGBT Q3・Q6に接続されている。

[0226] パワーモジュール部200は、蓄電池(E)53が接続されたコンバータ55のプラス端子(+)Pとマイナス端子(-)Nとの間に接続され、インバータ構成のIGBT Q1・Q4、Q2・Q5、およびQ3・Q6を備える。また、IGBT Q1~Q6のエミッタ・コレクタ間には、フリーホイールダイオードD11~D16がそれぞれ逆並列に接続されている。

[0227] [その他の実施の形態]

上記のように、第1~第8の実施の形態によって記載したが、この開示の一部をなす論述および図面は例示的なものであり、この発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例および運用技術が明らかとなろう。また、主基板を使わずにパターンのみを金属板や金属フレームで用意し、樹脂封止や絶縁シートなどで主

基板の役割であるパターン同士の配置関係保持、絶縁保持を実現したパワーモジュールについても同様の対策によって同様の効果が得られる。

[0228] このように、本実施の形態はここでは記載していない様々な実施の形態などを含む。

産業上の利用可能性

[0229] 本実施の形態のパワーモジュールは、S i Cパワーモジュールインテリジェントパワーモジュールなどパワーデバイス全般に利用可能であり、特に、H E V / E V、インホイールモータ向けのコンバータ、インバータ（バッテリーから昇圧するためのP F C回路やモータ駆動用3相インバータ）、太陽電池システムのパワーコンディショナー向け昇圧コンバータ、産業機器向けのコンバータ、インバータなど幅広い応用分野に適用可能である。

符号の説明

[0230] 1…パワー回路（ハーフブリッジ）
2…パワーモジュール
3…ゲートドライブ回路
4…ミラークランプ内蔵パワーモジュール
8…セラミック基板（主基板、絶縁基板）
10、10U、10D…電極パターン
12、13…半田層
40A、40B、42A、42B…3相交流インバータ
50…ワンインワンモジュール
100…ツーインワンモジュール
120…樹脂層
Q、Q1、Q4…電力用トランジスタ（S i C M O S F E T）
QM、QM1、QM4…アクティブミラークランプ用トランジスタ
MSW、MSW1、MSW4…第1接続導体（ミラークランプソースワイヤ）
MGW、MGW1、MGW4……第2接続導体（ミラークランプゲートワイヤ）

ヤ)

L F S、L F G…リードフレーム

P…正側電力端子

N…負側電力端子

O、U、V、W…出力端子

S 1、S 4…ソースパターン

D 1、D 4…ドレインパターン

G T 1、G T 4…ゲート端子

S S T 1、S S T 4…ソースセンス端子

M G T 1、M G T 4…ミラークランプゲート端子

M S T 1、M S T 4…ミラークランプソース端子

M D P 1、M D P 4…ミラークランプ用ドレインパターン

M S P 1、M S P 4…ミラークランプ用ソースパターン

G W 1、G W 4…ゲートワイヤ

S W 1、S W 4…ソースワイヤ

S S W 1、S S W 4…ソースセンスワイヤ

G L 1、G L 4…ゲート信号用配線パターン

S S P、S S P 1、S S P 4…ソース信号用配線パターン

M G P、M G P 1、M G P 4…ゲート信号用配線パターン

C G 1、C G 4…負バイアス印加用コンデンサ

D Q 1、D Q 4、D M 1、D M 4…距離

C_{PN}…DCリンクコンデンサ (DCクランプ用コンデンサ)

V_{gsp}…ピーク電圧

L G…寄生インダクタンス

請求の範囲

- [請求項1] 絶縁基板上に配置され、少なくとも1組の上下アームを有するハーフブリッジを有し、前記上下アームに共に配置された第1のトランジスタと、
- 前記絶縁基板上に配置され、前記第1のトランジスタのゲート側にドレイン、前記第1のトランジスタのソース側にソースがそれぞれ接続された第2のトランジスタと、
- 前記絶縁基板上に配置され、前記第1のトランジスタのソースに接続された第1のソース信号用配線パターンと、
- 前記第1のソース信号用配線パターンと前記第2のトランジスタのソースとを接続する第1の接続導体と、
- 前記絶縁基板上に配置され、前記第2のトランジスタのゲートに接続された第2のゲート信号用配線パターンと、
- 前記第2のゲート信号用配線パターンと前記第2のトランジスタのゲートとを接続する第2の接続導体と
- を備え、前記第1の接続導体の長さが、前記第2の接続導体の長さ以下であることを特徴とするパワーモジュール。
- [請求項2] 前記第1の接続導体および前記第2の接続導体が、ワイヤ、若しくはリードフレームを備えることを特徴とする請求項1に記載のパワーモジュール。
- [請求項3] 前記絶縁基板上に配置され、前記第2のトランジスタのソースに接続された第2のソース信号用配線パターンと、
- 前記第1のソース信号用配線パターンと前記第2のソース信号用配線パターンとの間に配置され、ゲート負バイアス印加用のコンデンサと、
- 前記絶縁基板上に配置され、前記第1のトランジスタのゲートと接続された第1のゲート信号用配線パターンと、
- 前記第1のゲート信号用配線パターンに接続された第1の信号端子

と、

前記第 1 のソース信号用配線パターンに接続された第 2 の信号端子

と、

前記第 2 のゲート信号用配線パターンに接続された第 3 の信号端子

と、

前記第 2 のソース信号用配線パターンに接続された第 4 の信号端子

と

を少なくとも備え、

前記第 1 の接続導体の一端が前記コンデンサを介して前記第 1 のソース信号用配線パターンに接続されることを特徴とする請求項 1 に記載のパワーモジュール。

[請求項4]

正側電力端子および負側電力端子と、

前記絶縁基板上に配置され、前記正側電力端子に接続されると共に、前記第 1 のトランジスタのドレインに接続された第 1 の電極パターンと、

前記絶縁基板上に配置され、前記負側電力端子に接続されると共に、前記第 1 のトランジスタに直列接続されたトランジスタのソースに接続された第 2 の電極パターンと、

前記第 1 の電極パターンと前記第 2 の電極パターンとの間に配置された DC リンクコンデンサと

を備えることを特徴とする請求項 3 に記載のパワーモジュール。

[請求項5]

前記 DC リンクコンデンサの接続部から前記第 2 のトランジスタまでの直線距離よりも、前記 DC リンクコンデンサの接続部から前記第 1 のトランジスタまでの直線距離の方が近いことを特徴とする請求項 4 に記載のパワーモジュール。

[請求項6]

前記第 1 の信号端子と前記第 2 の信号端子が互いに隣接し、前記第 3 の信号端子と前記第 4 の信号端子が互いに隣接していることを特徴とする請求項 3 に記載のパワーモジュール。

- [請求項7] 絶縁基板上に配置された第1配線パターン、第2配線パターン、第3配線パターンおよび第4配線パターンと、
- 前記第1配線パターン上に配置されてスイッチング動作を行う第1のトランジスタと、
- 前記第3配線パターン上に配置された第2のトランジスタと、
- 前記第1のトランジスタの第1電極と前記第2配線パターンとを接続する第1の接続導体と、
- 前記第2のトランジスタの第1電極と前記第2配線パターンとを接続する第2の接続導体と、
- 前記第2のトランジスタの第2電極と前記第4配線パターンとを接続する第3の接続導体と、
- 前記第1のトランジスタの第2電極と前記第3配線パターンとを接続する第4の接続導体と
- を備え、
- 前記第2の接続導体の長さが、前記第3の接続導体の長さ以下であることを特徴とするパワーモジュール。
- [請求項8] 前記第1電極はソース電極またはエミッタ電極を備え、
- 前記第2電極はゲート電極を備え、
- 前記第3電極はドレイン電極またはコレクタ電極を備えることを特徴とする請求項7に記載のパワーモジュール。
- [請求項9] 前記第1のトランジスタは、SiC系MOSFET、SiC系IGBT、Si系MOSFET、Si系IGBT、GaN系FETのいずれか、またはこれらのうちの異なる複数を備えることを特徴とする請求項1～7のいずれか1項に記載のパワーモジュール。
- [請求項10] 前記第1のトランジスタ及び前記第2のトランジスタは夫々複数のチップを並列接続した構成を備えることを特徴とする請求項1～7のいずれか1項に記載のパワーモジュール。
- [請求項11] 前記ハーフブリッジは、

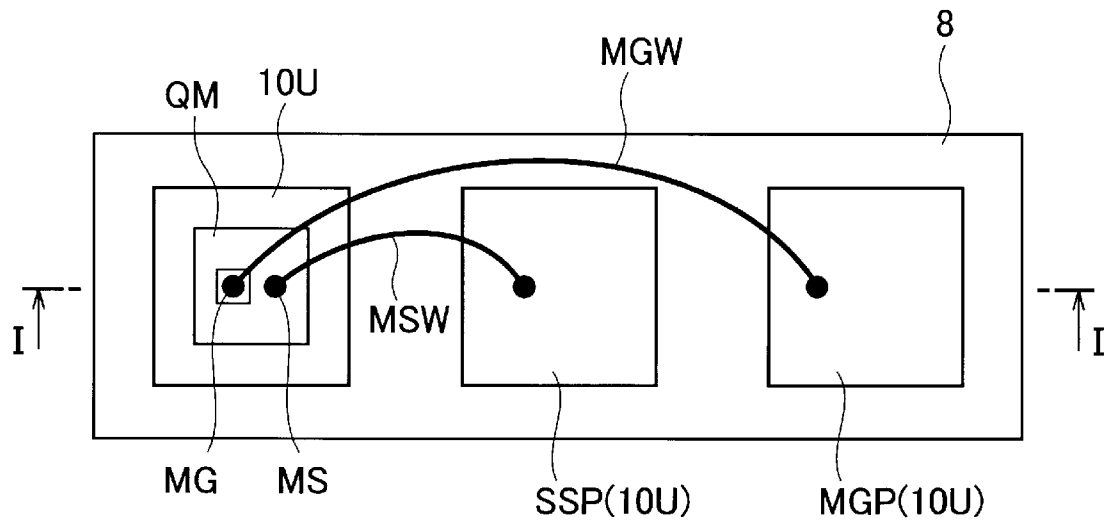
第 1 のトランジスタを第 1 電源と第 2 電源との間に直列に接続された複数のスイッチング回路と、

前記スイッチング回路の各トランジスタの動作を制御するドライバ回路と

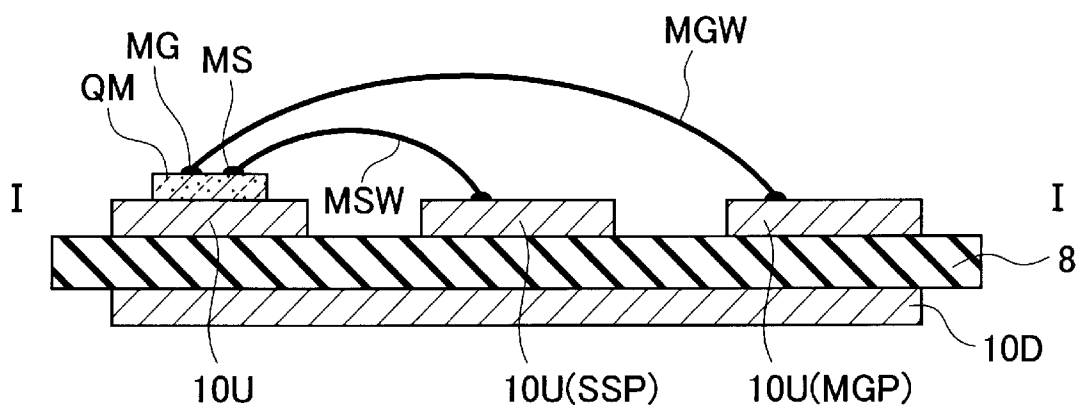
を備え、前記複数のスイッチング回路の接続点を出力とするインバータまたはコンバータを構成することを特徴とする請求項 1 ～ 7 のいずれか 1 項に記載のパワーモジュール。

[図1]

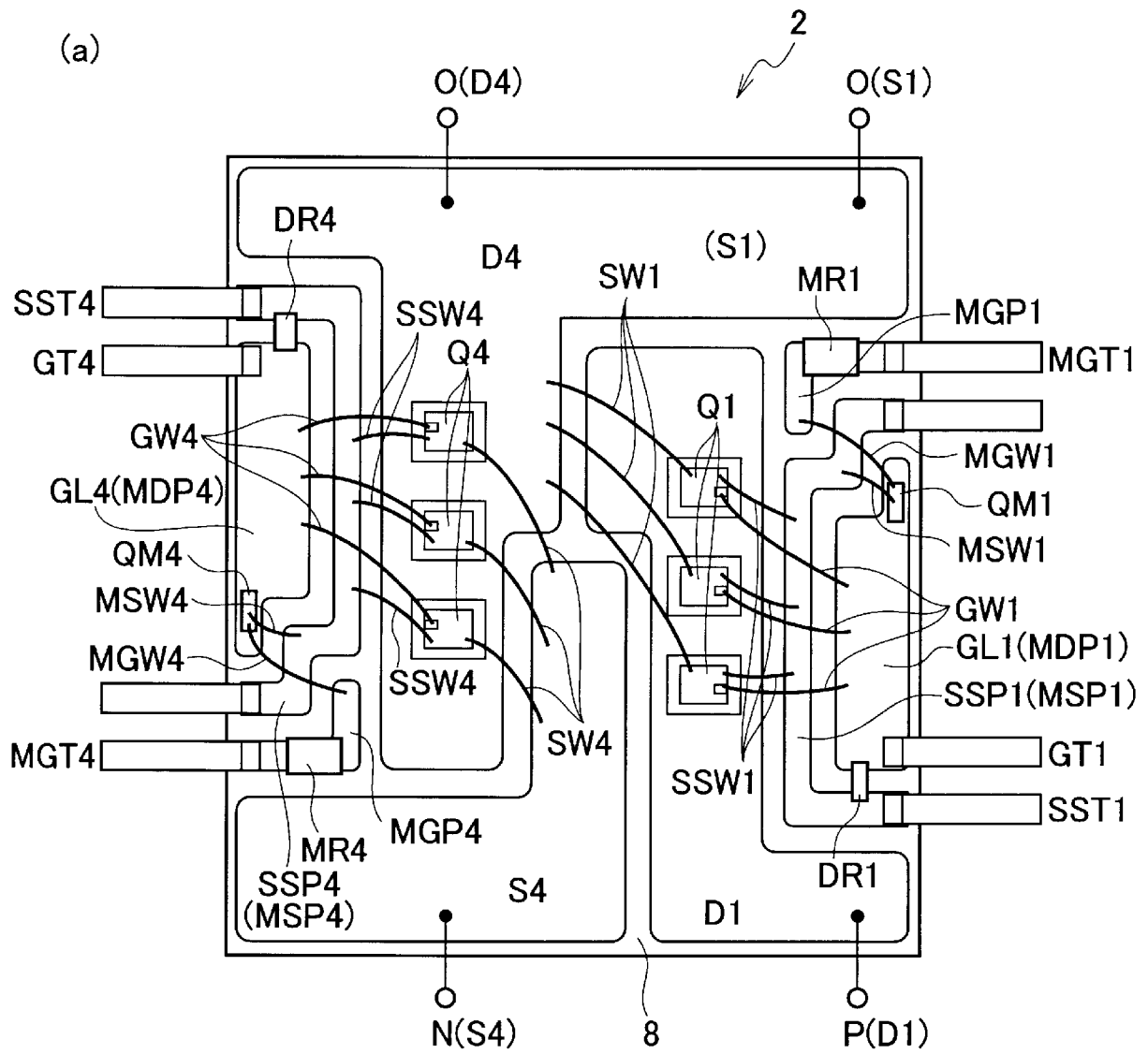
(a)



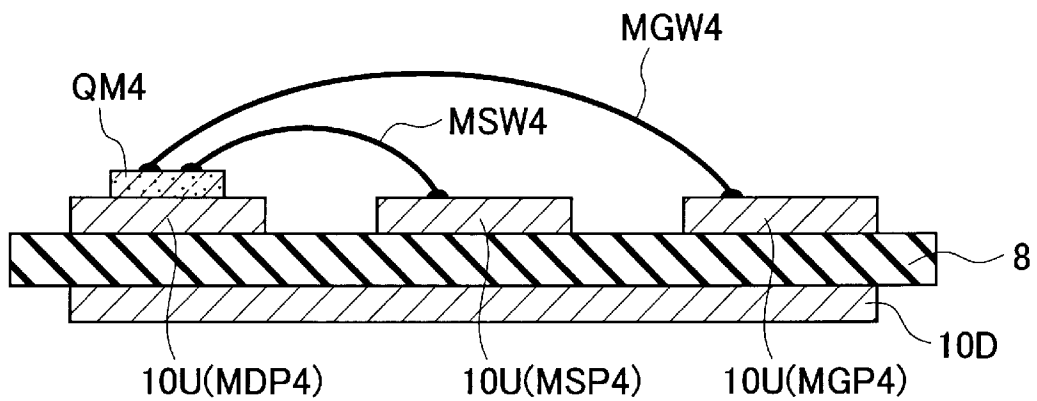
(b)



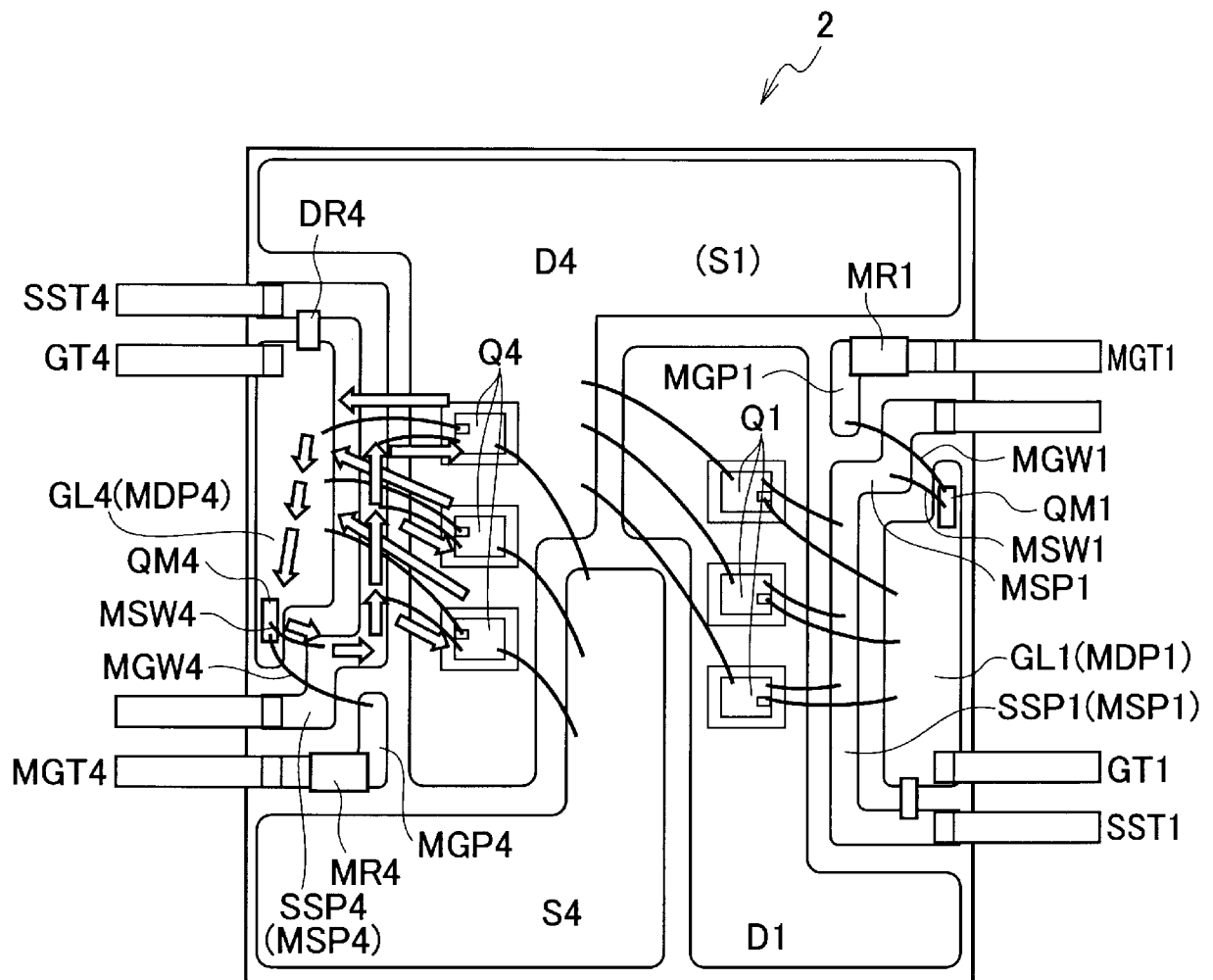
[図3]



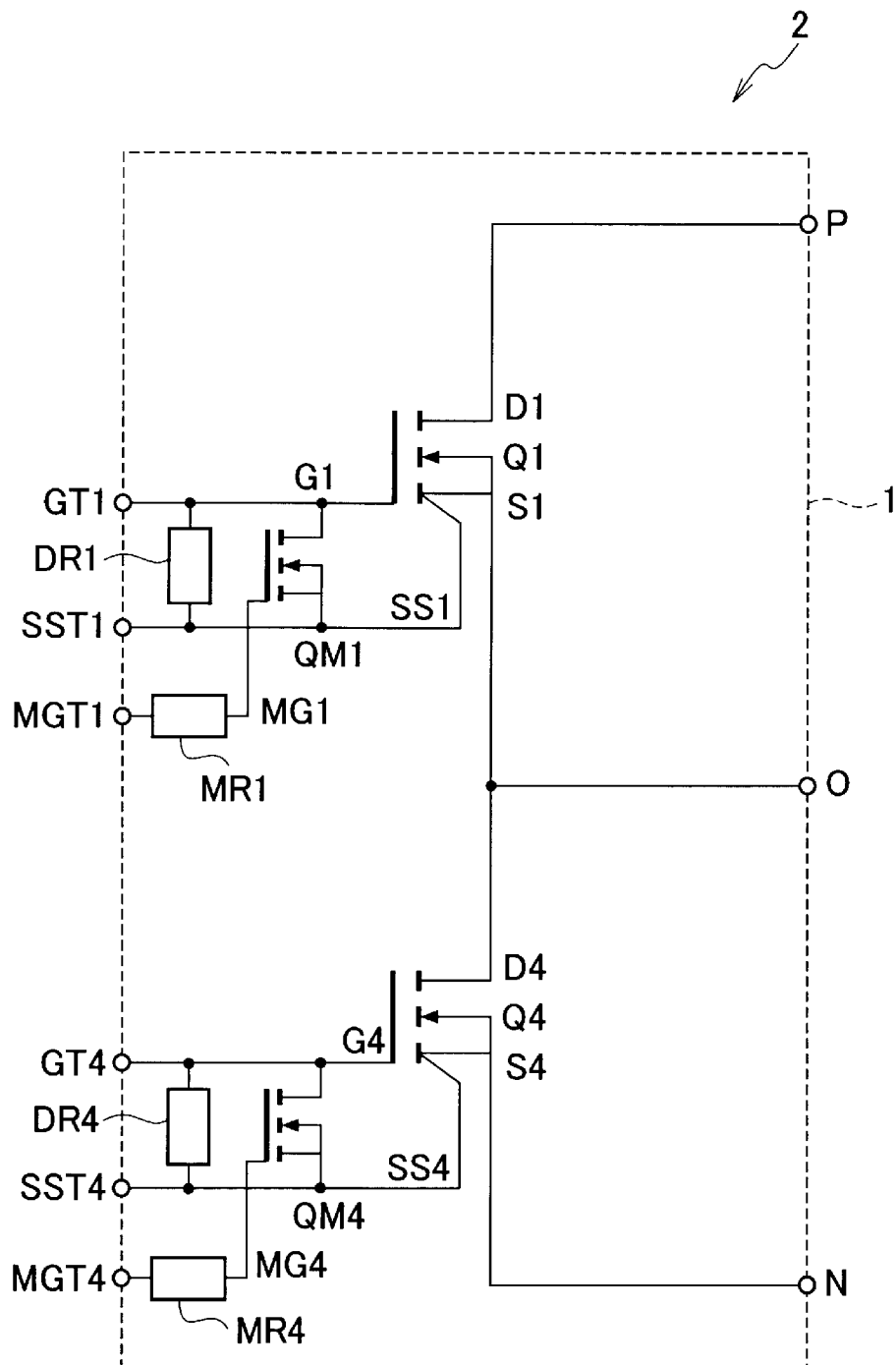
(b)



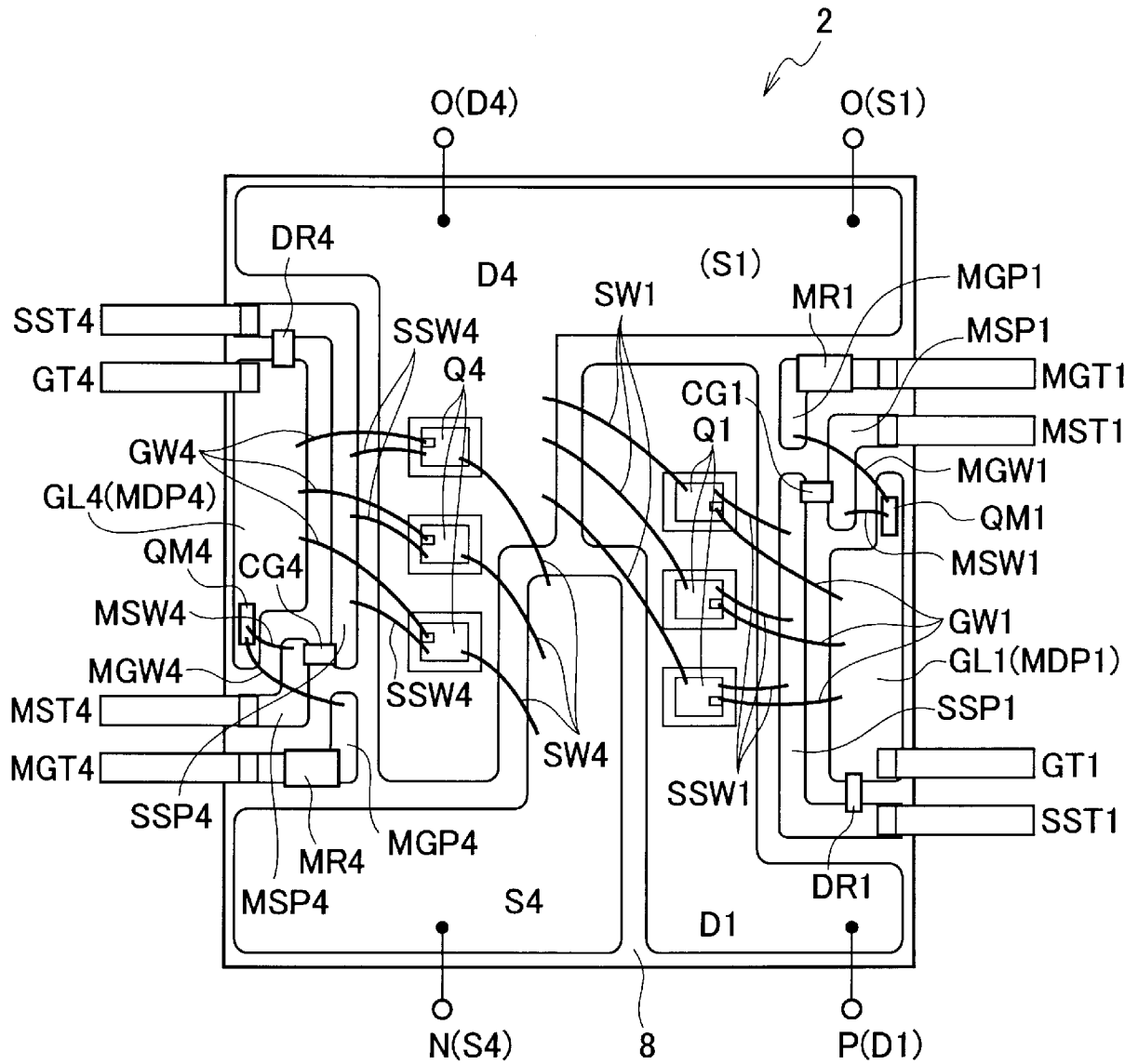
[図4]



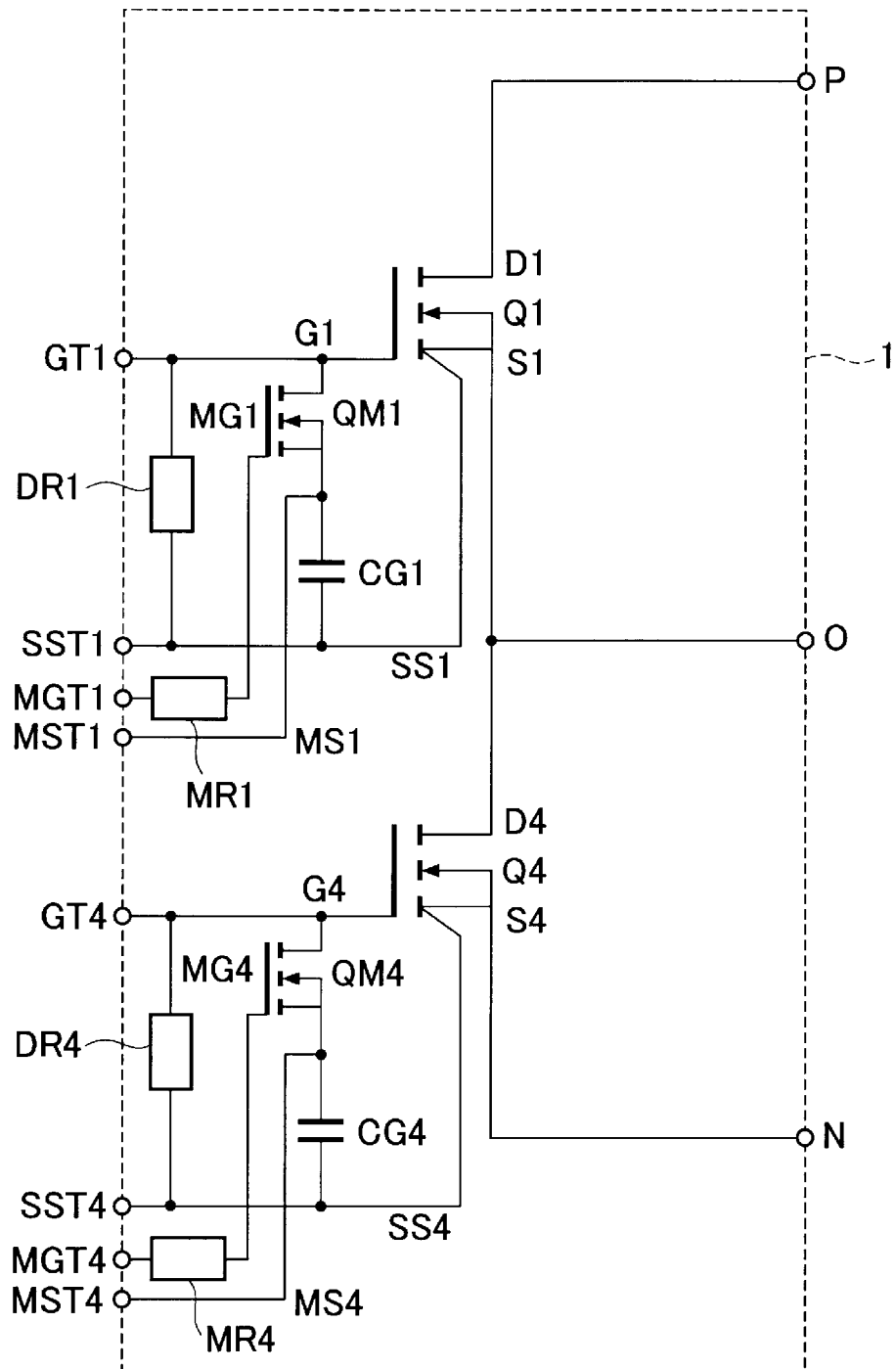
[図5]



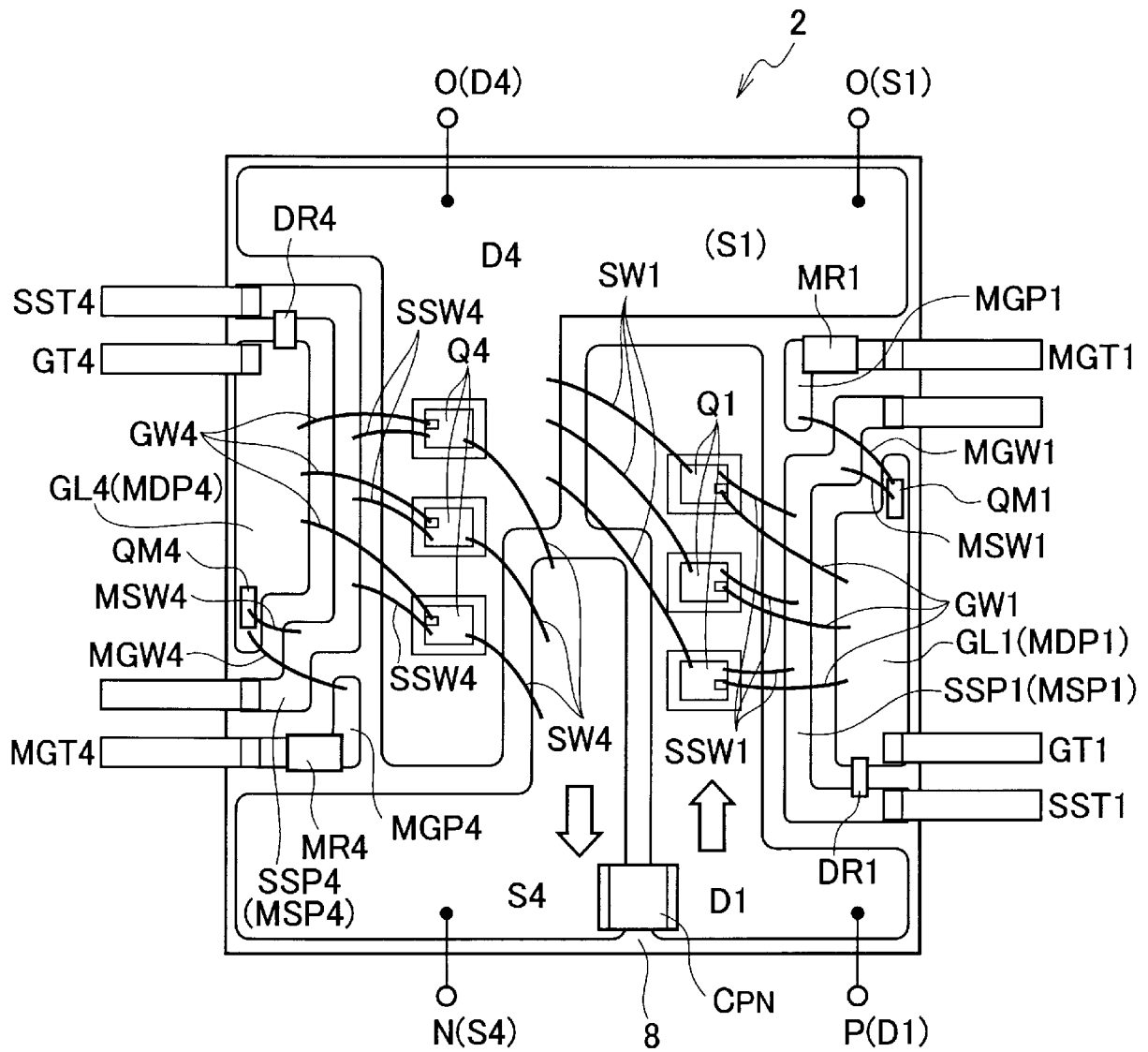
[図6]



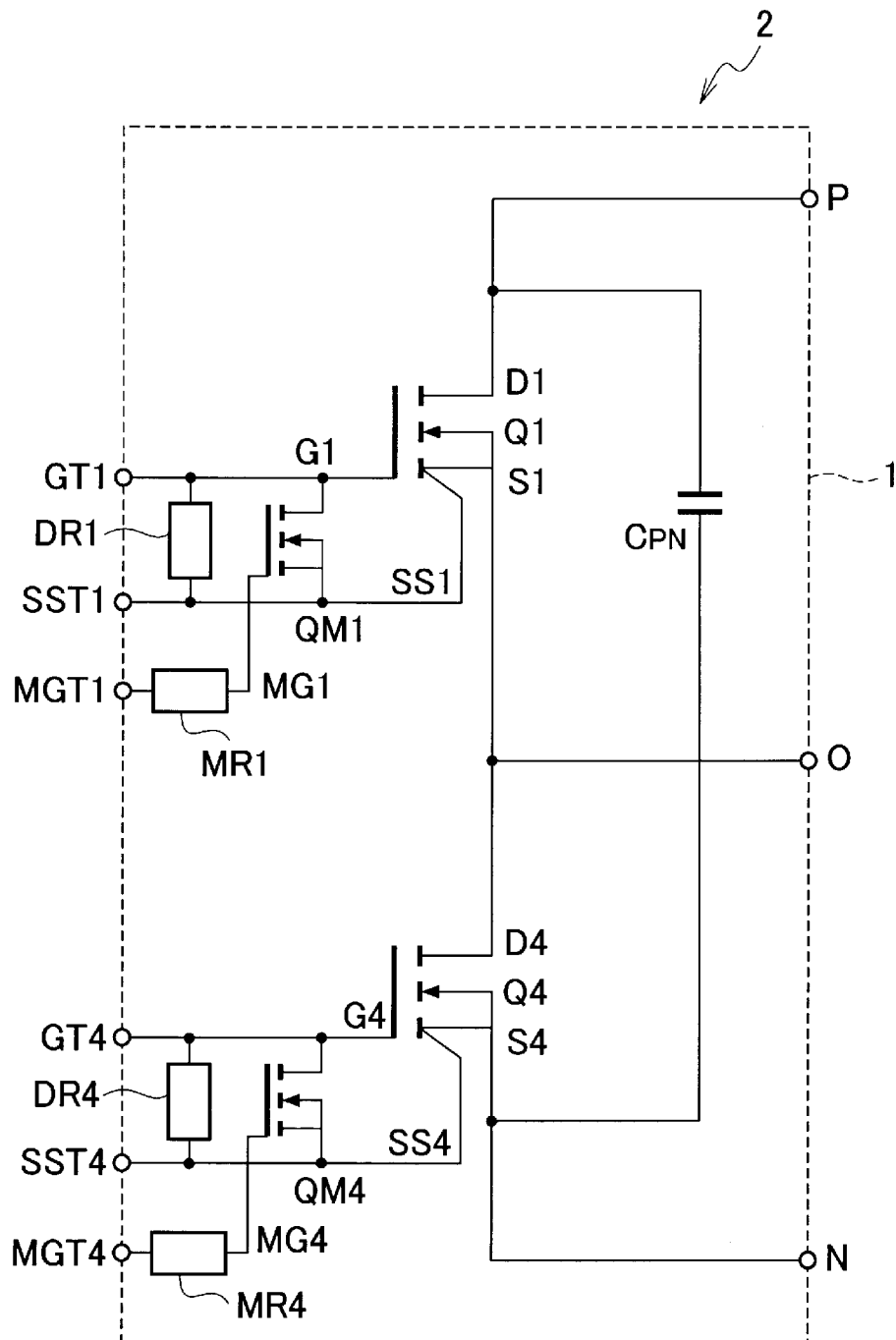
2



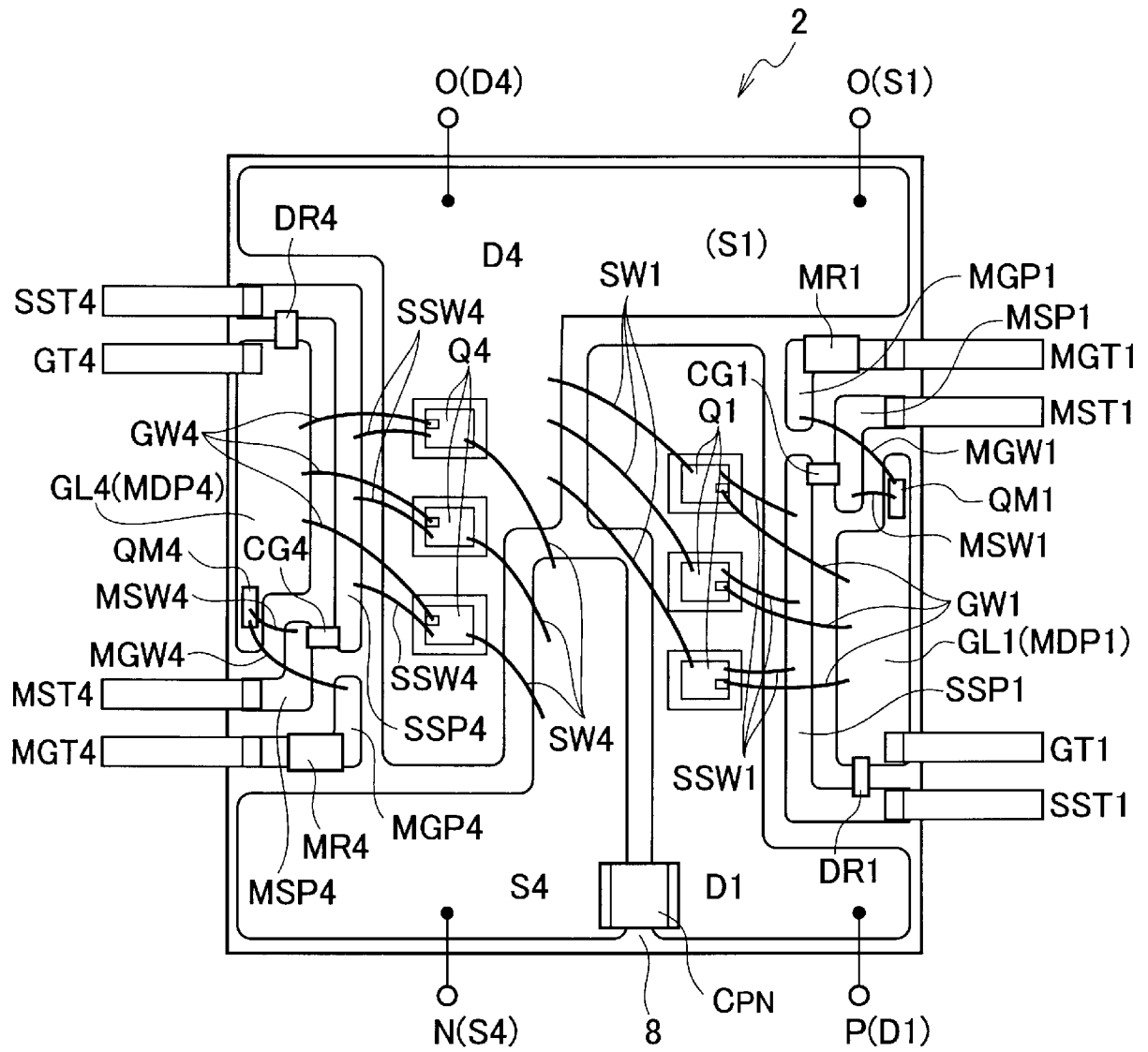
[図8]



[図9]

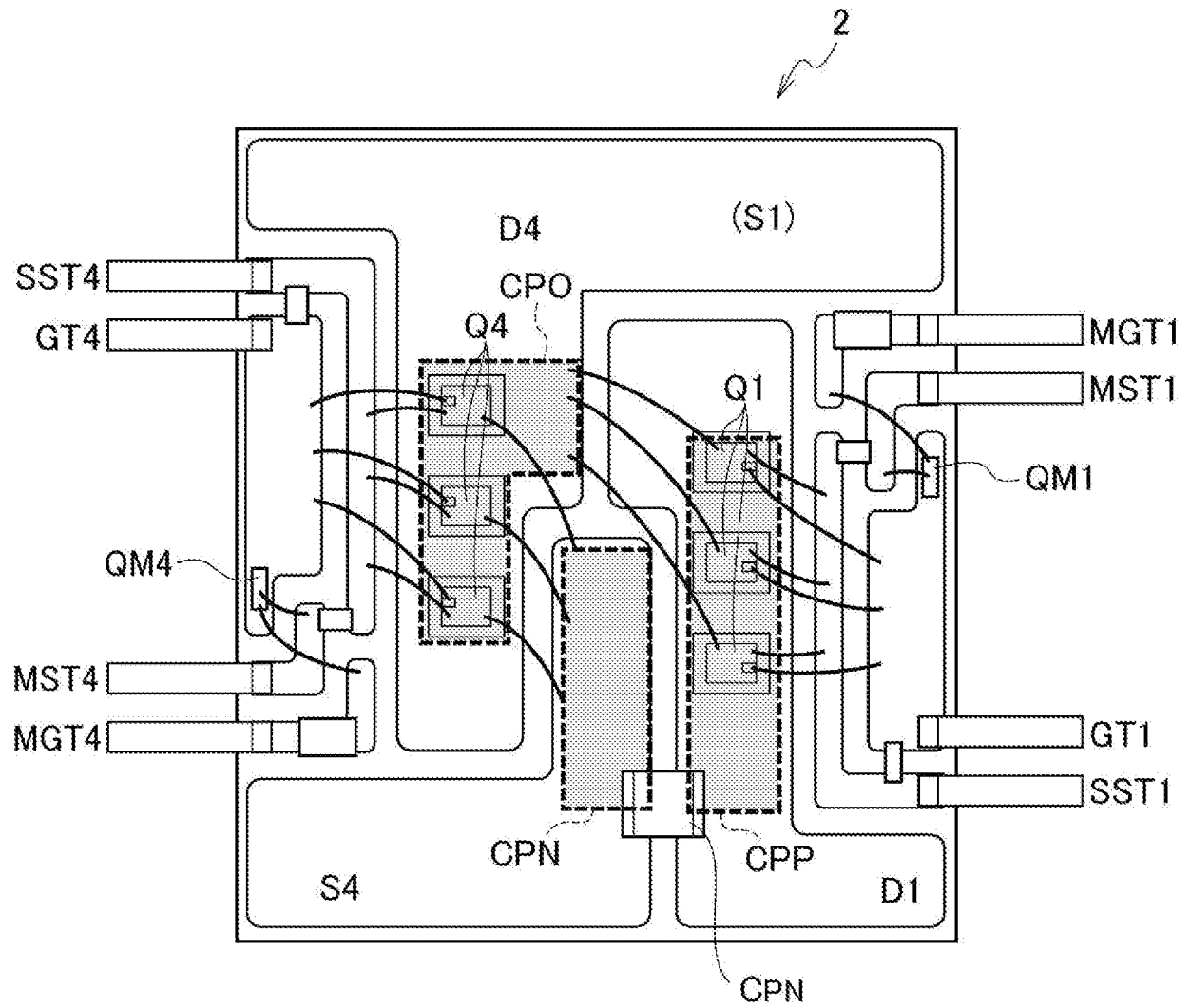


[図10]

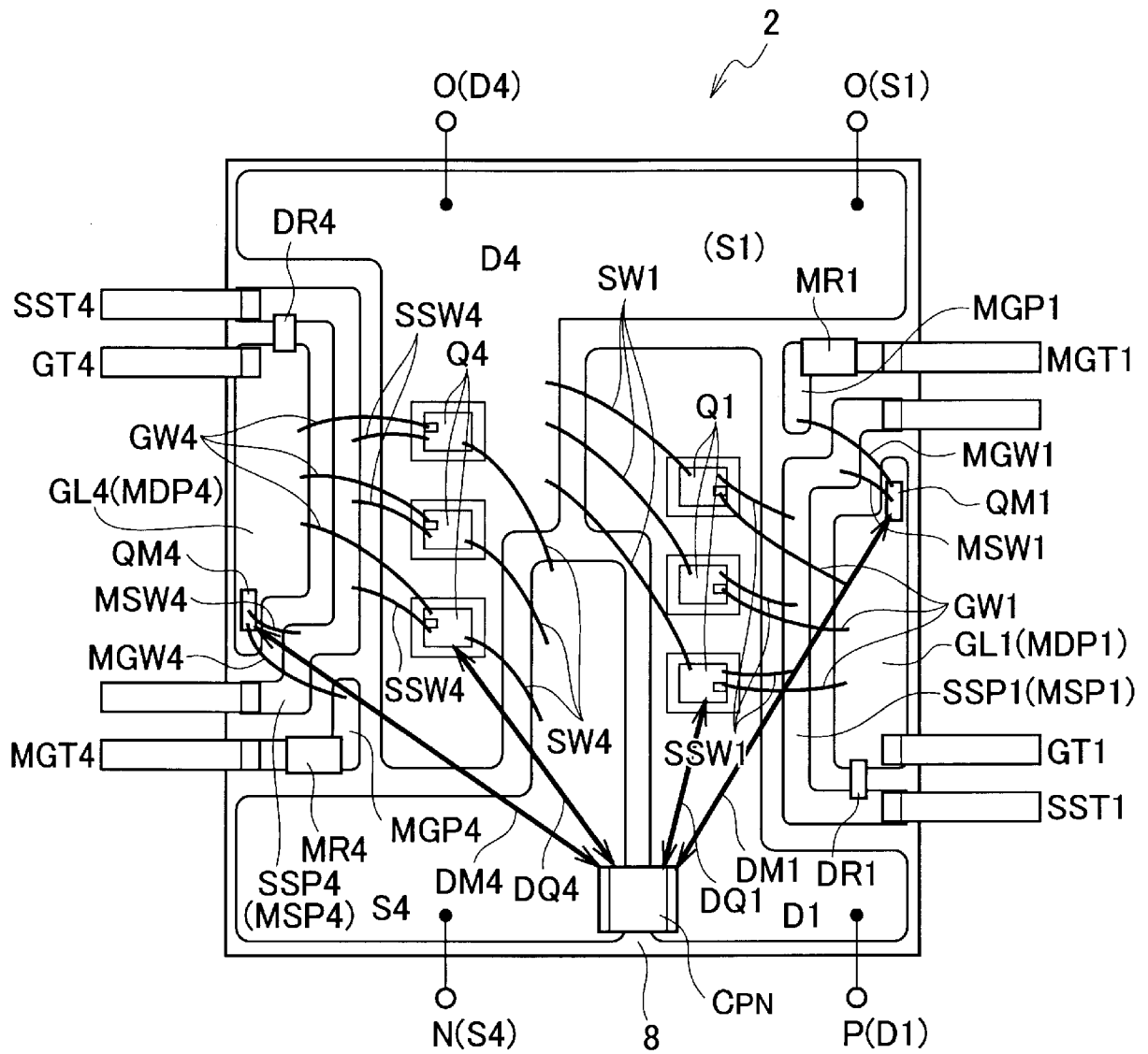


The diagram shows a differential amplifier circuit, labeled 2, enclosed in a dashed box. It consists of two parallel signal paths. The top path includes a PMOS transistor D1, an NMOS transistor Q1, and a source resistor S1. The gate of Q1 is connected to a gate node G1, which is driven by a differential-mode input signal GT1. A common-mode input signal SST1 is connected to the gates of both Q1 and Q4. The source of Q1 is connected to a source node SS1, which is biased by a current source MS1. A differential-mode feedback signal MR1 is connected to the gates of both Q1 and Q4. A capacitor CG1 is connected between the gate and source of Q1. The drain of Q1 is connected to a common load capacitor C_PN, which is also connected to the drain of Q4. The output of the top path is taken from the node between D1 and Q1. The bottom path is a mirror image of the top path, with PMOS transistor D4, NMOS transistor Q4, and source resistor S4. Its gate node is G4, driven by GT4, and its source node is SS4, biased by MS4. The output of the bottom path is taken from the node between D4 and Q4. The differential output is taken from the difference between the two output nodes. The common-mode input SST1 is connected to the gates of both Q1 and Q4. The differential-mode feedback signal MR4 is connected to the gates of both Q1 and Q4. The common-mode output is taken from the node between the two load capacitors C_PN.

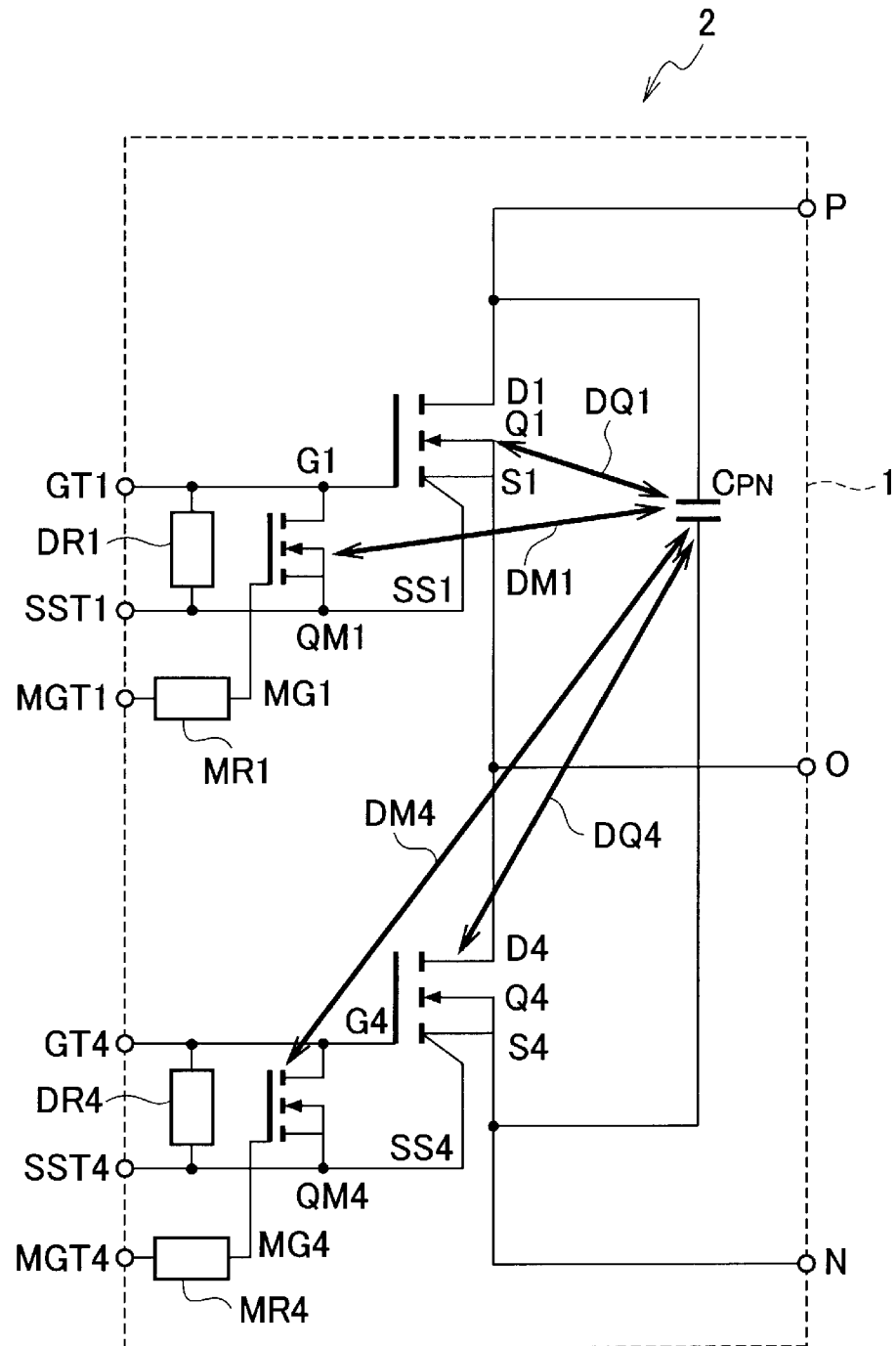
[図12]



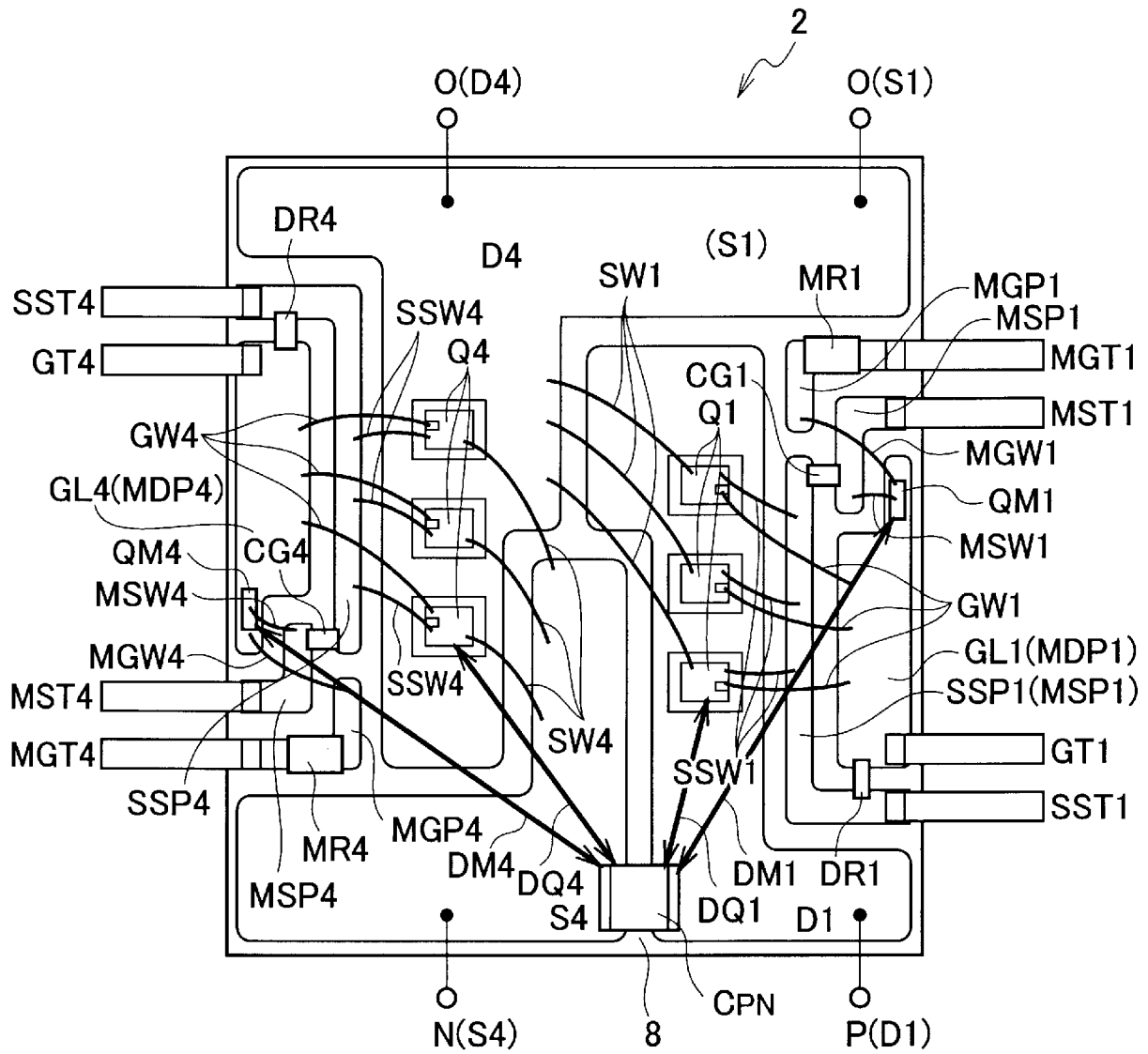
[図13]



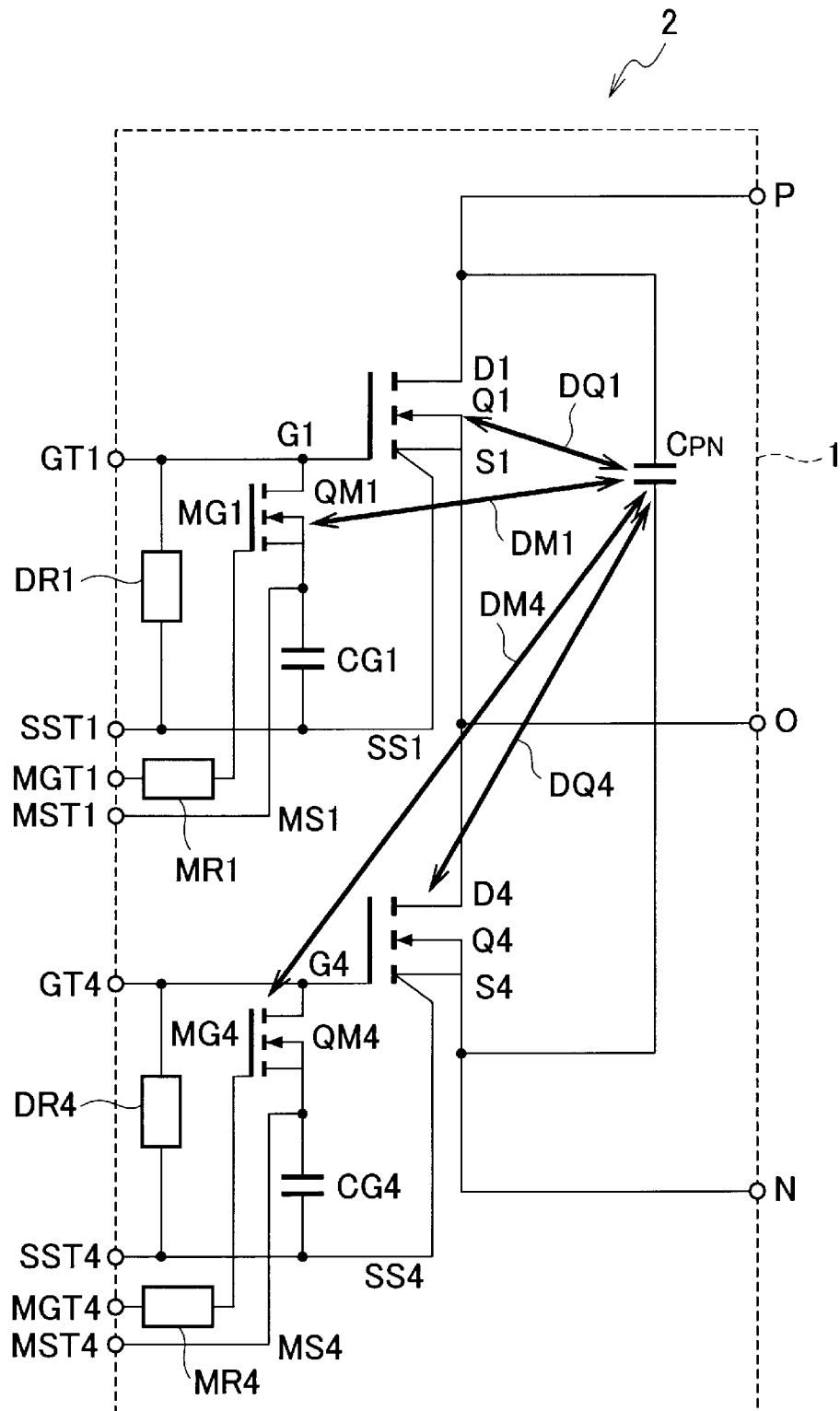
[図14]



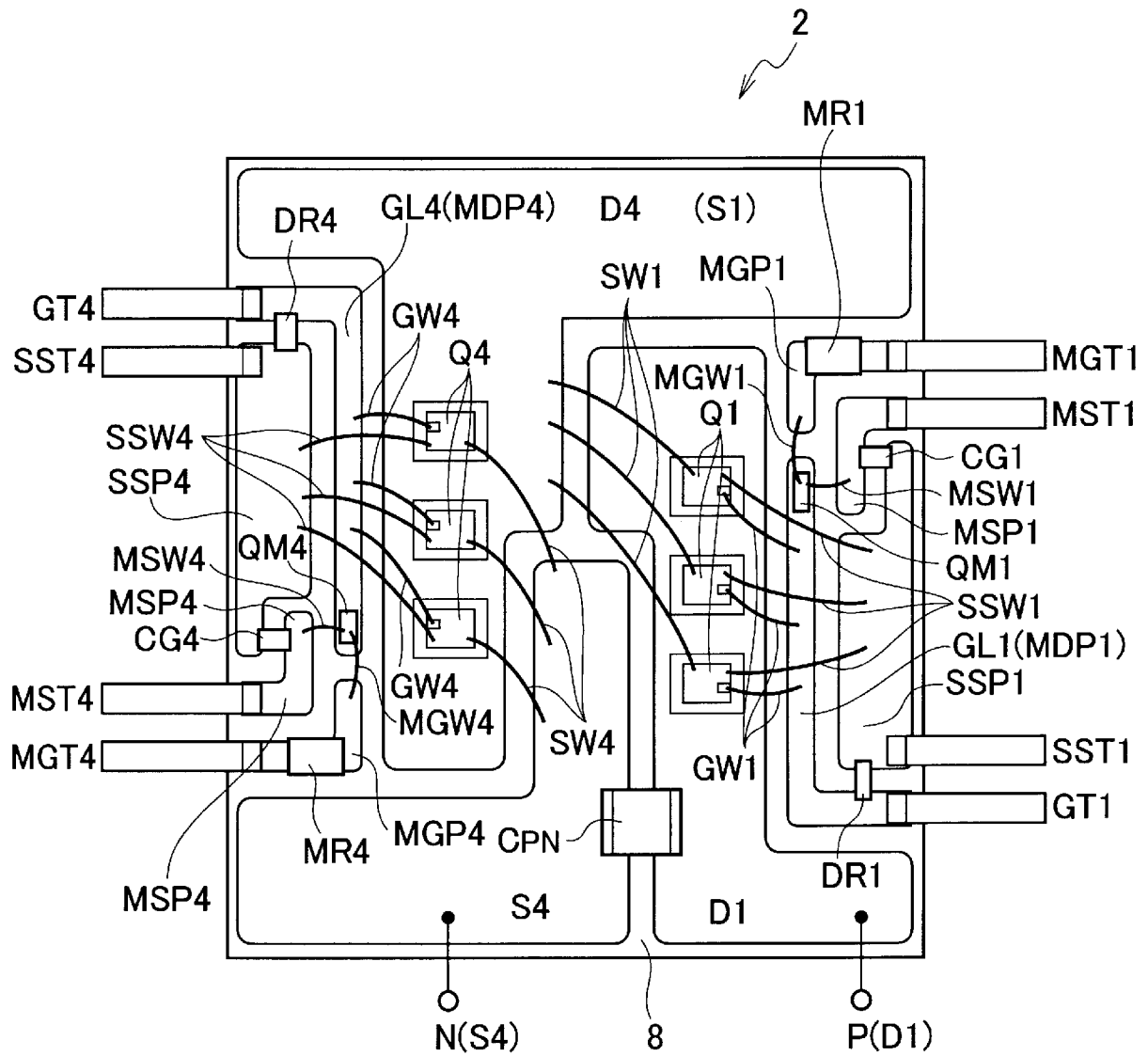
[図15]



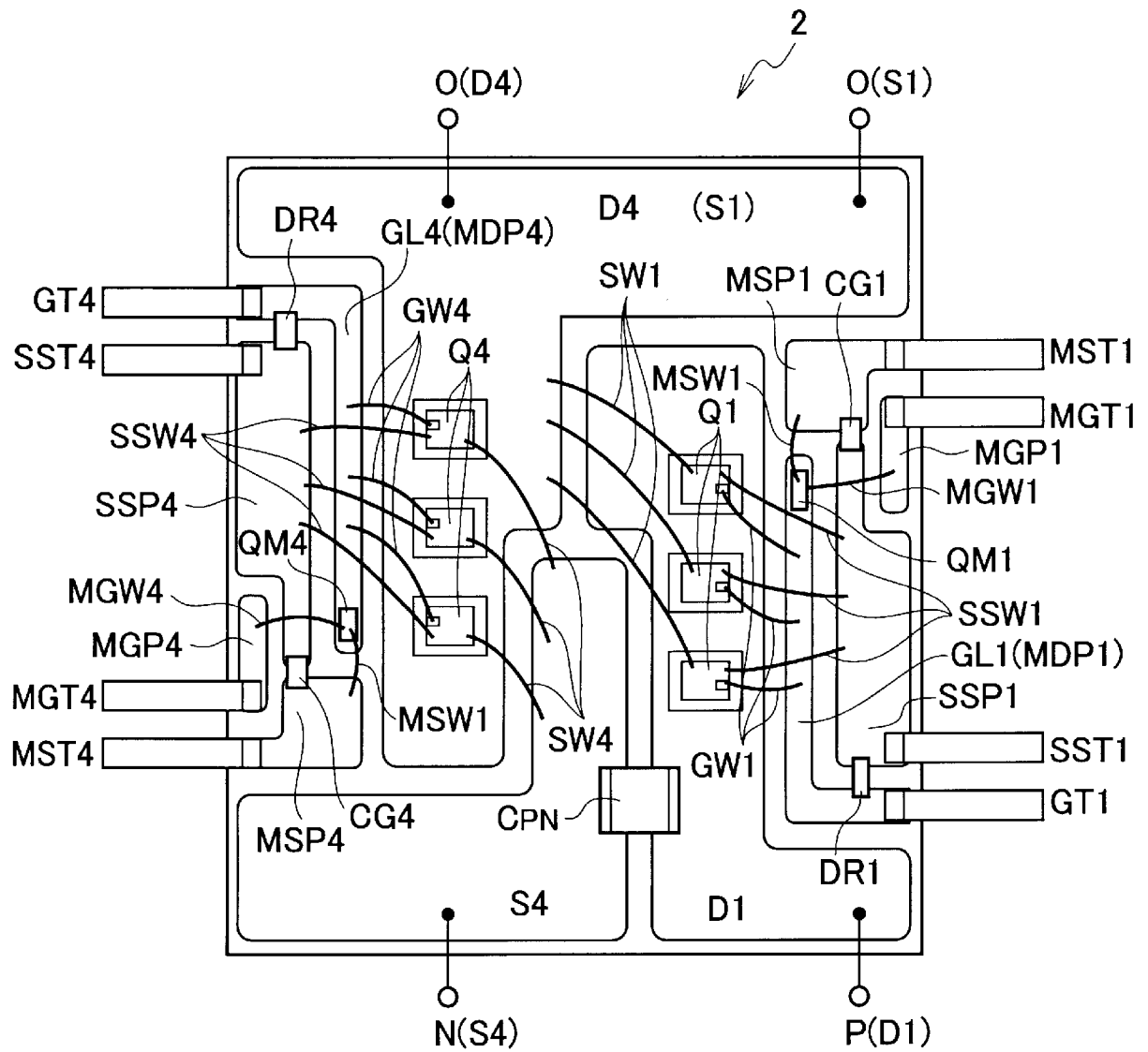
[図16]



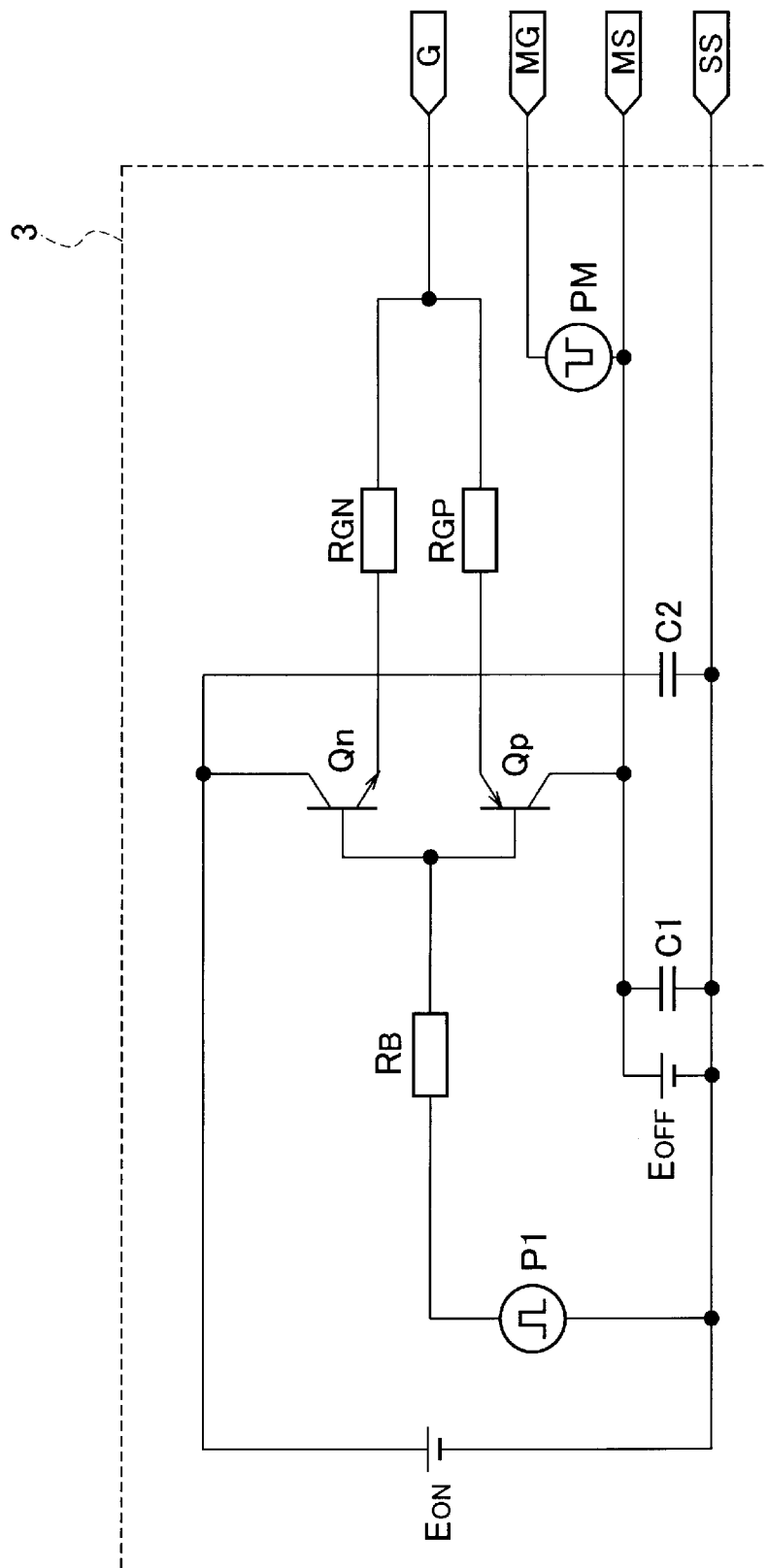
[図17]



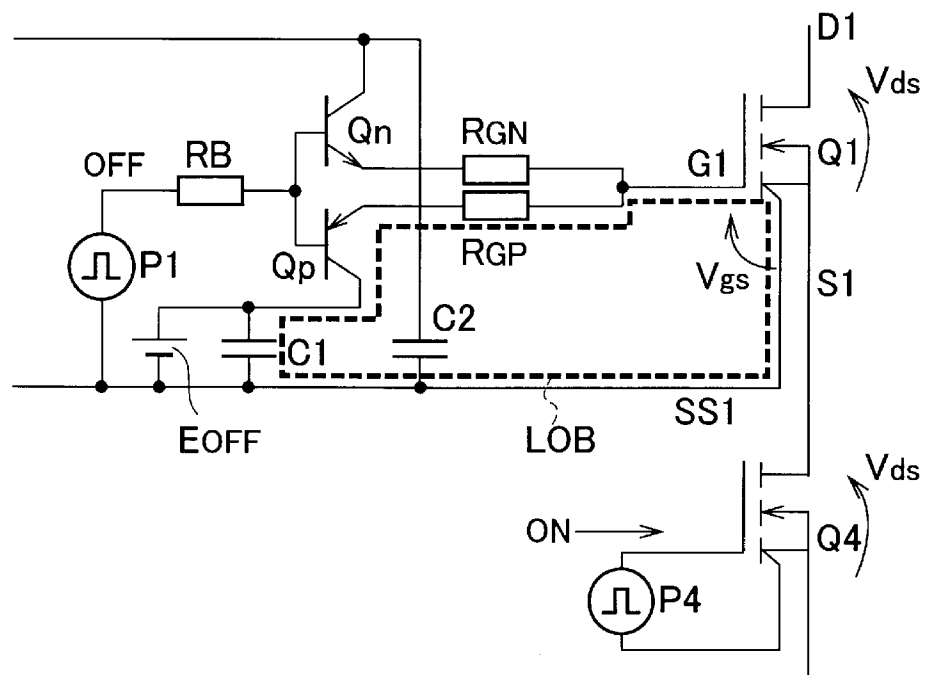
[図18]



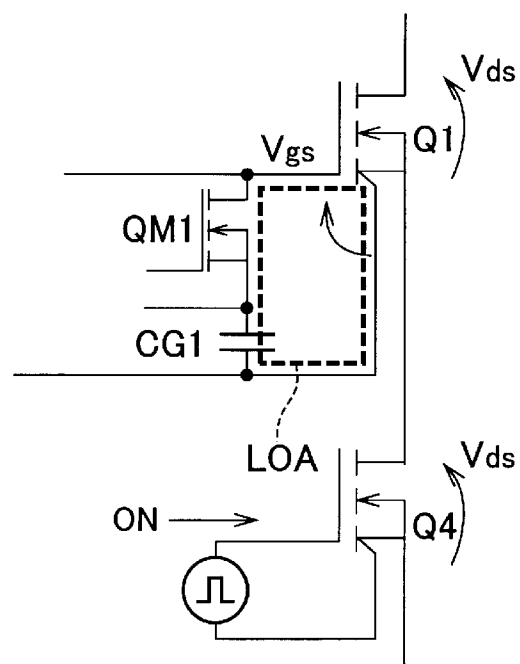
[図19]



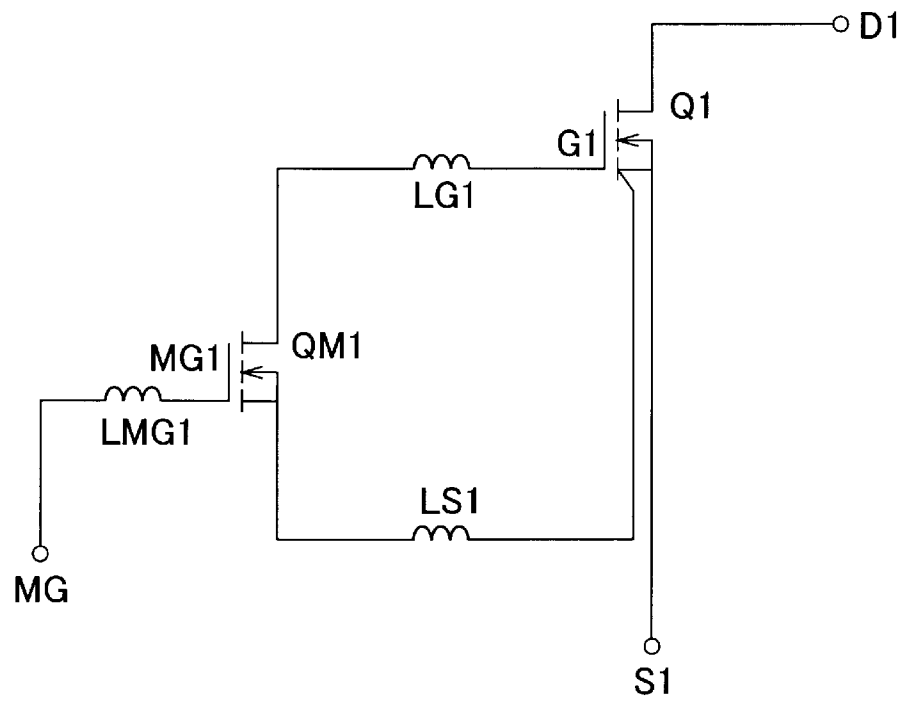
(a)



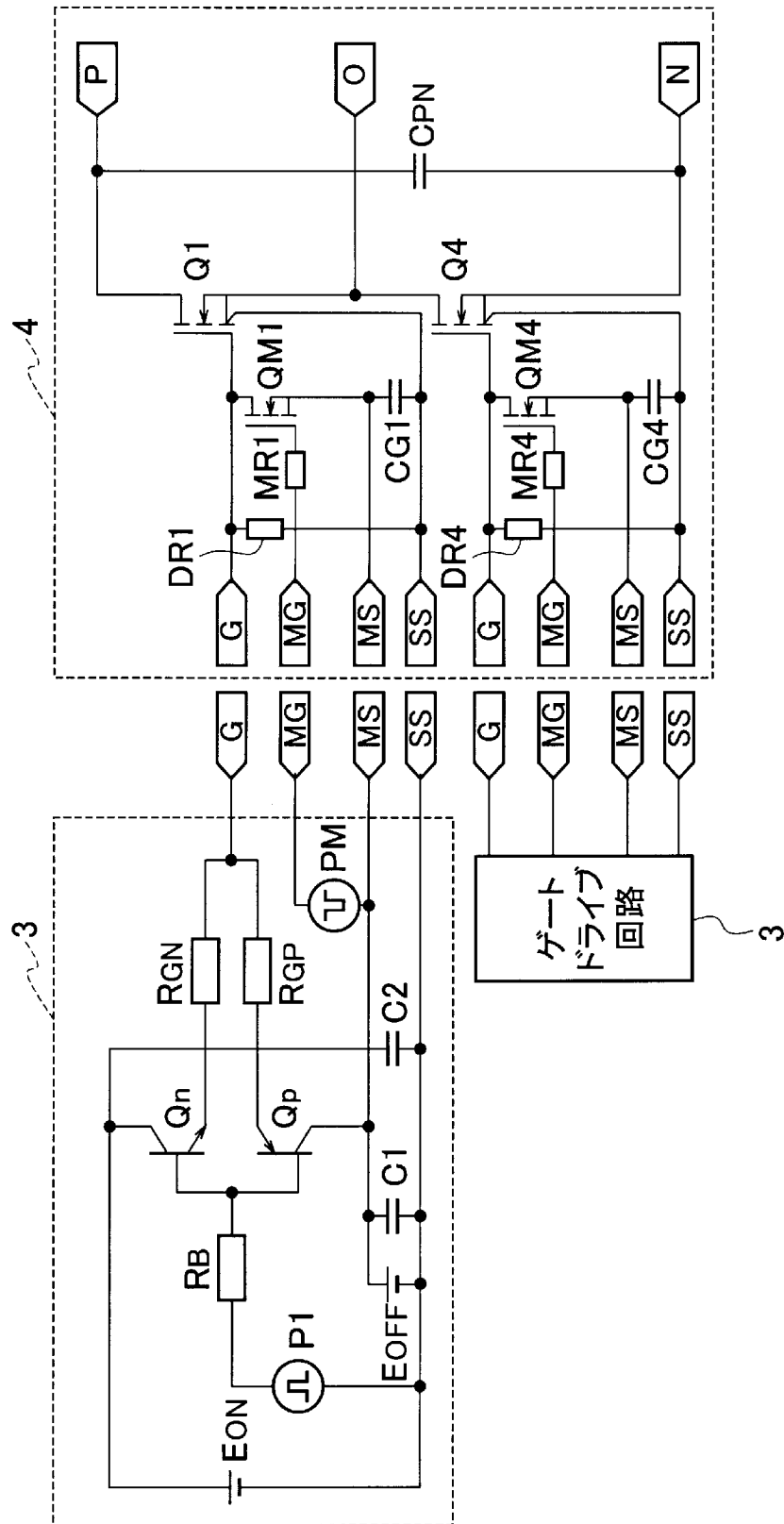
(b)



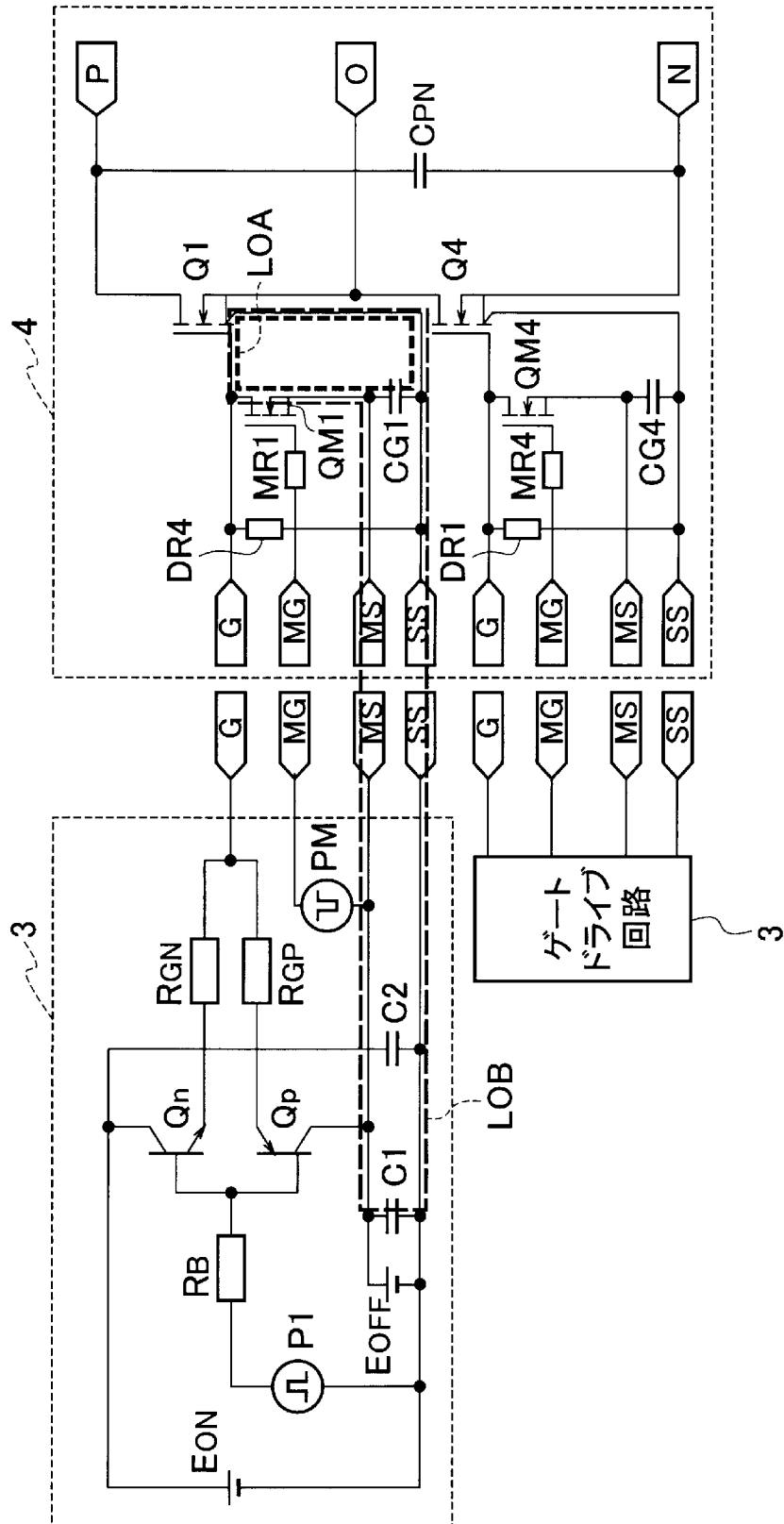
[図22]



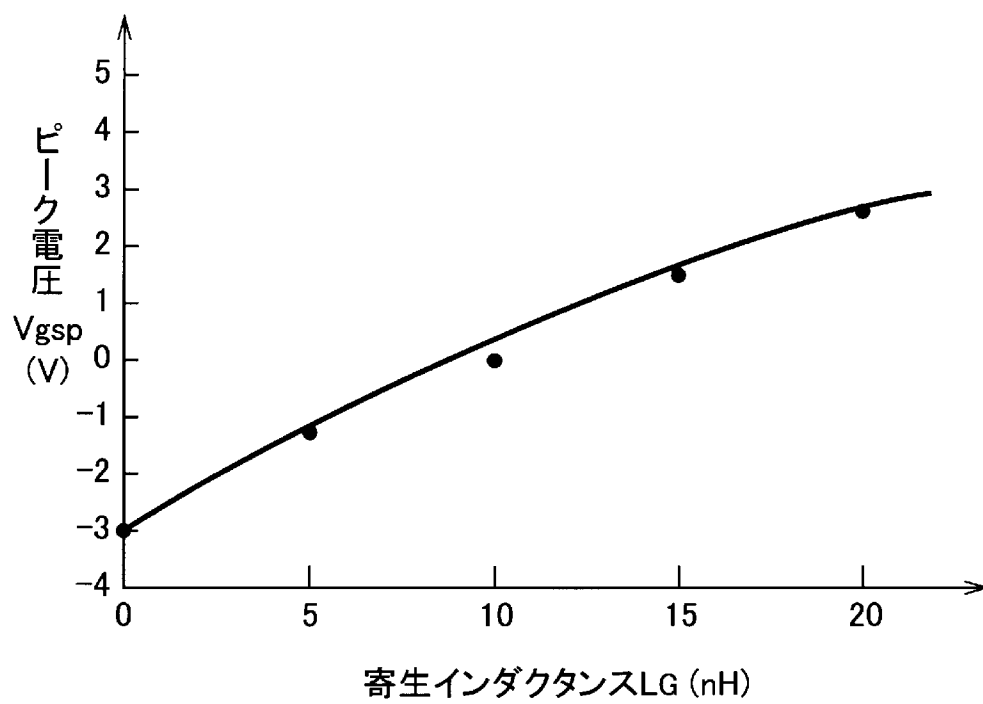
[図23]



[図24]

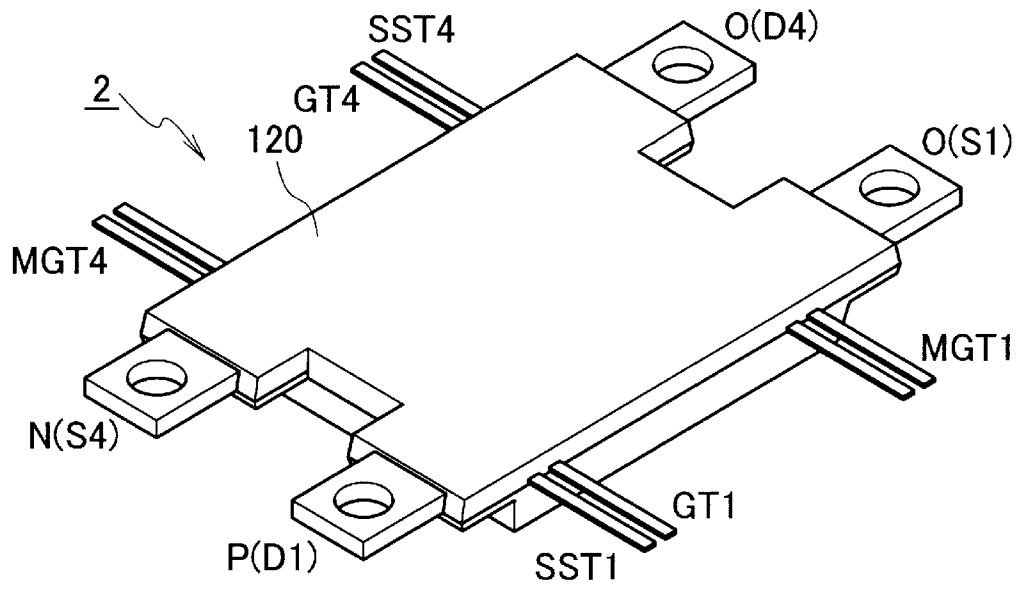


[図25]

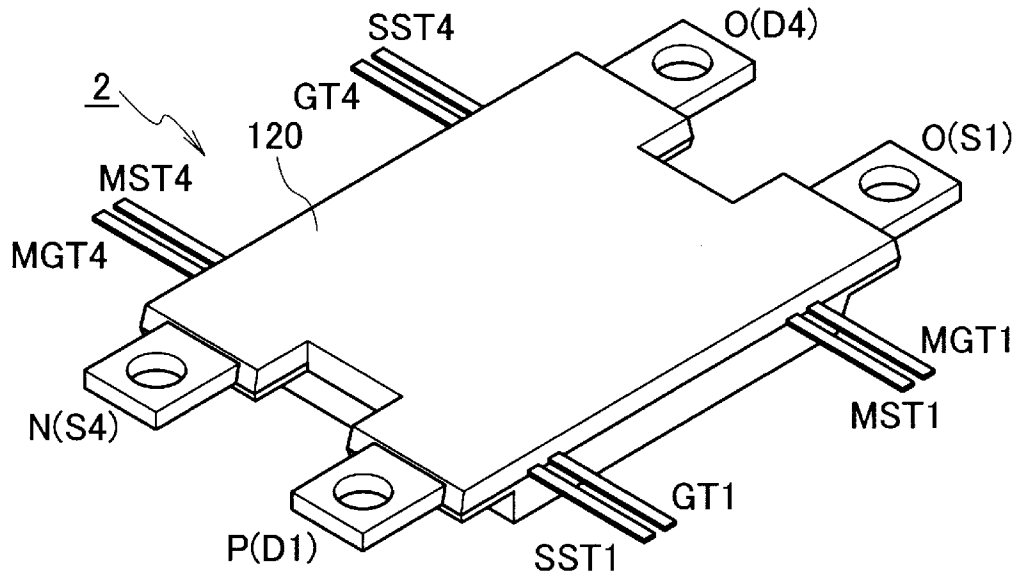


[図26]

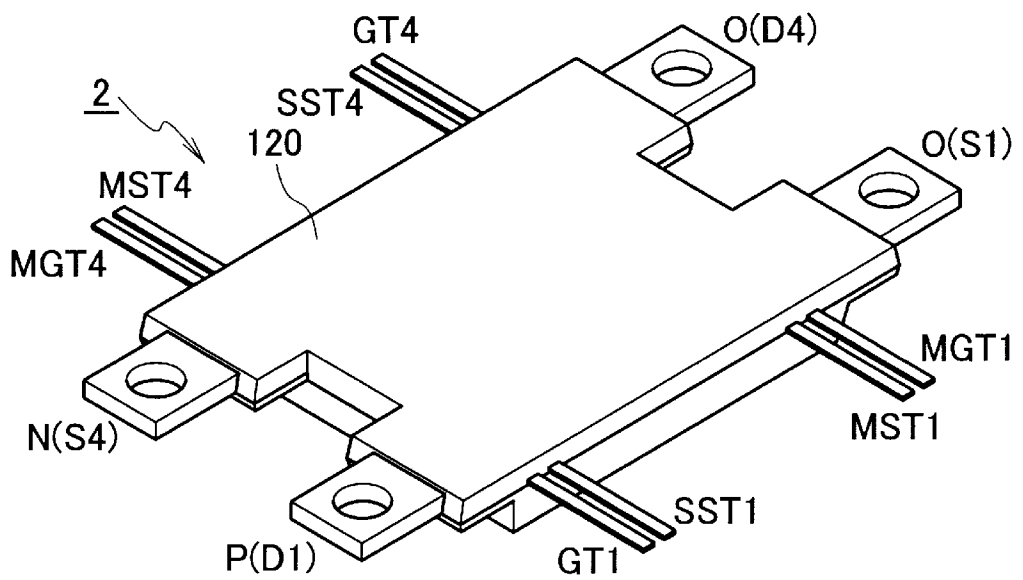
(a)



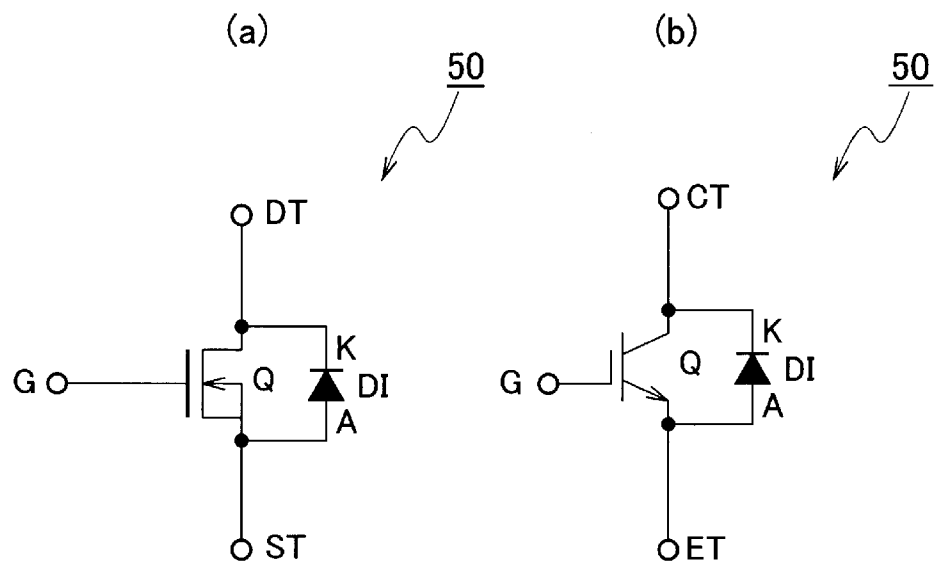
(b)



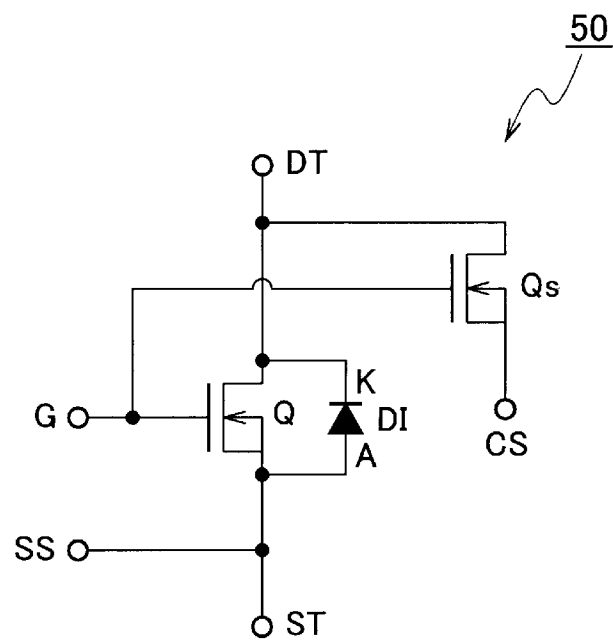
(c)



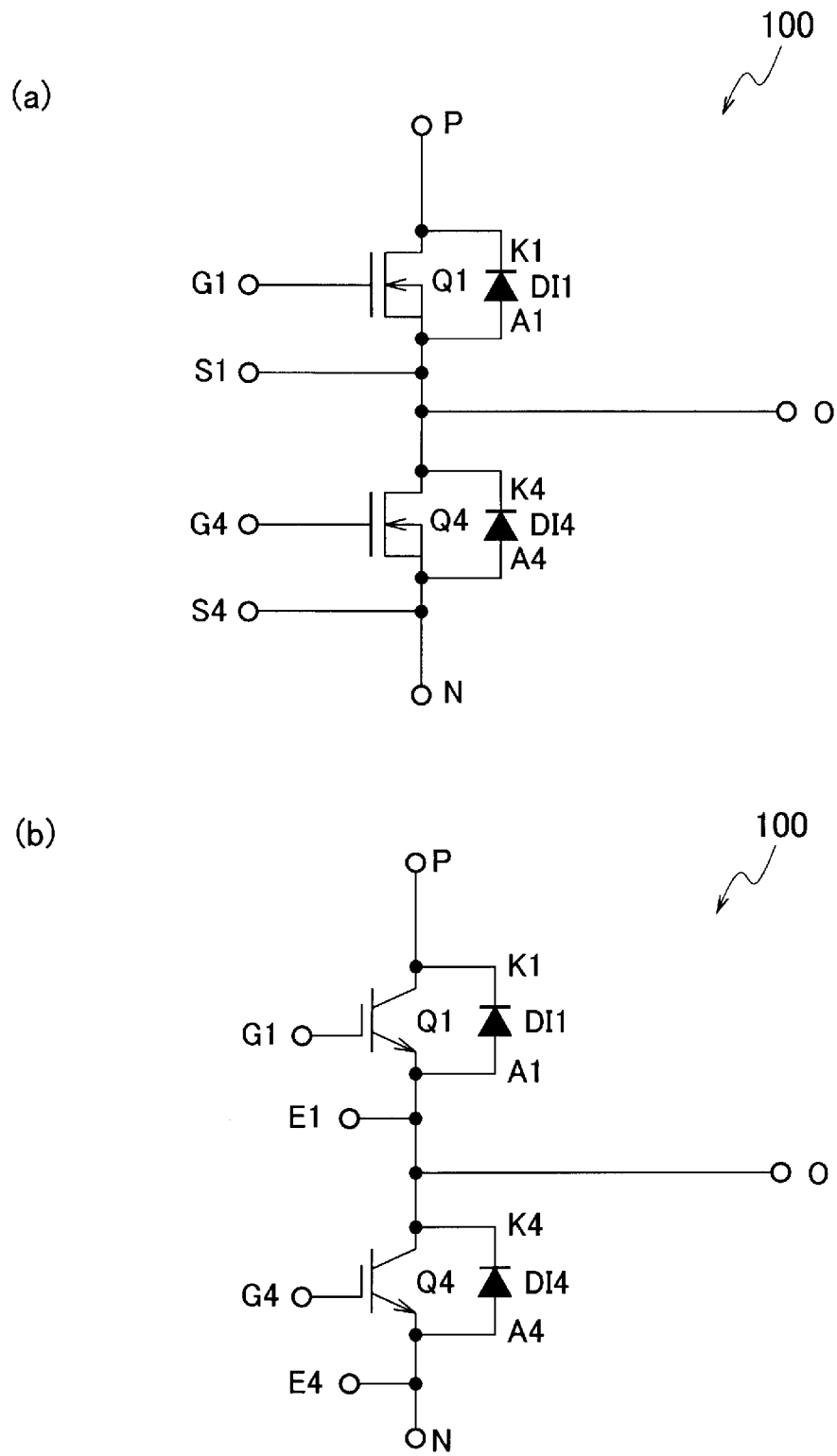
[図27]



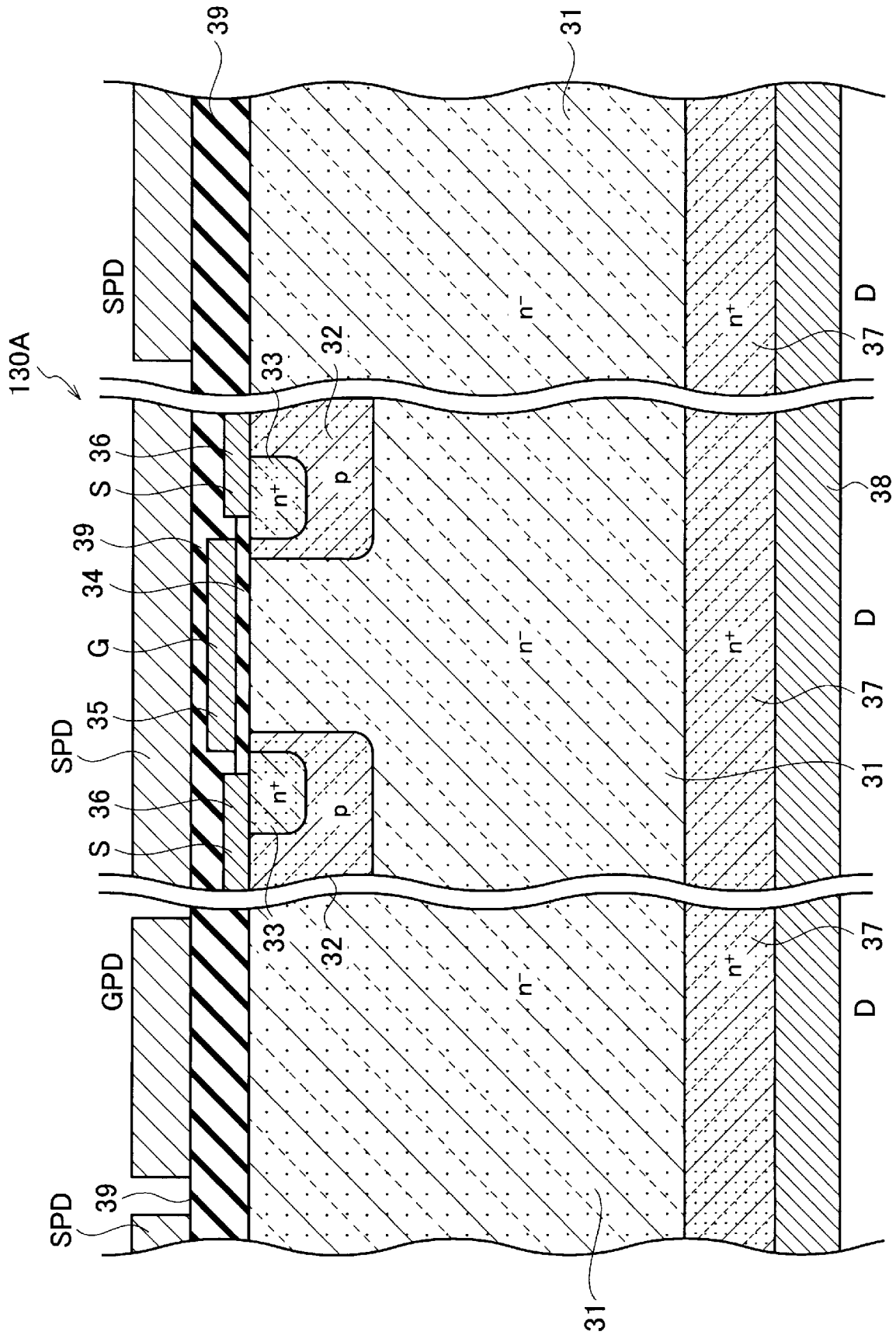
[図28]



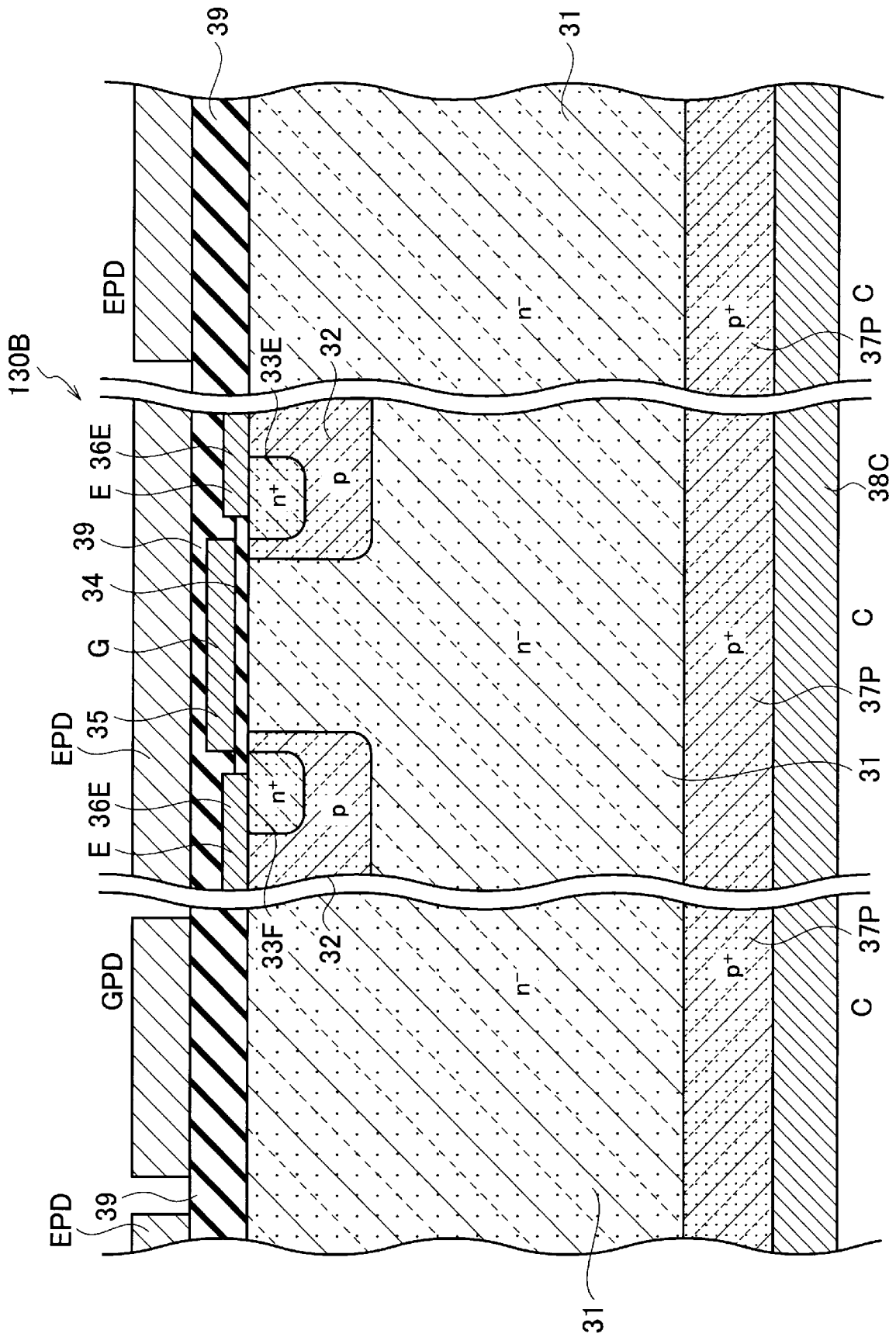
[図29]



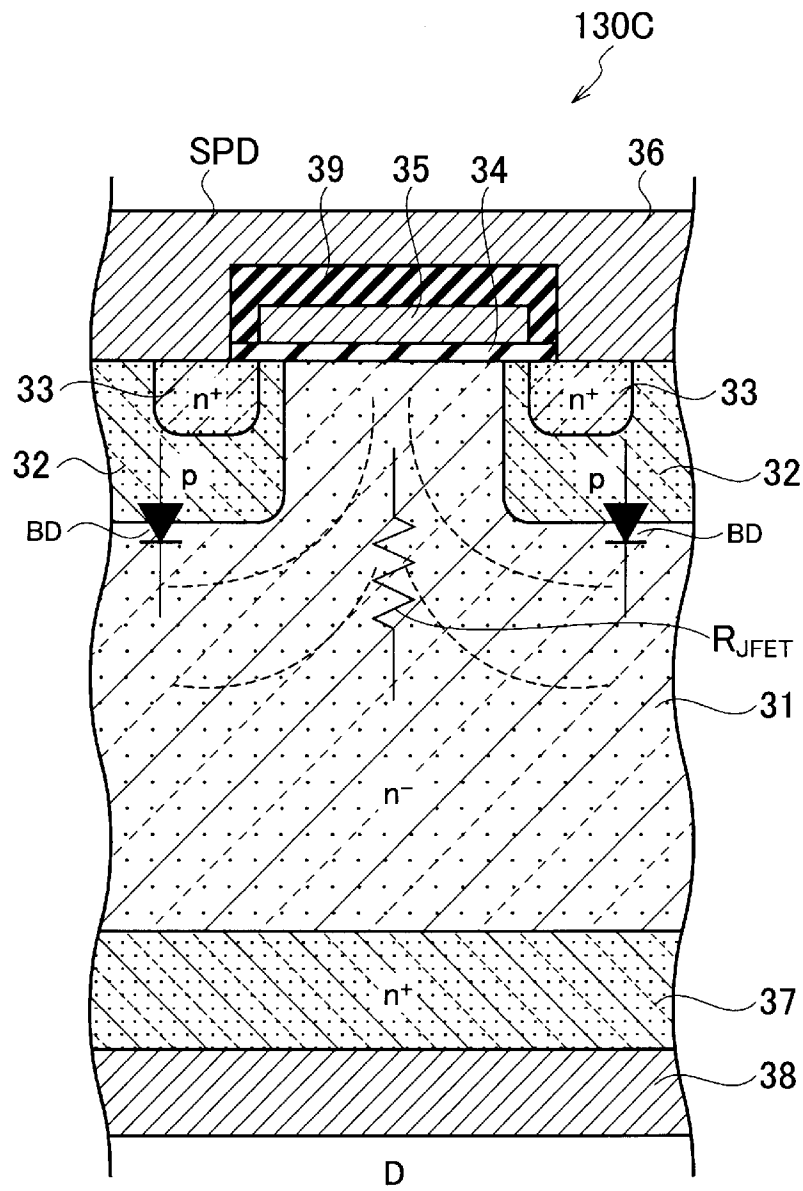
[図30]



[図31]



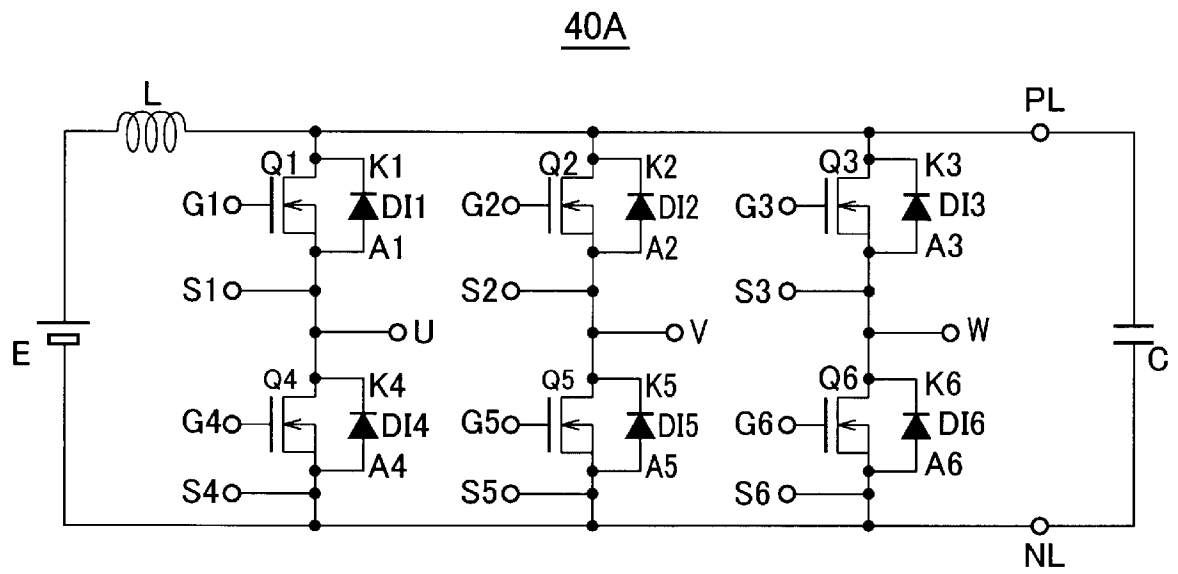
[図32]



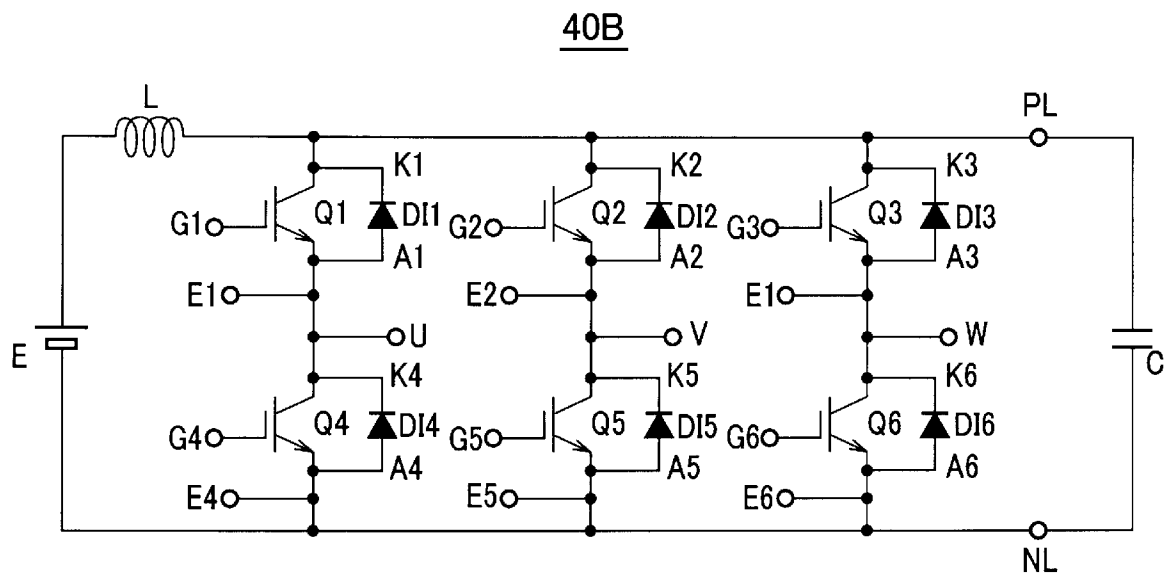
A cross-sectional view of a semiconductor device 130D. The device consists of several layers: a top layer 36, a layer 34, a layer 32, a layer 31N, a layer 37, and a bottom layer 38. A central region 35TG is defined by a hatched pattern. This region is surrounded by a layer 39U and a layer 39B. The layers 32 and 39B contain n+ regions and p regions, with arrows indicating the direction of current flow. The layers 34 and 31N contain n regions. The layers 36 and 38 contain p regions. The device is labeled with various reference numerals: 130D, 36, 35TG, 39U, 34, 33, n+, p, BD, 32, 39B, 34, n, 31N, 37, 38, and D.

[図34]

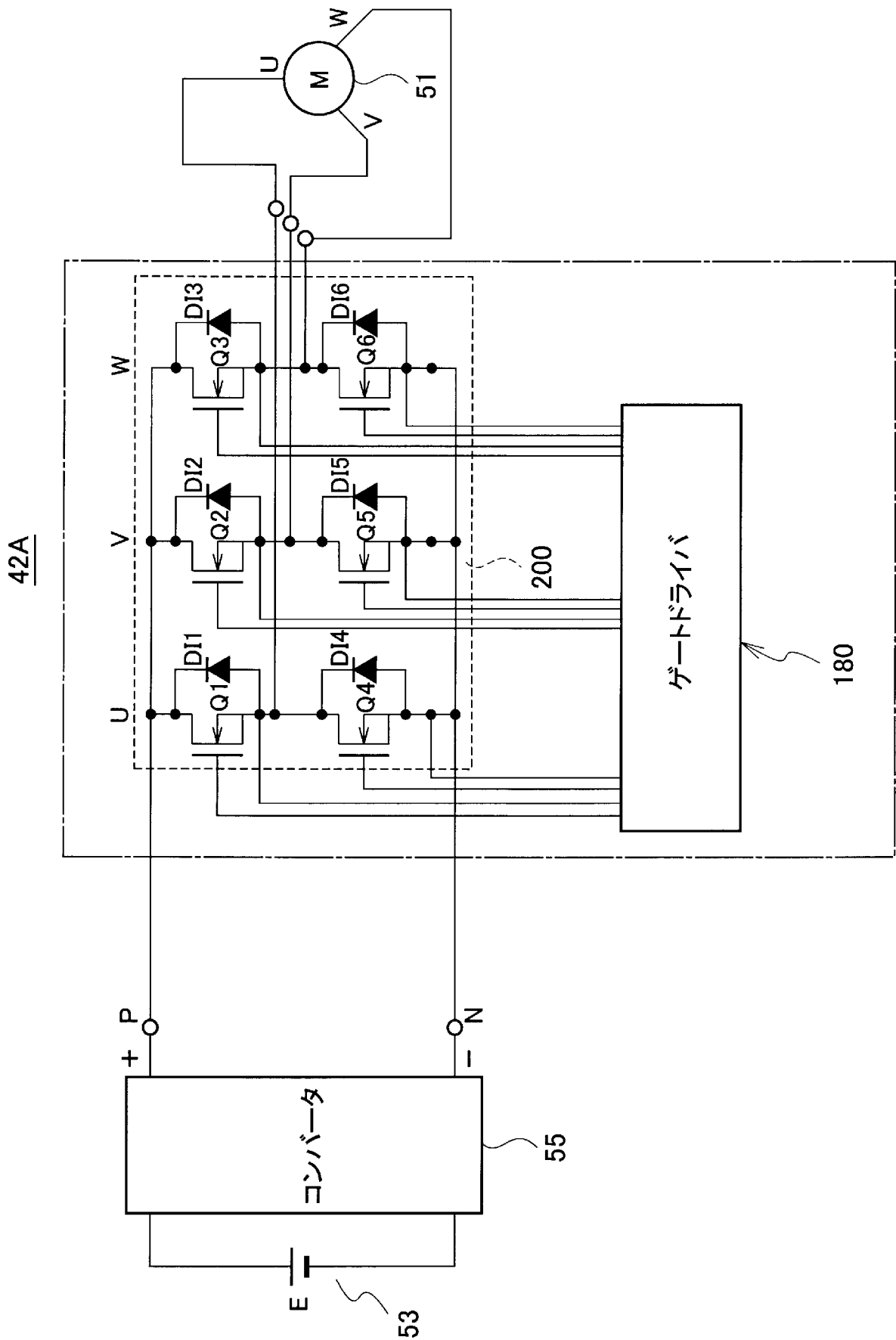
(a)



(b)

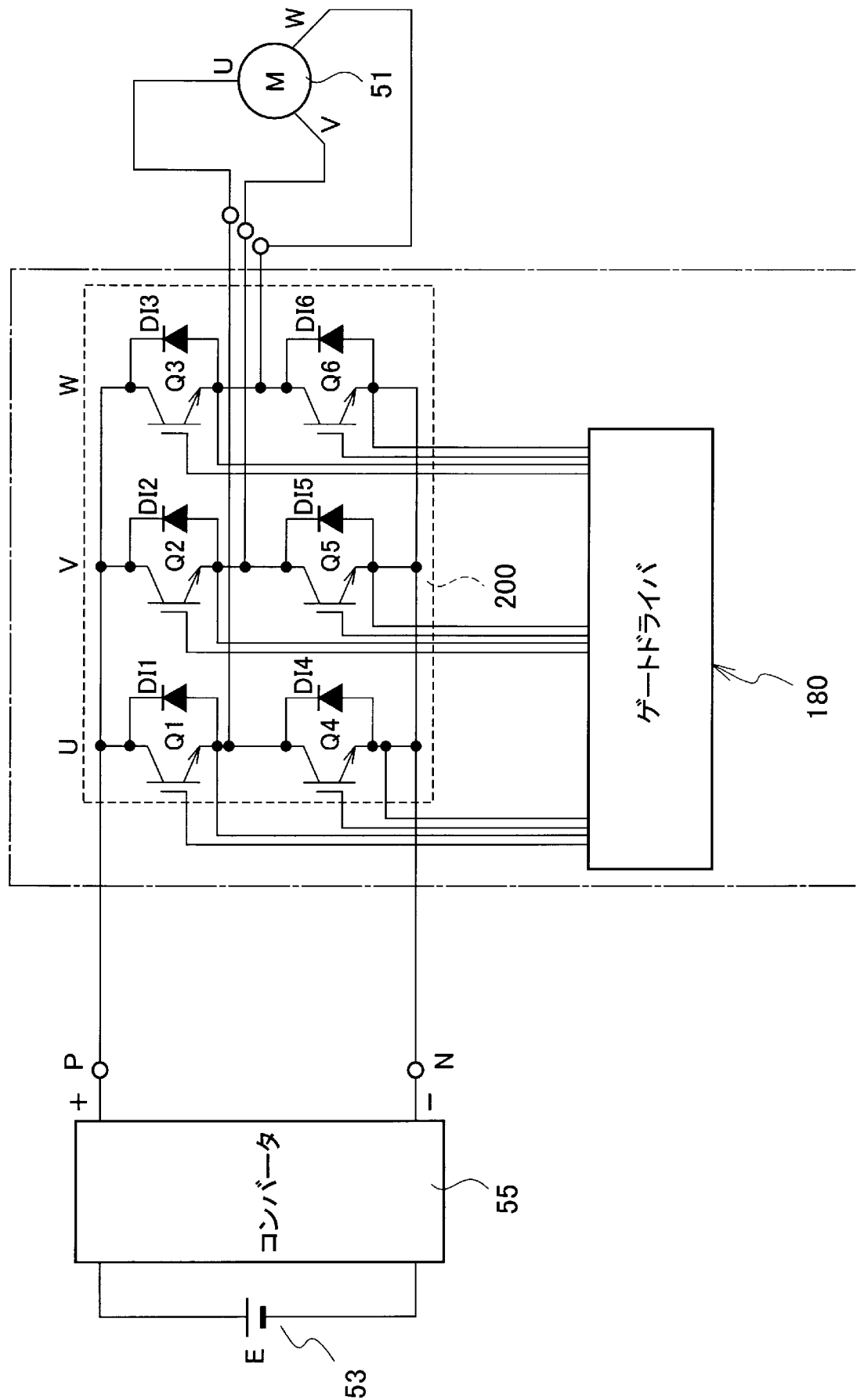


[図35]



[図36]

42B



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/014126

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L25/07 (2006.01) i, H01L23/48 (2006.01) i, H01L25/18 (2006.01) i, H02M7/48 (2007.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L25/00-25/18, H01L23/48-23/50, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-126342 A (ROHM CO., LTD.) 06 July 2015, fig. 15, 20-25 & US 2016/0308523 A1, fig. 15, 20-25 & WO 2015/099030 A1	1-11
A	WO 2012/018073 A1 (ROHM CO., LTD.) 09 February 2012, fig. 1, 2, 5, 7A & US 9018985 B2, fig. 1, 2, 5, 7A	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16.05.2018

Date of mailing of the international search report
29.05.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/014126

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2007/0221972 A1 (ALPHA & OMEGA SEMICONDUCTOR, LTD.) 27 September 2007, paragraph [0034], fig. 6, 10 & WO 2007/075184 A2	1-11
A	JP 2012-239061 A (NISSAN MOTOR CO., LTD.) 06 December 2012, paragraphs [0016]-[0026], [0037]-[0047], fig. 2, 6, 7 & US 2014/0091324 A1, paragraphs [0030]-[0040], [0051]-[0059], fig. 2, 6, 7 & WO 2012/153836 A1 & EP 2712085 A1 & KR 10-2014-0011399 A & CN 103620962 A	1-11

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L25/07(2006.01)i, H01L23/48(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L25/00-25/18, H01L23/48-23/50, H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-126342 A（ローム株式会社）2015.07.06, 図15, 20-25 & US 2016/0308523 A1, 図15, 20-25 & WO 2015/099030 A1	1-11
A	WO 2012/018073 A1（ローム株式会社）2012.02.09, 図1, 2, 5, 7A & US 9018985 B2, 図1, 2, 5, 7A	1-11

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

16.05.2018

国際調査報告の発送日

29.05.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

木下 直哉

5D

3858

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2007/0221972 A1 (ALPHA & OMEGA SEMICONDUCTOR, LTD.) 2007.09.27, 段落 0034, 図 6, 10 & WO 2007/075184 A2	1-11
A	JP 2012-239061 A (日産自動車株式会社) 2012.12.06, 段落 0016-0026, 0037-0047, 図 2, 6, 7 & US 2014/0091324 A1, 段落 0030-0040, 0051-0059, 図 2, 6, 7 & WO 2012/153836 A1 & EP 2712085 A1 & KR 10-2014-0011399 A & CN 103620962 A	1-11