

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成20年3月27日(2008.3.27)

【公開番号】特開2006-128594(P2006-128594A)

【公開日】平成18年5月18日(2006.5.18)

【年通号数】公開・登録公報2006-019

【出願番号】特願2005-30972(P2005-30972)

【国際特許分類】

H 01 L 21/8247 (2006.01)

H 01 L 29/788 (2006.01)

H 01 L 29/792 (2006.01)

G 11 C 16/02 (2006.01)

G 11 C 16/04 (2006.01)

H 01 L 27/115 (2006.01)

【F I】

H 01 L 29/78 3 7 1

G 11 C 17/00 6 4 1

G 11 C 17/00 6 2 2 C

G 11 C 17/00 6 2 1 Z

H 01 L 27/10 4 3 4

【手続補正書】

【提出日】平成20年2月7日(2008.2.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板に形成されたn型ウエルと、前記n型ウエル表面に所定間隔を開けて形成されたp+領域であるドレインおよびソースと、前記ドレイン、ソース間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル酸化膜を介して形成されたナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有するメモリセルを、複数行(X)、複数列(Y)のマトリクスに配列した不揮発性半導体記憶装置であって、

前記各列に設けられ、その列のメモリセルのドレインに接続されたビット線と、標準電源電圧(Vcc)用のトランジスタで形成された、前記各ビット線の電圧を制御する回路を含むY系回路と、

を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項2】

半導体基板に形成されたn型ウエルと、前記n型ウエル表面に所定間隔を開けて形成された第1のp+領域および第2のp+領域と、前記第1、第2のp+領域間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル酸化膜を介して形成されたナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有するメモリセルを、複数行(X)、複数列(Y)のマトリクスに配列した不揮発性半導体記憶装置であって、

前記各列間に設けられ、隣接する一方の列のメモリセルの第1のp+領域および他方の列のメモリセルの第2のp+領域に接続されたビット線と、

標準電源電圧 (V_{cc}) 用のトランジスタで形成された、前記各ビット線の電圧を制御する回路を含む Y 系回路と、

を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項 3】

半導体基板に形成された n 型ウエルと、前記 n 型ウエル表面に所定間隔を開けて形成された第 1 の p + 領域および第 2 の p + 領域と、前記第 1 、第 2 の p + 領域間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル絶縁膜を介して形成されたナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置に、第 1 の p + 領域を接地電位として書き込まれたビットデータを読み出す方法であって、

n 型ウエルに正の読み出バッケージゲート電圧を印加し、ゲート電極に負の読み出し電圧を印加し、第 1 の p + 領域に前記読み出バッケージゲート電圧と同じ電圧を印加し、第 2 の p + 領域を接地電位としたときに第 1 、第 2 の p + 領域間が導通するか否かにより前記書き込まれたビットデータを読み出す

ことを特徴とする不揮発性半導体記憶装置の読み出方法。

【請求項 4】

請求項 2 に記載の不揮発性半導体記憶装置に、第 1 の p + 領域を接地電位として書き込まれたビットデータを読み出す方法であって、

n 型ウエルに正の読み出バッケージゲート電圧を印加し、ゲート電極に負の読み出し電圧を印加し、第 1 の p + 領域に前記読み出バッケージゲート電圧と同じ電圧を印加し、第 2 の p + 領域を接地電位としたときに第 1 、第 2 の p + 領域間が導通するか否かにより前記書き込まれたビットデータを読み出す

ことを特徴とする不揮発性半導体記憶装置の読み出方法。

【請求項 5】

半導体基板に形成された n 型ウエルと、前記 n 型ウエル表面に所定間隔を開けて形成された p + 領域であるソースおよびドレインと、前記ソース、ドレイン間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル酸化膜を介して形成されたフローティングゲート、ナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置にビットデータを書き込む方法であって、

n 型ウエルに読み出バッケージゲート電圧および電源電圧よりも高電圧の書き込みバッケージゲート電圧を印加し、ゲート電極に正の高電圧を印加し、ドレインを接地電位にすることにより、ドレイン付近にバンド間トンネリングによるホットエレクトロンを発生させ、このホットエレクトロンを前記電荷蓄積層に注入してビットデータの書き込みを行なうことを特徴とする不揮発性半導体記憶装置の書き込み方法。

【請求項 6】

請求項 1 に記載の不揮発性半導体記憶装置にビットデータを書き込む方法であって、

n 型ウエルに読み出バッケージゲート電圧および電源電圧よりも高電圧の書き込みバッケージゲート電圧を印加し、ゲート電極に正の高電圧を印加し、ドレインを接地電位にすることにより、ドレイン付近にバンド間トンネリングによるホットエレクトロンを発生させ、このホットエレクトロンを前記電荷蓄積層に注入してビットデータの書き込みを行なうことを特徴とする不揮発性半導体記憶装置の書き込み方法。

【請求項 7】

請求項 2 に記載の不揮発性半導体記憶装置にビットデータを書き込む方法であって、

n 型ウエルに読み出バッケージゲート電圧および電源電圧よりも高電圧の書き込みバッケージゲート電圧を印加し、ゲート電極に正の高電圧を印加し、第 1 の p + 領域を接地電位にすることにより、第 1 の p + 領域付近にバンド間トンネリングによるホットエレクトロンを発生させ、このホットエレクトロンを前記電荷蓄積層に注入してビットデータの書き込みを行なうことを特徴とする不揮発性半導体記憶装置の書き込み方法。

【請求項 8】

半導体基板に形成されたn型ウエルと、前記n型ウエル表面に所定間隔を開けて形成されたp+領域であるソースおよびドレインと、前記ソース、ドレイン間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル酸化膜を介して形成されたフローティングゲート、ナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置に書き込まれたビットデータを読み出す方法であって、

n型ウエルに正の読み出バッケンゲート電圧を印加し、ゲート電極に負の読み出電圧を印加し、ソースに前記読み出バッケンゲート電圧と同じ電圧を印加し、ドレインを接地電位としたときにソース・ドレイン間が導通するか否かによりビットデータを読み出すことを特徴とする不揮発性半導体記憶装置の読み出方法。

【請求項9】

請求項1に記載の不揮発性半導体記憶装置に書き込まれたビットデータを読み出す方法であって、

n型ウエルに正の読み出バッケンゲート電圧を印加し、ゲート電極に負の読み出電圧を印加し、ソースに前記読み出バッケンゲート電圧と同じ電圧を印加し、ドレインを接地電位としたときにソース・ドレイン間が導通するか否かによりビットデータを読み出すことを特徴とする不揮発性半導体記憶装置の読み出方法。

【請求項10】

請求項2に記載の不揮発性半導体記憶装置に書き込まれたビットデータを読み出す方法であって、

n型ウエルに正の読み出バッケンゲート電圧を印加し、ゲート電極に負の読み出電圧を印加し、第2のp+領域に前記読み出バッケンゲート電圧と同じ電圧を印加し、第1のp+領域を接地電位としたときにこれら第1、第2のp+領域間が導通するか否かによりビットデータを読み出すことを特徴とする不揮発性半導体記憶装置の読み出方法。

【請求項11】

半導体基板に形成されたn型ウエルと、前記n型ウエル表面に所定間隔を開けて形成されたp+領域であるソースおよびドレインと、前記ソース、ドレイン間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル酸化膜を介して形成されたフローティングゲート、ナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置に書き込まれたビットデータを消去する方法であって、

n型ウエルに負のバッケンゲート電圧を印加し、ゲート電極およびソースに負の高電圧を印加することにより、基板から電荷蓄積層にホットホールを注入し、これによって前記電荷蓄積層の電荷を中和することにより、前記不揮発性半導体記憶装置に書き込まれたデータを消去することを特徴とする不揮発性半導体記憶装置の消去方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

(1) この発明の不揮発性半導体記憶装置は、半導体基板に形成されたn型ウエルと、前記n型ウエル表面に所定間隔を開けて形成されたp+領域であるドレインおよびソースと、前記ドレイン、ソース間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル酸化膜を介して形成されたナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有するメモリセルを、複数行(X)、複数列(Y)のマトリクスに配列した不揮発性半導体記憶装置であって、前記各列に設けられ、その列のメモリセルのドレインに接続されたビット線と、標準電源電圧(Vcc)用のトランジスタで形成された、前記各ビット線の電圧を制御する回路を含むY系回路と、を備えたことを特徴とする。

【手続補正3】**【補正対象書類名】**明細書**【補正対象項目名】**0023**【補正方法】**変更**【補正の内容】****【0023】**

(2) この発明の揮発性半導体記憶装置は、半導体基板に形成されたn型ウエルと、前記n型ウエル表面に所定間隔を開けて形成された第1のp+領域および第2のp+領域と、前記第1、第2のp+領域間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル酸化膜を介して形成されたナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有するメモリセルを、複数行(X)、複数列(Y)のマトリクスに配列した不揮発性半導体記憶装置であって、前記各列間に設けられ、隣接する一方の列のメモリセルの第1のp+領域および他方の列のメモリセルの第2のp+領域に接続されたビット線と、標準電源電圧(Vc)用のトランジスタで形成された、前記各ビット線の電圧を制御する回路を含むY系回路と、を備えたことを特徴とする。

【手続補正4】**【補正対象書類名】**明細書**【補正対象項目名】**0024**【補正方法】**削除**【補正の内容】****【手続補正5】****【補正対象書類名】**明細書**【補正対象項目名】**0025**【補正方法】**削除**【補正の内容】****【手続補正6】****【補正対象書類名】**明細書**【補正対象項目名】**0026**【補正方法】**削除**【補正の内容】****【手続補正7】****【補正対象書類名】**明細書**【補正対象項目名】**0027**【補正方法】**削除**【補正の内容】****【手続補正8】****【補正対象書類名】**明細書**【補正対象項目名】**0028**【補正方法】**変更**【補正の内容】****【0028】**

(3) この発明の不揮発性半導体記憶装置の読み出方法は、半導体基板に形成されたn型ウエルと、前記n型ウエル表面に所定間隔を開けて形成された第1のp+領域および第2のp+領域と、前記第1、第2のp+領域間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル絶縁膜を介して形成されたナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置に、第1のp+領域を接地電位として書き込まれたビットデータを読み出す方法であって、

n型ウエルに正の読み出バッケージート電圧を印加し、ゲート電極に負の読み出し電圧を印

加し、第1のp+領域に前記読み出バッケージト電圧と同じ電圧を印加し、第2のp+領域を接地電位としたときに第1、第2のp+領域間が導通するか否かにより前記書き込まれたビットデータを読み出すことを特徴とする。

(4) この発明の不揮発性半導体記憶装置の読み出方法は、(2)に記載の不揮発性半導体記憶装置に、第1のp+領域を接地電位として書き込まれたビットデータを読み出す方法であって、

n型ウエルに正の読み出バッケージト電圧を印加し、ゲート電極に負の読み出し電圧を印加し、第1のp+領域に前記読み出バッケージト電圧と同じ電圧を印加し、第2のp+領域を接地電位としたときに第1、第2のp+領域間が導通するか否かにより前記書き込まれたビットデータを読み出すことを特徴とする。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

(5) この発明の不揮発性半導体記憶装置の書き込み方法は、半導体基板に形成されたn型ウエルと、前記n型ウエル表面に所定間隔を開けて形成されたp+領域であるソースおよびドレインと、前記ソース、ドレイン間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル酸化膜を介して形成されたフローティングゲート、ナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置にビットデータを書き込む方法であって、

n型ウエルに読み出バッケージト電圧および電源電圧よりも高電圧の書き込みバッケージト電圧を印加し、ゲート電極に正の高電圧を印加し、ドレインを接地電位にすることにより、ドレイン付近にバンド間トンネリングによるホットエレクトロンを発生させ、このホットエレクトロンを前記電荷蓄積層に注入してビットデータの書き込みを行なうことを特徴とする。

(6) この発明は、(1)に記載の不揮発性半導体記憶装置にビットデータを書き込む方法であって、n型ウエルに読み出バッケージト電圧および電源電圧よりも高電圧の書き込みバッケージト電圧を印加し、ゲート電極に正の高電圧を印加し、ドレインを接地電位にすることにより、ドレイン付近にバンド間トンネリングによるホットエレクトロンを発生させ、このホットエレクトロンを前記電荷蓄積層に注入してビットデータの書き込みを行なうことを行なうことを特徴とする。

(7) この発明は、(2)に記載の不揮発性半導体記憶装置にビットデータを書き込む方法であって、n型ウエルに読み出バッケージト電圧および電源電圧よりも高電圧の書き込みバッケージト電圧を印加し、ゲート電極に正の高電圧を印加し、第1のp+領域を接地電位にすることにより、第1のp+領域付近にバンド間トンネリングによるホットエレクトロンを発生させ、このホットエレクトロンを前記電荷蓄積層に注入してビットデータの書き込みを行なうことを特徴とする。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】削除

【補正の内容】

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】削除

【補正の内容】

【手続補正12】**【補正対象書類名】**明細書**【補正対象項目名】**0037**【補正方法】**削除**【補正の内容】****【手続補正13】****【補正対象書類名】**明細書**【補正対象項目名】**0039**【補正方法】**変更**【補正の内容】****【0039】**

(8) この発明の不揮発性半導体記憶装置の読み出方法は、半導体基板に形成されたn型ウエルと、前記n型ウエル表面に所定間隔を開けて形成されたp+領域であるソースおよびドレインと、前記ソース、ドレイン間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル酸化膜を介して形成されたフローティングゲート、ナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置に書き込まれたビットデータを読み出す方法であって、

n型ウエルに正の読み出バッカゲート電圧を印加し、ゲート電極に負の読み出し電圧を印加し、ソースに前記読み出バッカゲート電圧と同じ電圧を印加し、ドレインを接地電位としたときにソース・ドレイン間が導通するか否かによりビットデータを読み出すことを特徴とする。

【手続補正14】**【補正対象書類名】**明細書**【補正対象項目名】**0040**【補正方法】**変更**【補正の内容】****【0040】**

(9) この発明の不揮発性半導体記憶装置の読み出方法は、(1)に記載の不揮発性半導体記憶装置に書き込まれたビットデータを読み出す方法であって、n型ウエルに正の読み出バッカゲート電圧を印加し、ゲート電極に負の読み出し電圧を印加し、ソースに前記読み出バッカゲート電圧と同じ電圧を印加し、ドレインを接地電位としたときにソース・ドレイン間が導通するか否かによりビットデータを読み出すことを特徴とする。

【手続補正15】**【補正対象書類名】**明細書**【補正対象項目名】**0041**【補正方法】**変更**【補正の内容】****【0041】**

(10) この発明の不揮発性半導体記憶装置の読み出方法は、(2)に記載の不揮発性半導体記憶装置に書き込まれたビットデータを読み出す方法であって、n型ウエルに正の読み出バッカゲート電圧を印加し、ゲート電極に負の読み出し電圧を印加し、第2のp+領域に前記読み出バッカゲート電圧と同じ電圧を印加し、第1のp+領域を接地電位としたときにこれら第1、第2のp+領域間が導通するか否かによりビットデータを読み出すことを特徴とする。

【手続補正16】**【補正対象書類名】**明細書**【補正対象項目名】**0042**【補正方法】**変更**【補正の内容】**

【 0 0 4 2 】

(1 1) この発明の不揮発性半導体記憶装置の消去方法は、半導体基板に形成された n 型ウエルと、前記 n 型ウエル表面に所定間隔を開けて形成された p + 領域であるソースおよびドレインと、前記ソース、ドレイン間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル酸化膜を介して形成されたフローティングゲート、ナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置に書き込まれたビットデータを消去する方法であって、

n 型ウエルに負のバックゲート電圧を印加し、ゲート電極およびソースに負の高電圧を印加することにより、基板から電荷蓄積層にホットホールを注入し、これによって前記電荷蓄積層の電荷を中和することにより、前記不揮発性半導体記憶装置に書き込まれたデータを消去することを特徴とする。