

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5367332号
(P5367332)

(45) 発行日 平成25年12月11日(2013.12.11)

(24) 登録日 平成25年9月20日(2013.9.20)

| | |
|-------------------------|----------------|
| (51) Int.Cl. | F I |
| HO 1 L 29/47 (2006.01) | HO 1 L 29/48 D |
| HO 1 L 29/872 (2006.01) | HO 1 L 29/48 F |
| | HO 1 L 29/48 M |

請求項の数 3 (全 14 頁)

| | | | |
|-----------|------------------------------|-----------|------------------------|
| (21) 出願番号 | 特願2008-249415 (P2008-249415) | (73) 特許権者 | 000003078 |
| (22) 出願日 | 平成20年9月29日 (2008.9.29) | | 株式会社東芝 |
| (65) 公開番号 | 特開2010-80797 (P2010-80797A) | | 東京都港区芝浦一丁目1番1号 |
| (43) 公開日 | 平成22年4月8日 (2010.4.8) | (74) 代理人 | 100088487 |
| 審査請求日 | 平成23年3月24日 (2011.3.24) | | 弁理士 松山 允之 |
| | | (74) 代理人 | 100119035 |
| | | | 弁理士 池上 徹真 |
| | | (72) 発明者 | 西尾 讓司 |
| | | | 東京都港区芝浦一丁目1番1号 株式会社東芝内 |
| | | (72) 発明者 | 太田 千春 |
| | | | 東京都港区芝浦一丁目1番1号 株式会社東芝内 |

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【特許請求の範囲】

【請求項1】

n型炭化珪素半導体基板上に設けられたn型エピタキシャル炭化珪素半導体層表面の一部領域にp型不純物をイオン注入し、p型不純物領域を形成する工程と、

前記n型エピタキシャル炭化珪素半導体層表面に、前記n型エピタキシャル炭化珪素半導体層との間にショットキー障壁を形成する第1の金属層を堆積する工程と、

前記第1の金属層上にアルミニウムを含有する第2の金属層を堆積する工程と、

前記第2の金属層を堆積する工程の後に熱処理する工程とを有し、

前記熱処理により前記第2の金属層に含有されるアルミニウムを選択的に前記p型不純物領域に拡散させ、

前記第1の金属層を堆積する工程の後に、前記p型不純物領域上の前記第1の金属層を選択的に除去する工程と、

前記第1の金属層を選択的に除去する工程の後、前記第2の金属層を堆積する工程の前に、前記第1の金属層上に、前記第1の金属層と同一組成の第3の金属層を堆積する工程を有することを特徴とする半導体装置の製造方法。

【請求項2】

前記p型不純物がアルミニウムであることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】

前記第1の金属層が、チタン、タングステン、モリブデン、ニッケルまたはチタンシリ

サイドからなる群より選ばれる1つの金属で形成されることを特徴とする請求項1または請求項2記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、p-i-n接合とショットキー接合を備えるダイオードを有する炭化珪素パワー半導体装置に関する。

【背景技術】

【0002】

炭化珪素パワー半導体装置ではイオン注入による不純物層形成が広く行なわれている。いわゆる接合終端などの耐圧構造を形成する目的のみならず、逆方向特性におけるショットキー界面からのトンネル電流による漏れ電流を抑制するための接合障壁制御ショットキー構造や、高電圧側ではホール注入を起こさせバイポーラ動作をさせることによって低オン抵抗化させようとするp-i-n/ショットキー混合構造などを形成するためにも不純物イオン注入技術は用いられている。特にn型半導体基板とその上のn型ホモエピタキシャル層に対してアルミニウムなどのp型不純物イオンを注入する技術が必須となっている。

【0003】

耐圧が600V程度のパワー半導体装置では、例えば炭化珪素を用いたショットキー障壁ダイオードの場合、ドリフト層を $1 \times 10^{16} \text{ cm}^{-3}$ 程度の比較的高濃度のキャリア濃度と10 μm 以下の比較的薄いエピタキシャル層をドリフト層として用いる。このため、同程度の耐圧の素子を従来のシリコンpnダイオードで実現しようとする場合に比べて、遥かに低いオン抵抗の素子を作製することが容易である。従って、炭化珪素半導体装置では、逆方向特性においてショットキー界面からトンネル効果によって発生する漏れ電流を抑制する目的で設けられる接合障壁制御ショットキー構造や、順方向特性において高電圧領域での使用を主に想定し、ホール注入を起こさせてバイポーラ動作によってオン抵抗を下げようとするp-i-n/ショットキー混合構造などを作り込むことによる電流狭窄がもたらす抵抗上昇が起こっても、従来のシリコンパワー半導体と比べると許容される範囲であると見なされていた。

【0004】

ところが、近年、ハイブリッド自動車などのパワーユニットへの搭載を睨んだパワー半導体装置では1200V級の素子が要求されるようになり、600V級素子に比べてドリフト層も厚く、ドリフト層抵抗の上昇が大きくなってしまふ。このため、電流狭窄効果による抵抗上昇の原因になる構造は許容しづらい状況になってきている。このため、ショットキー端部だけにサージ対策の目的でp層を設ける構造へとシフトした例も見られるようになってきた。これは一例に過ぎないが、基板を薄片化して基板抵抗分を減らそうとするアプローチなど考え付くありとあらゆる施策が試みられており、低抵抗化につながる工夫が各研究機関などを中心として精力的に進められている(例えば、特許文献1)。

【特許文献1】特開2003-258271号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

上述のように、炭化珪素半導体装置においても更なる低オン抵抗化による低損失化は必須の課題であり、半導体装置の特性を損なわないように如何に低損失化させるかという命題がある。一方で、逆方向特性において安定的な低い漏れ電流特性を歩留まり高く実現するためには、ショットキー障壁高さを最低限の高さに制御しながら如何に耐圧とオン抵抗の二律背反の関係を最適化していくかが重要である。

【0006】

しかしこれまで、半導体側に作製する構造によって特性改善を狙ったものはあったが、同時に素子の低オン抵抗を実現しようとする工夫はほとんど見られず、低オン抵抗の半導

10

20

30

40

50

体装置を得ることは難しいと考えられてきた。例えば、従来の p - i - n / ショットキー混合構造を持つダイオードを形成するには、p 型不純物領域の形成はアルミニウムイオン注入によって行なわれるため金属と容易にオーミック接触が形成できる程の高ドーピングが実現できない。特に注入イオン種を活性化させる熱処理中に表面が荒れてしまい、粒界でのリーク電流経路ができてしまい、高い不良率が避けられない。また、一方で、表面荒れの起こらない限界のドーピング量では十分低いコンタクト抵抗が得られないという問題があった。

【 0 0 0 7 】

本発明は、上記事情を考慮してなされたもので、その目的とするところは、p - i - n 接合とショットキー接合を備えるダイオードを有する炭化珪素パワー半導体装置において、逆方向漏れ電流を抑制した上で、素子のオン抵抗を低減する半導体装置の製造方法および半導体装置を提供することにある。

10

【課題を解決するための手段】

【 0 0 0 8 】

本発明の第 1 の態様の半導体装置の製造方法は、n 型炭化珪素半導体基板上に設けられた n 型エピタキシャル炭化珪素半導体層表面の一部領域に p 型不純物をイオン注入し、p 型不純物領域を形成する工程と、前記 n 型エピタキシャル炭化珪素半導体層表面に、前記 n 型エピタキシャル炭化珪素半導体層との間にショットキー障壁を形成する第 1 の金属層を堆積する工程と、前記第 1 の金属層上にアルミニウムを含有する第 2 の金属層を堆積する工程と、前記第 2 の金属層を堆積する工程の後に熱処理する工程とを有し、前記熱処理により前記第 2 の金属層に含有されるアルミニウムを選択的に前記 p 型不純物領域に拡散させることを特徴とする。

20

【 0 0 0 9 】

ここで、第 1 の態様において、前記第 1 の金属層を堆積する工程の後に、前記 p 型不純物領域上の前記第 1 の金属層を選択的に除去する工程と、前記第 1 の金属層を選択的に除去する工程の後、前記第 2 の金属層を堆積する工程の前に、前記第 1 の金属層上に、前記第 1 の金属層と同一組成の第 3 の金属層を堆積する工程を有することが望ましい。

【 0 0 1 0 】

ここで、第 1 の態様において、前記 p 型不純物がアルミニウムであることが望ましい。

【 0 0 1 1 】

ここで、第 1 の態様において、前記第 1 の金属層が、チタン、タングステン、モリブデン、ニッケルまたはチタンシリサイドからなる群より選ばれる 1 つの金属で形成されることが望ましい。

30

【 0 0 1 2 】

本発明の第 2 の態様の半導体装置は、n 型炭化珪素半導体基板上に設けられた n 型エピタキシャル炭化珪素半導体層と、前記 n 型エピタキシャル炭化珪素半導体層表面の一部に形成される p 型不純物領域と、前記 n 型エピタキシャル炭化珪素半導体層上に形成され、前記 n 型エピタキシャル炭化珪素半導体層との間にショットキー障壁を形成する第 1 の金属層と、前記第 1 の金属層上に形成されるアルミニウムを含有する第 2 の金属層とを有し、前記 p 型不純物領域上の前記第 1 の金属層の膜厚が、前記 p 型不純物領域上以外の領域上の前記第 1 の金属層の膜厚よりも薄いことを特徴とする。

40

【 0 0 1 3 】

ここで、第 2 の態様において、前記 n 型エピタキシャル炭化珪素半導体層と前記第 1 の金属層との界面のアルミニウム濃度が、前記 p 型不純物領域以外の領域において、n 型キャリア濃度以下であることが望ましい。

【 0 0 1 4 】

ここで、第 2 の態様において、前記 p 型不純物がアルミニウムであることが望ましい。

【 0 0 1 5 】

ここで、第 2 の態様において、前記第 1 の金属層が、チタン、タングステン、モリブデン、ニッケルまたはチタンシリサイドからなる群より選ばれる 1 つの金属で形成されるこ

50

とが望ましい。

【0016】

ここで、第2の態様において、前記半導体装置が、接合障壁ショットキーダイオードまたはp-i-n/ショットキー混合ダイオードであることが望ましい。

【0017】

本発明の第3の態様の半導体装置は、n型炭化珪素半導体基板上に設けられたn型エピタキシャル炭化珪素半導体層と、前記n型エピタキシャル炭化珪素半導体層表面の一部に形成されるp型不純物領域と、前記n型エピタキシャル炭化珪素半導体層上に形成され、前記n型エピタキシャル炭化珪素半導体層との間にショットキー障壁を形成する第1の金属層と、前記第1の金属層上に形成されるアルミニウムを含有する第2の金属層とを有し、前記p型不純物領域上以外の領域の前記第1の金属層と、前記第2の金属層との間にバリアメタル層が形成されていることを特徴とする。

10

【0018】

ここで、第3の態様において、前記n型エピタキシャル炭化珪素半導体層と前記第1の金属層との界面のアルミニウム濃度が、前記p型不純物領域以外の領域において、n型キャリア濃度以下であることが望ましい。

【0019】

ここで、第3の態様において、前記p型不純物がアルミニウムであることが望ましい。

【0020】

ここで、第3の態様において、前記第1の金属層が、チタン、タングステン、モリブデン、ニッケルまたはチタンシリサイドからなる群より選ばれる1つの金属で形成されることが望ましい。

20

【0021】

ここで、第3の態様において、前記半導体装置が、接合障壁ショットキーダイオードまたはp-i-n/ショットキー混合ダイオードであることが望ましい。

【発明の効果】

【0022】

本発明によれば、p-i-n接合とショットキー接合を備えるダイオードを有する炭化珪素パワー半導体装置において、逆方向漏れ電流を抑制した上で、素子のオン抵抗を低減する半導体装置の製造方法および半導体装置を提供することが可能となる。

30

【発明を実施するための最良の形態】

【0023】

一般に、n型炭化珪素半導体上に形成するショットキー電極材料としてチタンやタングステンあるいはモリブデンなどが用いられている。また、アノード電極としてワイヤーボンディング等によってパッケージにマウントする際には、ショットキー電極材の表面がパッド電極材料としてのアルミニウムで覆われていることが望ましい。

【0024】

発明者らは、ショットキー電極材の厚みが薄い場合には、しばしば逆方向特性において漏れ電流が大きくなる現象を見だし、原因追求のための調査を行ってきた。その結果、ショットキー電極材の厚みが薄い場合にはアルミニウムがショットキー電極材を通して炭化珪素半導体表面まで拡散してくる様子が断面走査型電子顕微鏡観察によって明らかになった。この時、炭化珪素半導体側はn型であり、ショットキー障壁高さが低くなるために逆方向特性において漏れ電流が増えるのであろうと解釈できる。一方で、オーミック接触という観点からは、低接触抵抗のオーミック的接触特性を示す接合が得られているようにデータを解釈することができた。

40

【0025】

したがって、ダイオードの逆方向特性を劣化させないためには、ショットキー電極材はむしろ厚くしてアルミニウムが拡散してきても炭化珪素半導体表面に達しないようにすることと、特にp-i-n/ショットキー混合構造ではp型炭化珪素半導体部分との低い接触抵抗を両立させるためには、p型炭化珪素半導体部分の上に形成されるショットキー電

50

極材の部分だけ膜厚を薄くするなどして、拡散によってアルミニウムを界面に到達させれば良いことが分かった。

【 0 0 2 6 】

本発明は、発明者らが見出した上記知見をもとに完成されたものである。以下、本発明の実施の形態の半導体装置の製造方法および半導体装置について、図面を参照しつつ説明する。

【 0 0 2 7 】

(第1の実施の形態)

本実施の形態の半導体装置の製造方法は、n型炭化珪素半導体基板上に設けられたn型エピタキシャル炭化珪素半導体層表面の一部領域にp型不純物をイオン注入し、p型不純物領域を形成する工程と、p型不純物領域を含むn型エピタキシャル炭化珪素半導体層表面に、p型不純物領域以外のn型エピタキシャル炭化珪素半導体層との間にショットキー障壁を形成する第1の金属層を堆積する工程と、第1の金属層上にアルミニウムを含有する第2の金属層を堆積する工程と、第2の金属層を堆積する工程の後に熱処理する工程とを有する。そして、この熱処理により第2の金属層に含有されるアルミニウムを選択的にp型不純物領域に拡散させる。

10

【 0 0 2 8 】

図1～図9は、本実施の形態の半導体装置の製造方法を示す工程断面図である。ここでは、半導体装置として、耐圧3300V級p-i-n/ショットキー混合接合ダイオードを例に説明する。

20

【 0 0 2 9 】

まず、図2に示すように、4H-炭化珪素の(0001)面n型基板11の主表面上には基板11よりも低い窒素濃度のn型エピタキシャル炭化珪素半導体層(以下、単にn型エピタキシャル層とも称する)12が形成されている。そして、このn型エピタキシャル層12の表層部の一部に、p型イオン注入領域(ベース領域)13が形成されている。このp型イオン注入領域(ベース領域)13はp型不純物であるアルミニウムの多段イオン注入によって形成する。不純物濃度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上の濃度とする。

【 0 0 3 0 】

また、p型イオン注入領域13の外周部の上方には、 SiO_2 14をパターン形成する。その後、 SiO_2 14とp型イオン注入領域13を含むn型エピタキシャル層12とが覆われるように全面にチタン15aを、例えばスパッタ法により堆積して形成する。

30

【 0 0 3 1 】

次に、図3に示すように、ショットキー電極材として採用したチタン15aの上にフォトレジスト24を塗布する。そして、プリベイクを施した後にフォトマスクを用いて露光し、現像した後にポストベイクを行う。ここで、p型イオン注入領域13は、微細なパターンが必要となる。このため、マスク合わせ精度の問題から、プロセスマージンが厳しい。したがって、フォトレジスト24は、p型イオン注入領域13の無い部分を完全に覆わせるために、p型イオン注入領域13にはみ出すように設計される。

【 0 0 3 2 】

次に、図4に示すように、このようにして形成したパターン化されたフォトレジスト24をマスク材に用いて、ウエットエッチングによりフォトレジストのない部分のチタン15aを選択的にエッチング除去する。図5は、図4の点線枠部の拡大模式図である。図に示すように、チタン15aのサイドエッチングは起こっているが、フォトマスクレジスト24の真下にはチタン15aが残る。

40

【 0 0 3 3 】

そして、図6に示すように、上記プロセスで、チタン15aをショットキー電極面に残るようにした後、フォトレジスト24を除去する。

【 0 0 3 4 】

次に、図7に示すように、チタン15a上にチタン15bを積み増す。

【 0 0 3 5 】

50

その後、図 8 に示すように、チタン 15 a、チタン 15 b の堆積により形成された、一部が積層構造のチタン 15 上に、アルミニウム 17 を堆積する。図 9 は、図 8 の点線枠部の拡大模式図である。

【 0 0 3 6 】

次に、図 10 に示すように、アルミニウム 17 の上にフォトレジスト 24 を塗布し、プリベイクを施した後にフォトマスクを用いて露光し、現像した後にポストベイクを行なう。このようにして形成したパターン化されたフォトレジスト 24 をマスク材に用いてフォトレジスト 24 のない部分のアルミニウム 17 を例えば酸処理によって除去する。次に、残ったアルミニウムをマスク材に用いて例えば反応性イオンエッチング装置によりその下地のチタン 15 のエッチングを行なってフィールドプレートを形成する。

10

【 0 0 3 7 】

その後、図 1 に示すように、アルミニウム 17 を拡散させる熱処理を例えば、300 ~ 350 の窒素雰囲気で行ない、チタン 15 中にアルミニウムが拡散したアルミニウム拡散チタン領域 15 c を形成する。なお、このアルミニウム 17 がアノード電極となるパッド電極であり、ここでは示さないが、公知の方法により n 型基板 11 側にもカソード電極が設けられことにより、耐圧 3300 V 級 p - i - n / ショットキー混合接合ダイオードが製造される。

【 0 0 3 8 】

なお、熱処理は、例えば、ポリイミドをキュアする熱処理と兼ねることも可能である。

【 0 0 3 9 】

本実施の形態の半導体装置の製造方法によれば、アルミニウムが p 型イオン注入領域 13 と、チタン 15 の界面に拡散することにより、p 型イオン注入領域 13 でのコンタクト抵抗が低減される。したがって、p - i - n / ショットキー混合接合ダイオードのオン抵抗が低減される。

20

【 0 0 4 0 】

一方、p 型イオン注入領域 13 以外の n 型エピタキシャル層 12 とチタン 15 の界面へのアルミニウムの拡散は抑制される。そして、この界面のアルミニウム濃度が、n 型キャリア濃度以下となる。したがって、ショットキー障壁高さも変化無く、逆方向の漏れ電流の増加や、オン電圧の変化も生じない。

【 0 0 4 1 】

上記製造方法により素子を試作した結果、このようにアルミニウム 17 そのものが炭化珪素エピタキシャル層表面 12 に接触していなくとも、アルミニウムの拡散したアルミニウム拡散チタン領域 15 c として接触していれば良く、これによって p 型イオン注入領域 13 とショットキー電極材との間は問題なくオーム性接触が形成され、低オン抵抗の素子が得られることが素子特性測定及び断面顕微鏡観察による対応付けの結果分かった。

30

【 0 0 4 2 】

特にホール注入が起こらない低電圧の状態ではショットキーダイオードとしての動作をしており、ショットキー障壁高さも変化無く、立ち上がり電圧も通常のショットキー障壁ダイオードと比べて遜色ないオン電圧値を示した。バイポーラ動作が起こる電圧域では、本発明の構造を持たない従来型の同じ耐圧の素子との特性比較を行なった結果、オン抵抗で 15 % 程度の改善が確認できた。

40

【 0 0 4 3 】

図 1 に示す本実施の形態の半導体装置は、p 型イオン注入領域 13 上のチタン 15 の膜厚が、p 型イオン注入領域 13 上以外の領域上のチタン 15 の膜厚よりも薄くなっている。また、p 型イオン注入領域 13 以外の n 型エピタキシャル層 12 とチタン 15 の界面のアルミニウム濃度が、n 型キャリア濃度以下となっている。これによって、p 型イオン注入領域 13 以外の n 型エピタキシャル層 12 とチタン 15 との間に良好なショットキー接合が形成される。

【 0 0 4 4 】

この結果、逆方向漏れ電流を抑制した上で、素子のオン抵抗を低減する半導体装置が実

50

現される。

【0045】

なお、ここでは、ショットキー電極材としてチタンを例に説明したが、タングステン、モリブデン、ニッケルまたはチタンシリサイド等、n型エピタキシャル炭化珪素半導体層との間にショットキー障壁を形成する金属であれば、その他の金属を適用することも可能である。

【0046】

また、パッド電極となる材料についてはアルミニウム単体を例に説明したが、アルミニウムを含有する金属であれば、例えば、アルミニウムと銅の合金、アルミニウムと銅とシリコンの合金等、その他の金属を適用することも可能である。

10

【0047】

(第2の実施の形態)

本実施の形態の半導体装置およびの製造方法は、第1の実施の形態の半導体装置および製造方法を、接合障壁ショットキーダイオードに応用するものである。、第1の実施の形態の半導体装置との構造上の相違は、p型イオン注入領域13の濃度が、 $5 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$ 程度と第1の実施の形態と比較して低濃度になっている点にある。以下、第1の実施の形態と重複する内容については記載を省略する。

【0048】

本実施の形態の半導体装置の製造方法によれば、アルミニウムがp型イオン注入領域13と、チタン15の界面に拡散することにより、p型イオン注入領域13でのコンタクト抵抗が低減される。したがって、接合障壁ショットキーダイオードのオン抵抗が低減される。

20

【0049】

もちろんp型イオン注入領域をショットキー接合部に広い面積導入するということは、それだけ電流経路を狭めてしまい、抵抗の増大を招くことになりかねない。このため、p型イオン注入領域の無いn型エピタキシャル層の表面には予めカウンターイオン注入として窒素イオンを注入しておき、電流狭窄部の抵抗増大を打ち消すようにキャリア濃度を増やしておく対策を採ることが望ましい。

【0050】

上記製造方法と、窒素のカウンターイオン注入を行い、素子を作成した。この結果、従来の同じ耐圧の素子に比べて逆方向漏れ電流は175程度の高温においても問題とならないほどの小さな値に押さえ込むことが出来た。また、順方向特性としての立ち上がり電圧はショットキーダイオード並みに低く、またオン抵抗はp-i-nダイオード並みに低くできるという両立を果たすことが可能になった。

30

【0051】

また、本実施の形態の半導体装置は、p型イオン注入領域の濃度以外は、第1の実施の形態の図1と同様の構造を有する。p型イオン注入領域13上のチタン15の膜厚が、p型イオン注入領域13上以外の領域上のチタン15の膜厚よりも薄くなっている。また、p型イオン注入領域13以外のn型エピタキシャル層12とチタン15の界面のアルミニウム濃度が、n型キャリア濃度以下となっている。

40

【0052】

この結果、逆方向漏れ電流を抑制した上で、素子のオン抵抗を低減する半導体装置が実現されることは第1の実施の形態と同様である。

【0053】

なお、ここでも、ショットキー電極材としてチタンを例に取って説明してきたが、別の金属材料であるタングステンやモリブデンなどを適用可能であることは第1の実施の形態と同様である。もっとも、それぞれの金属でショットキー障壁高さが変化するため、p型イオン注入領域同士の間隔など設計事項を調整する必要はあるが、同様の効果を得るためにチタンが必須というわけではない。

【0054】

50

(第3の実施の形態)

本実施の形態の半導体装置および製造方法は、ショットキー端部だけにサージ対策の目的でp型イオン注入領域を設ける構造を有するショットキーダイオードおよびその製造方法である。

【0055】

図11に、本実施の形態の半導体装置の断面図を示す。図1に示した第1の実施の形態との構造上の違いは、ショットキー端部だけにp型イオン注入領域13が設けられている点にある。したがって、第1の実施の形態と重複する内容については記載を省略する。

【0056】

本実施の形態のショットキーダイオードによれば、ショットキー端部のp型イオン注入領域13により、サージ対策効果を有する。そして、p型イオン注入領域13とチタン15との間の界面抵抗が低減されることにより、素子のオン抵抗を低減することが可能となる。

【0057】

(第4の実施の形態)

本実施の形態の半導体装置の製造方法および半導体装置は、ショットキー電極材と、パッド電極材との間にバリアメタル層を設けることにより、パッド電極材からのアルミニウムの拡散を制御することを特徴とする。以下、プロセスや材料の選択等、第1、第2の実施の形態と重複する内容については記載を省略する。

【0058】

図12～図15は、本実施の形態の半導体装置の製造方法を示す工程断面図である。ここでは、半導体装置として、第2の実施の形態同様、接合障壁ショットキーダイオードを例に説明する。

【0059】

まず、図12に示すように、ショットキー接合部に多数のp型イオン注入領域13を形成し、その後にチタン15をショットキー電極として形成する。

【0060】

次に、図13に示すように、チタン15の上にバリアメタル層としてタンタルナイトライド16を形成する。なお、アルミニウムの拡散に対してバリアとなる金属であればタンタルナイトライド以外も適用することは可能である。次に、フォトレジストを塗布し、プリベイクを施した後にフォトマスクを用いて露光し、現像した後にポストベイクを行う。このようにして形成したパターン化されたフォトレジスト24は、p型イオン注入領域13の無い部分を完全に覆わせるためにp、型イオン注入領域13にはみ出すように設計される。

【0061】

次に、図14に示すように、このフォトレジスト24をマスクに、ウエットエッチングによりタンタルナイトライド16をエッチングする。そして、フォトマスクレジスト24を除去した後、パッド電極材となるアルミニウム17を形成する。その後、アルミニウム17、タンタルナイトライド16、チタン15をエッチングしてフィールドプレートを作製する(図示せず)。

【0062】

その後、図15に示すように、アルミニウムの拡散を起こさせる熱処理を行なう。これにより、チタン15中にアルミニウムが拡散したアルミニウム拡散チタン領域15cを形成する。このとき、バリアメタル層であるタンタルナイトライド16によりp型イオン注入領域13以外のn型エピタキシャル層12へのアルミニウムの拡散が抑制される。

【0063】

本実施の形態の半導体装置の製造方法によれば、アルミニウムがp型イオン注入領域13と、チタン15の界面に拡散することにより、p型イオン注入領域13でのコンタクト抵抗が低減される。したがって、接合障壁ショットキーダイオードのオン抵抗が低減される。

10

20

30

40

50

【 0 0 6 4 】

また、図 1 5 に示す本実施の形態の半導体装置は、p 型イオン注入領域 1 3 上以外の領域のチタン 1 5 と、アルミニウム 1 7 との間にタンタルナイトライド 1 6 が形成されている。また、p 型イオン注入領域 1 3 以外の n 型エピタキシャル層 1 2 とチタン 1 5 の界面のアルミニウム濃度が、n 型キャリア濃度以下となっている。

【 0 0 6 5 】

この結果、逆方向漏れ電流を抑制した上で、素子のオン抵抗を低減する半導体装置が実現されることは第 2 の実施の形態と同様である。

【 0 0 6 6 】

以上、具体例を参照しつつ本発明の実施の形態について説明した。上記、実施の形態はあくまで、例として挙げられているだけであり、本発明を限定するものではない。また、実施の形態の説明においては、半導体装置の製造方法、半導体装置等で、本発明の説明に直接必要としない部分等については記載を省略したが、必要とされる半導体装置の製造方法、半導体装置等に関わる要素を適宜選択して用いることができる。

【 0 0 6 7 】

その他、本発明の要素を具備し、当業者が適宜設計変更しうる全ての半導体装置の製造方法、半導体装置は本発明の範囲に包含される。本発明の範囲は、特許請求の範囲およびその均等物の範囲によって定義されるものである。

【 図面の簡単な説明 】

【 0 0 6 8 】

【 図 1 】 第 1 の実施の形態の半導体装置の製造方法を示す工程断面図である。

【 図 2 】 第 1 の実施の形態の半導体装置の製造方法を示す工程断面図である。

【 図 3 】 第 1 の実施の形態の半導体装置の製造方法を示す工程断面図である。

【 図 4 】 第 1 の実施の形態の半導体装置の製造方法を示す工程断面図である。

【 図 5 】 第 1 の実施の形態の半導体装置の製造方法を示す工程断面図である。

【 図 6 】 第 1 の実施の形態の半導体装置の製造方法を示す工程断面図である。

【 図 7 】 第 1 の実施の形態の半導体装置の製造方法を示す工程断面図である。

【 図 8 】 第 1 の実施の形態の半導体装置の製造方法を示す工程断面図である。

【 図 9 】 第 1 の実施の形態の半導体装置の製造方法を示す工程断面図である。

【 図 1 0 】 第 1 の実施の形態の半導体装置の製造方法を示す工程断面図である。

【 図 1 1 】 第 3 の実施の形態の半導体装置の断面図である。

【 図 1 2 】 第 4 の実施の形態の半導体装置の製造方法を示す工程断面図である。

【 図 1 3 】 第 4 の実施の形態の半導体装置の製造方法を示す工程断面図である。

【 図 1 4 】 第 4 の実施の形態の半導体装置の製造方法を示す工程断面図である。

【 図 1 5 】 第 4 の実施の形態の半導体装置の製造方法を示す工程断面図である。

【 符号の説明 】

【 0 0 6 9 】

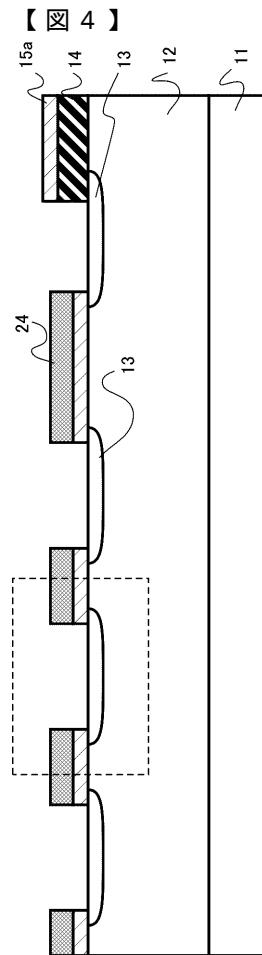
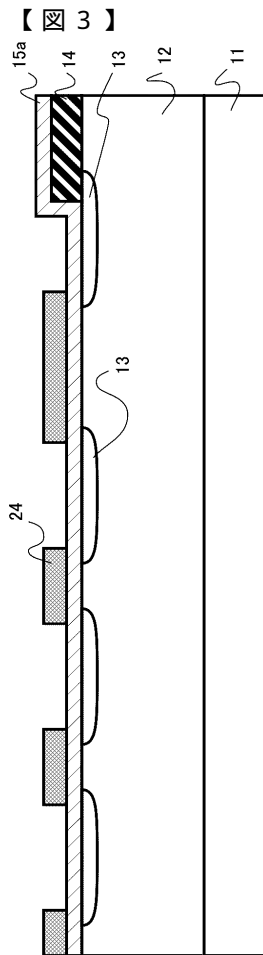
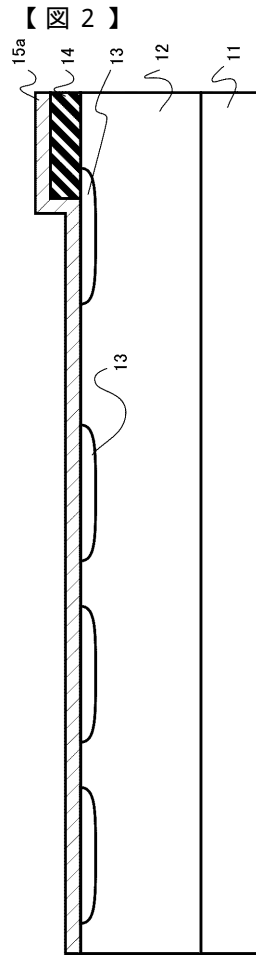
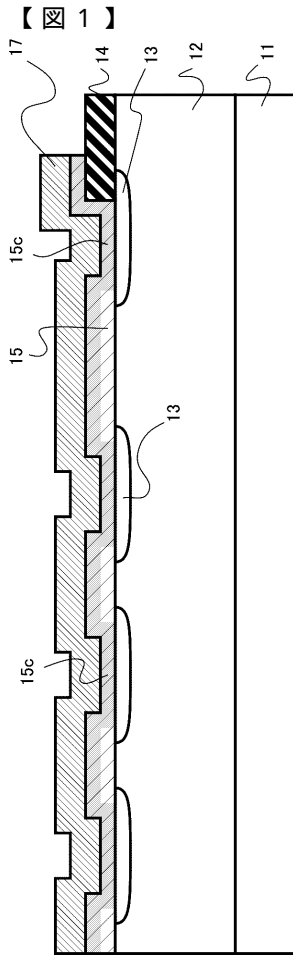
- | | | |
|-----------------|---------------------|--|
| 1 1 | n 型基板 | |
| 1 2 | n 型エピタキシャル層 | |
| 1 3 | p 型イオン注入領域 | |
| 1 4 | $S i O_2$ | |
| 1 5、1 5 a、1 5 b | ショットキー電極材 (チタン) | |
| 1 5 c | アルミニウム拡散チタン領域 | |
| 1 6 | バリアメタル (タンタルナイトライド) | |
| 1 7 | パッド電極材 (アルミニウム) | |
| 2 4 | フォトレジスト | |

10

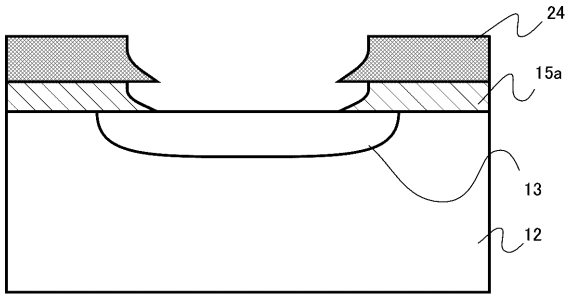
20

30

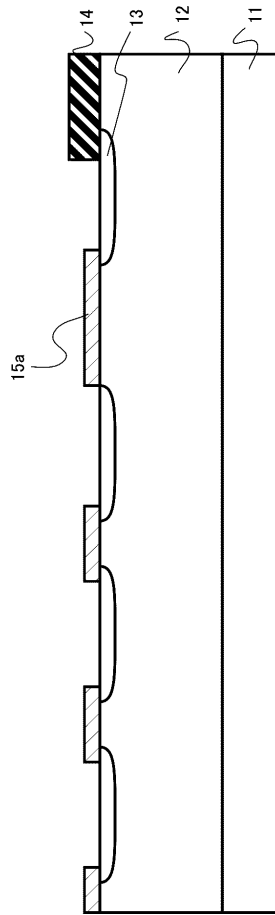
40



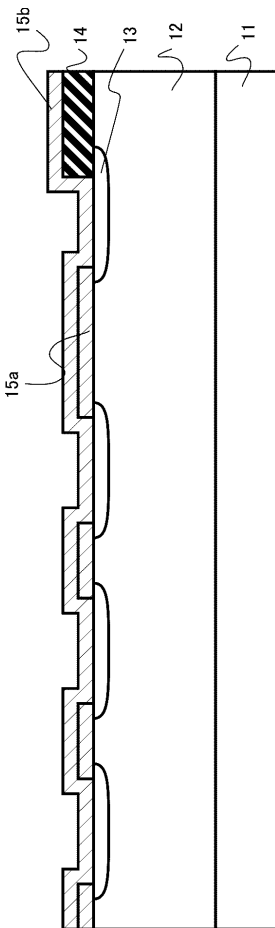
【図 5】



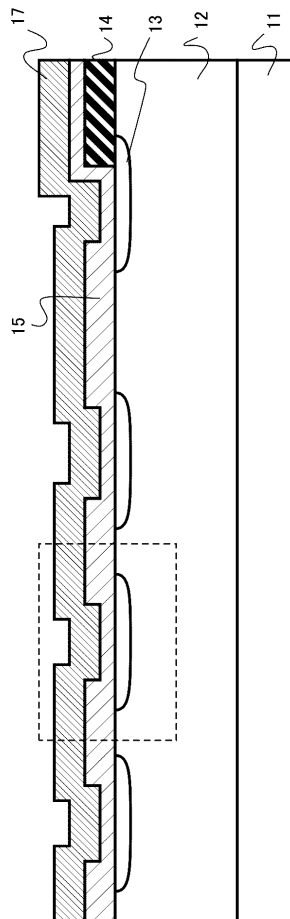
【図 6】



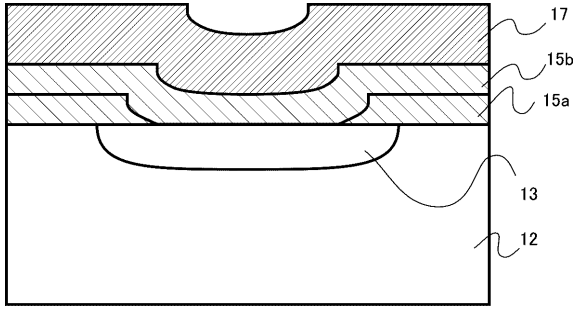
【図 7】



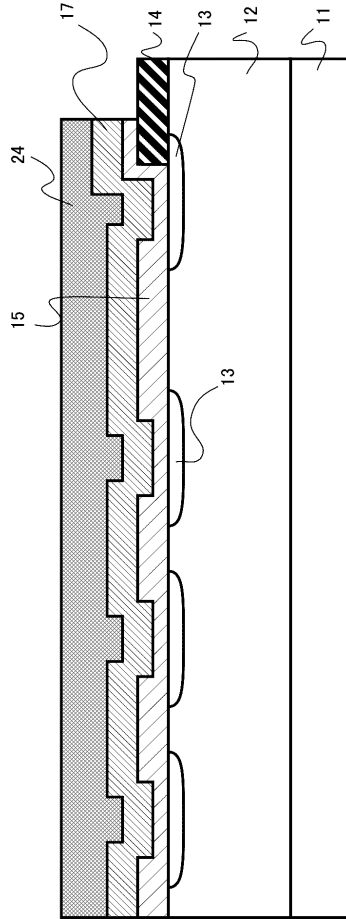
【図 8】



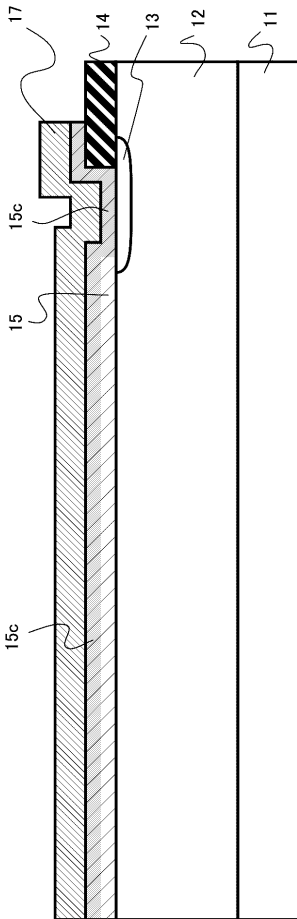
【図 9】



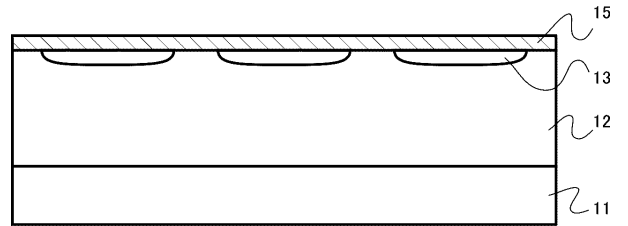
【図 10】



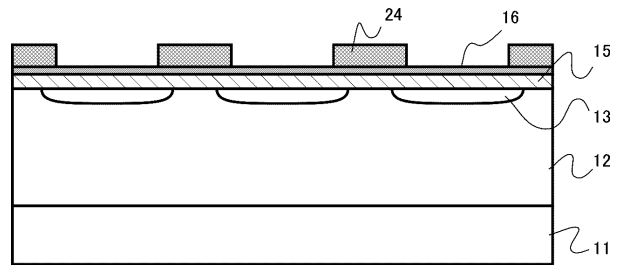
【図 11】



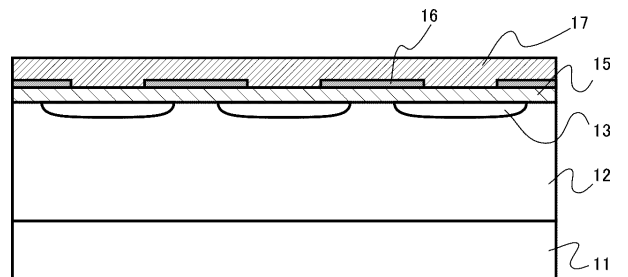
【図 12】



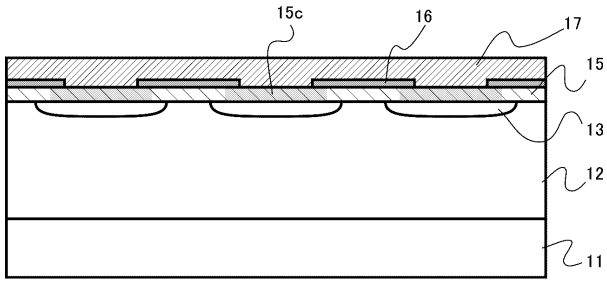
【図 13】



【図 14】



【図 15】



フロントページの続き

(72)発明者 四戸 孝
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 河合 俊英

(56)参考文献 特開2003-258271(JP,A)
特開平07-086621(JP,A)
特開平04-239176(JP,A)
特開2006-237393(JP,A)
特表2008-541459(JP,A)
国際公開第2006/122252(WO,A1)

(58)調査した分野(Int.Cl., DB名)
H01L 29/47
H01L 29/872