【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第２区分
【発行日】平成18年9月21日(2006.9.21)

【公開番号】特開2000-148044(P2000-148044A)
【公開日】平成12年5月26日(2000.5.26)
【出願番号】特願平11-235770
【国際特許分類】
Ｇ０９Ｆ　9/30　(2006.01)
Ｇ０２Ｆ　1/133　(2006.01)
Ｇ０２Ｆ　1/1368　(2006.01)
Ｈ０１Ｌ　27/04　(2006.01)
Ｈ０１Ｌ　21/822　(2006.01)
Ｈ０１Ｌ　29/786　(2006.01)
【ＦＩ】
Ｇ０９Ｆ　9/30　３４７Ｂ
Ｇ０９Ｆ　9/30　３３８
Ｇ０２Ｆ　1/133　５５０
Ｇ０２Ｆ　1/1368
Ｈ０１Ｌ　27/04　Ｈ
Ｈ０１Ｌ　27/04　Ｃ
Ｈ０１Ｌ　29/78　６１２Ｃ

【手続補正書】
【提出日】平成18年8月8日(2006.8.8)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】　基板上に複数の薄膜トランジスタと複数のコンデンサを配置してなる半導体装置において、
前記複数のコンデンサの第１の電極は前記複数の薄膜トランジスタのソースまたはドレインの一方に接続されており、前記複数のコンデンサの第２の電極は共通電極バイアスラインと接続されており、前記複数の薄膜トランジスタのゲート電極は複数のゲートラインに接続されており、前記複数の薄膜トランジスタのソースまたはドレインの他方は複数の転送ラインに接続されており、前記共通電極バイアスラインと前記ゲートラインとが第１の抵抗により電気的に接続され、前記複数のゲートライン同士が第２の抵抗により接続され、前記共通電極バイアスラインと前記転送ラインとが第３の抵抗により電気的に接続され、前記複数の転送ライン同士が第４の抵抗により接続されている半導体装置。
【請求項２】　前記共通電極バイアスラインと前記ゲートラインとが前記第１の抵抗としての半導体層により接続されており、前記共通電極バイアスラインと前記転送ラインとが前記第３の抵抗としての半導体層により接続されている請求項１に記載の半導体装置。
【請求項３】　前記第１及び第３の抵抗としての半導体層により接続された前記共通電極バイアスラインと前記複数のゲートラインと前記複数の転送ラインとが、前記第１及び第２の抵抗としての半導体層で基板をスライスすることにより電気的に分離されてなる請求項２に記載の半導体装置。
【請求項４】　前記第１及び第３の抵抗としての半導体層により接続された前記

共通電極バイアスラインと前記複数のゲートラインと前記複数の転送ラインのうち、前記第２の抵抗としての半導体層でパネルをスライスすることにより前記複数の転送ラインが前記共通電極バイアスラインと電気的に分離されてなる請求項２に記載の半導体装置。

【請求項５】　前記複数のゲートライン間の前記第２の抵抗として半導体層が設けられ、該半導体層による接続抵抗の値をＲｓ、前記薄膜トランジスタのオン電圧をＶgh、前記薄膜トランジスタのオフ電圧をＶgl、前記薄膜トランジスタのスレッショルド電圧をＶth、前記ゲートラインに電圧を印加する電圧印加手段と前記ゲートラインとの間の抵抗の値及び前記共通電極バイアスラインに電圧を印加する電圧印加手段と前記共通電極バイアスラインとの間の抵抗の値をＲｏとすると、前記接続抵抗Ｒｓが、

Ｒｓ＞（Ｖgl＋Ｖgh－２Ｖth）Ｒｏ／（Ｖth－Ｖgl）

を満たす抵抗値からなる請求項１に記載の半導体装置。

【請求項６】　前記共通電極バイアスラインと前記ゲートラインとの間の前記第１の抵抗としての半導体層による抵抗値Ｒvs-gが、

Ｒvs-g＞Ｒｓ、かつ、Ｒvs-g＞１００Ｒｏ

を満たす請求項５に記載の半導体装置。

【請求項７】　前記共通電極バイアスラインを２系統以上で駆動させる場合、各系統間に半導体層が設けられ、該半導体層による抵抗値Ｒvs-vsが、

Ｒvs-vs＞１００Ｒｏ

を満たす請求項５に記載の半導体装置。

【請求項８】　前記共通電極バイアスラインと前記複数のゲートラインと前記複数の転送ラインとが、前記第１及び第３の抵抗としての半導体層と、前記複数の薄膜トランジスタと前記複数のコンデンサとが形成されている領域の外周部に配置された配線とにより接続されている請求項１に記載の半導体装置。

【請求項９】　前記第１及び第３の抵抗としての半導体層と前記配線により接続された前記共通電極バイアスラインと前記複数のゲートラインと前記複数の転送ラインとが、前記第１及び第２の抵抗としての半導体層で基板をスライスすることにより電気的に分離されてなる請求項８に記載の半導体装置。

【請求項１０】　前記第１及び第３の抵抗としての半導体層と前記配線により接続された前記共通電極バイアスラインと前記複数のゲートラインと前記複数の転送ラインのうち、前記第３の抵抗としての半導体層で基板をスライスすることにより、前記複数の転送ラインが前記共通バイアスラインから電気的に分離されてなる請求項８に記載の半導体装置。

【請求項１１】　前記複数のゲートライン間の前記第２の抵抗として半導体層が設けられ、該半導体層による接続抵抗の値をＲｓ、前記薄膜トランジスタのオン電圧をＶgh、前記薄膜トランジスタのオフ電圧をＶgl、前記薄膜トランジスタのスレッショルド電圧をＶth、前記ゲートラインに電圧を印加する電圧印加手段と前記ゲートラインとの間の抵抗の値及び前記共通電極バイアスラインに電圧を印加する電圧印加手段と前記共通バイアス電極ラインとの間の抵抗の値をＲｏとすると、前記接続抵抗が、

Ｒｓ＞（Ｖgl＋Ｖgh－２Ｖth）Ｒｏ／（Ｖth－Ｖgl）

を満たす抵抗値からなる請求項８に記載の半導体装置。

【請求項１２】　前記共通電極バイアスラインと前記ゲートラインとの間の前記第１の抵抗としての半導体層による抵抗値Ｒvs-gが、

Ｒvs-g＞Ｒｓ、かつ、Ｒvs-g＞１００Ｒｏ

を満たす請求項１１に記載の半導体装置。

【請求項１３】　前記共通電極バイアスラインを２系統以上で駆動させる場合、各系統間に半導体層が設けられ、該半導体層による抵抗値Ｒvs-vsが、

Ｒvs-vs＞１００Ｒｏ

を満たす請求項１１に記載の半導体装置。

【請求項１４】　基板上に複数の薄膜トランジスタと複数のコンデンサを配置してなる半導体装置において、

前記複数のコンデンサの第１の電極は前記複数の薄膜トランジスタのソースまたはドレインの一方に接続されており、前記複数のコンデンサの第２の電極は共通電極バイアスラインと接続されており、前記共通電極バイアスラインは共通電極ドライバから複数の配線を通じてバイアスを印加しており、前記複数の薄膜トランジスタのゲート電極は複数のゲートラインに接続されており、前記複数の薄膜トランジスタのソースまたはドレインの他方は複数の転送ラインに接続されており、前記共通電極バイアスラインと前記ゲートラインが第1の抵抗により電気的に接続され、前記複数のゲートライン同士が第２の抵抗により接続されている半導体装置。

【請求項１５】　前記共通電極バイアスラインと前記ゲートラインが前記抵抗としての半導体層により接続されている請求項１４記載の半導体装置。

【請求項１６】　前記複数のゲートライン間の前記第２の抵抗として半導体層が設けられ、該半導体層による接続抵抗の値をＲｓ、前記薄膜トランジスタのオン電圧をＶgh、前記薄膜トランジスタのオフ電圧をＶgl、前記薄膜トランジスタのスレッショルド電圧をＶth、前記ゲートラインに電圧を印加する電圧印加手段と前記ゲートラインとの間の抵抗の値及び前記共通電極バイアスラインに電圧を印加する電圧印加手段と前記共通電極バイアスラインとの間の抵抗の値をＲｏとすると、前記接続抵抗Ｒｓが、

Ｒｓ＞（Ｖgl＋Ｖgh－２Ｖth）Ｒｏ／（Ｖth－Ｖgl）

を満たす抵抗値からなる請求項１４に記載の半導体装置。

【請求項１７】　前記共通電極バイアスラインと前記ゲートラインとの間の前記第１の抵抗としての半導体層による抵抗値Ｒvs-gが、

Ｒvs-g＞Ｒｓ、かつ、Ｒvs-g＞１００Ｒｏ

を満たす請求項１６に記載の半導体装置。

【請求項１８】　前記共通電極バイアスラインを２系統以上で駆動させる場合、各系統間に半導体層が設けられ、該半導体層による抵抗値Ｒvs-vsが、

Ｒvs-vs＞１００Ｒｏ

を満たす請求項１６に記載の半導体装置。

【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００１０
【補正方法】変更
【補正の内容】
【００１０】
【課題を解決するための手段】

本発明の半導体装置は、基板上に複数の薄膜トランジスタと複数のコンデンサを配置してなる半導体装置において、前記複数のコンデンサの第１の電極は前記複数の薄膜トランジスタのソースまたはドレインの一方に接続されており、前記複数のコンデンサの第２の電極は共通電極バイアスライン(Vs line)と接続されており、前記複数の薄膜トランジスタのゲート電極は複数のゲートライン(Vg line)に接続されており、前記複数の薄膜トランジスタのソースまたはドレインの他方は複数の転送ライン(Sig line)に接続されており、前記共通電極バイアスラインと前記ゲートラインとが第１の抵抗により電気的に接続され、前記複数のゲートライン同士が第２の抵抗により接続され、前記共通電極バイアスラインと前記転送ラインとが第３の抵抗により電気的に接続され、前記複数の転送ライン同士が第4の抵抗により接続されているものである。

【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００１１
【補正方法】変更
【補正の内容】
【００１１】

また本発明の半導体装置は、基板上に複数の薄膜トランジスタと複数のコンデンサを配

置してなる半導体装置において、前記複数のコンデンサの第１の電極は前記複数の薄膜トランジスタのソースまたはドレインの一方に接続されており、前記複数のコンデンサの第２の電極は共通電極バイアスライン(Vs line)と接続されており、前記共通電極バイアスラインは共通電極ドライバから複数の配線を通じてバイアスを印加しており、前記複数の薄膜トランジスタのゲート電極は複数のゲートライン(Vg line)に接続されており、前記複数の薄膜トランジスタのソースまたはドレインの他方は複数の転送ラインに接続されており、前記共通電極バイアスラインと前記複数のゲートラインが第１の抵抗により電気的に接続され、前記複数のゲートライン同士が第２の抵抗により接続されているものである。

【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００１２
【補正方法】削除
【補正の内容】