



(12) 发明专利

(10) 授权公告号 CN 113688083 B

(45) 授权公告日 2024.05.17

(21) 申请号 202110820819.2

(22) 申请日 2021.07.20

(65) 同一申请的已公布的文献号
申请公布号 CN 113688083 A

(43) 申请公布日 2021.11.23

(73) 专利权人 天津津航计算技术研究所
地址 300000 天津市滨海新区空港经济区
保税路357号

(72) 发明人 何全 付彦淇 周津

(74) 专利代理机构 中国航天科技专利中心
11009

专利代理师 张晓飞

(51) Int. Cl.

G06F 13/42 (2006.01)

(56) 对比文件

CN 101179372 A, 2008.05.14

JP H09162855 A, 1997.06.20

US 4744081 A, 1988.05.10

US 5757869 A, 1998.05.26

US 6104770 A, 2000.08.15

US 6163423 A, 2000.12.19

高妍 等. 高速传输系统帧同步模块设计及
FPGA实现.《军事通信技术》.2016, 77-80.

刘建农. 一种高效的自适应帧同步方法.《科
技创新导报》.2010, 32.

审查员 庞双德

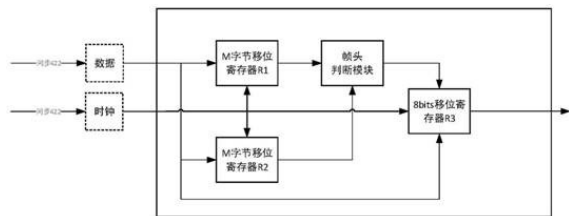
权利要求书1页 说明书4页 附图1页

(54) 发明名称

一种基于同步422接口的数据帧头识别系统
及方法

(57) 摘要

一种基于同步422接口的数据帧头识别系统
及方法, 步骤如下: 1) N+M字节移位寄存器采样同
步422数据线输入的数据并保存; 2) 在每个同步
422输入时钟周期, M字节尾寄存器截取N+M字
节移位寄存器的第N+1~N+M共M字节数据; 3) 判断
M字节首寄存器和M字节尾寄存器的值是否同时
为帧头数据, 若同时为帧头数据则判断出帧头,
否则未识别出帧头; 4) 若识别出帧头, 则将N+M
字节移位寄存器转为8bits并行数据后输出; 若未
识别出帧头, 则重复步骤1)~4); 5) 8bits寄存
器R3采样输入数据, 转为8bits并行数据后输出;
6) 将N+M字节移位寄存器数据全部转换为8bits
并行数据并输出后, 再接收缓存的8bits并行数
据并输出。



1. 一种基于同步422接口的数据帧头识别系统,其特征在于:包括N+M字节移位寄存器、M字节首寄存器、M字节尾寄存器、8bits移位寄存器、帧头判断模块、数据缓存模块和数据处理模块;其中N、M为正整数;所述N为一个数据帧包括的字节数,M为帧头的字节数,N-M为一个数据帧包括的数据的字节数;

N+M字节移位寄存器以同步422输入时钟作为采样时钟,采样同步422数据线输入的数据并保存;M字节首寄存器截取N+M字节移位寄存器的第1~M字节数据;M字节尾寄存器截取N+M字节移位寄存器的第N+1~N+M共M字节数据;在每个同步422输入时钟周期,帧头判断模块判断M字节首寄存器和M字节尾寄存器的值是否同时为帧头数据,若同时为帧头数据则判断出帧头,将N+M字节移位寄存器转为8bits并行数据后输出给数据处理模块;若未同时为帧头数据则判断未识别出帧头,则继续以同步422输入时钟作为采样时钟采样同步422数据线输入的数据,进行下一时钟周期的帧头判断;8bits移位寄存器采样同步422数据线输入的数据,转为8bits并行数据后输出给数据缓存模块;数据处理模块将N+M字节移位寄存器数据全部转换为8bits并行数据并输出,再接收数据缓存模块缓存的8bits并行数据后,一并输出。

2. 根据权利要求1所述的一种基于同步422接口的数据帧头识别系统,其特征在于:所述 $M < N$ 。

3. 根据权利要求1所述的一种基于同步422接口的数据帧头识别系统,其特征在于:所述识别系统用于提高同步422数据帧头识别正确率和效率。

4. 一种基于同步422接口的数据帧头识别方法,其特征在于步骤如下:

1) N+M字节移位寄存器以同步422输入时钟作为采样时钟采样同步422数据线输入的数据并保存;所述N为一个数据帧包括的字节数,M为帧头的字节数,N-M为一个数据帧包括的数据的字节数;

2) 在每个同步422输入时钟周期,M字节首寄存器截取N+M字节移位寄存器的第1~M字节数据;M字节尾寄存器截取N+M字节移位寄存器的第N+1~N+M共M字节数据;

3) 帧头判断模块判断M字节首寄存器和M字节尾寄存器的值是否同时为帧头数据,若同时为帧头数据则判断出帧头,否则未识别出帧头;

4) 若帧头判断模块识别出帧头,则将N+M字节移位寄存器转为8bits并行数据后输出给数据处理模块;若未识别出帧头,则重复步骤1)~4);

5) 8bits移位寄存器R3采样输入数据,转为8bits并行数据后输出给数据缓存模块;

6) 数据处理模块将N+M字节移位寄存器数据全部转换为8bits并行数据并输出后,再接收数据缓存模块缓存的8bits并行数据并输出。

5. 一种存储介质,其特征在于:用于存储帧头识别程序;所述帧头识别程序在执行时实现权利要求4中步骤1)-6)所述的步骤。

一种基于同步422接口的数据帧头识别系统及方法

技术领域

[0001] 本发明属于数据传输类。通过一种同步422数据帧头识别系统,实现传输数据的数据帧头识别以及数据缓存。

背景技术

[0002] 同步422标准是RS-232的改进型,全称是“平衡电压数字接口电路的电器特性”。它使用两根线之间的电压差来代表逻辑电平,通常称之为双绞线。它是一种平衡传输,任何噪声或干扰都会同时影响两根双绞线中的每一根,但对而这之间的差异影响很小,这种现象称为共模抑制。所以同步422可以在更远的距离上以更快的速度传输数据,其抗干扰能力远强于RS-232、SPI等非平衡传输方式。其最大传输距离约1200m,最大传输速度可达10Mb/s。由于同步422标准只是规定了电压标准而无具体实现细节,通常数据传输采用的实现方式是:使用两根信号线,一根串行时钟线及一根串行数据线。数据发送方驱动这两根信号,数据接收方采样数据信号。具体实现为:数据发送方驱动时钟线,在每个时钟的上升沿,驱动数据线上1bit的数据有效并持续到时钟的下一个上升沿;数据接收方使用该时钟线作为采样时钟同步采样数据线,在每个时钟上升沿采样数据并保存下来。由于接收设备可能在发送设备工作一段时间后开始工作,接收设备收到的数据与发送设备发出的数据可能是非字节对齐的,所以需要通过协商的帧格式进行数据对齐之后,接收设备再根据帧格式进行数据保存进行后续处理。

[0003] 通常同步422协商的数据帧格式为:数据帧长为N字节(N为正整数,以下以1024字节数据为例),数据帧头为M字节(M为正整数, $M < N$,以下以2字节长帧头为例),间隔固定长度N-M字节插入一个固定长度M字节的帧头,即每个数据帧共N字节,包括一个M字节的帧头和N-M字节的数据。接收设备的数据帧头识别系统使用一个M字节的移位寄存器R1对同步422的数据进行移位操作,当移位寄存器匹配协商好的帧头K(例如:0xf628)时,完成协议帧对齐,之后按照每接收8bits数据进行字节对齐后保存数据。但这种实现方式有一个弊端,若发送设备发送的数据中,非帧头位置出现了帧头数据,而接收设备恰好在发送设备发送帧头结束后开始接收数据,在接收到这个非帧头位置的帧头数据(例如0xf628,二进制表示为0b1111011000101000)时会将其判断为帧头,例如非帧头数据出现了数据0x7b140(二进制表示为0b01111011000101000000),下划线的数据段匹配到了帧头数据0xf628,这样就出现误判帧头位置的问题,可能会导致后续数据处理的错误。对此问题,还有一种增强型识别方法,即增加一个M字节寄存器R2,用来存储N-M字节数据后的M字节数据,若此寄存器R2也匹配帧头,则完成协议帧对齐,否则重新开始移位寄存器R1对同步422的数据进行移位操作再做以上帧头判断,但这种识别方法会丢掉此前传输的N-M字节数据,若其中有真正的数据帧头,则造成了传输数据的浪费,而且增加了检测帧头的时间。

发明内容

[0004] 本发明解决的技术问题是:克服现有技术的不足,提供一种基于同步422接口的数

据帧头识别系统,在数据接收设备中采用一个 $N+M$ 字节(数据帧长+数据帧头长, N 、 M 为正整数且 $M<N$)的移位寄存器来接收保存同步422接口数据线上收到的数据,每当完成一个1bit数据接收后,同时判断 $N+M$ 字节移位寄存器的第一个 M 字节和最后一个 M 字节是否同时为帧头数据,若同时等于帧头数据,则以此位置作为第一帧 N 字节数据位置,完成帧格式对齐,后续数据按照每8bits数据组成1字节数据进行接收缓存;若不同时等于帧头数据, $N+M$ 字节寄存器继续进行1bit的移位接收操作再做以上帧头判断过程。能够提高数据帧识别的正确率以及识别效率。

[0005] 本发明的技术方案是:一种基于同步422接口的数据帧头识别系统,包括 $N+M$ 字节移位寄存器、 M 字节首寄存器、 M 字节尾寄存器、8bit移位寄存器、帧头判断模块、数据缓存模块和数据处理模块;其中 N 、 M 为正整数且 $M<N$;

[0006] $N+M$ 字节移位寄存器以同步422输入时钟作为采样时钟,采样同步422数据线输入的数据并保存; M 字节首寄存器截取 $N+M$ 字节移位寄存器的第1~ M 字节数据; M 字节尾寄存器截取 $N+M$ 字节移位寄存器的第 $N+1$ ~ $N+M$ 共 M 字节数据;在每个同步422输入时钟周期,帧头判断模块判断 M 字节首寄存器和 M 字节尾寄存器的值是否同时为帧头数据,若同时为帧头数据则判断出帧头,将 $N+M$ 字节移位寄存器转为8bits并行数据后输出给数据处理模块;若未同时为帧头数据则判断未识别出帧头,则继续以同步422输入时钟作为采样时钟采样同步422数据线输入的数据,进行下一时钟周期的帧头判断;8bits移位寄存器采样同步422数据线输入的数据,转为8bits并行数据后输出给数据缓存模块;数据处理模块将 $N+M$ 字节移位寄存器数据全部转换为8bits并行数据并输出,再接收数据缓存模块缓存的8bits并行数据后,一并输出。

[0007] 一种基于同步422接口的数据帧头识别方法,步骤如下:

[0008] 1) $N+M$ 字节移位寄存器以同步422输入时钟作为采样时钟采样同步422数据线输入的数据并保存;

[0009] 2) 在每个同步422输入时钟周期, M 字节首寄存器截取 $N+M$ 字节移位寄存器的第1~ M 字节数据; M 字节尾寄存器截取 $N+M$ 字节移位寄存器的第 $N+1$ ~ $N+M$ 共 M 字节数据;

[0010] 3) 帧头判断模块判断 M 字节首寄存器和 M 字节尾寄存器的值是否同时为帧头数据,若同时为帧头数据则判断出帧头,否则未识别出帧头;

[0011] 4) 若帧头判断模块识别出帧头,则将 $N+M$ 字节移位寄存器转为8bits并行数据后输出给数据处理模块;若未识别出帧头,则重复步骤1)~4);

[0012] 5) 8bits寄存器R3采样输入数据,转为8bits并行数据后输出给数据缓存模块;

[0013] 6) 数据处理模块将 $N+M$ 字节移位寄存器数据全部转换为8bits并行数据并输出后,再接收数据缓存模块缓存的8bits并行数据并输出。

[0014] 本发明与现有技术相比的优点在于:

[0015] 1、提高同步422数据帧头识别正确率和效率。现有技术手段通常采用同一时钟周期判断同步422数据段是否存在一个帧头数据,由于同步422的串行特性,该判据可能出现误判帧头。本发明采用 $N+M$ 字节移位寄存器,在同一时钟周期同时判断同步422数据段在两个特定间隔位置是否存在两个帧头数据,误判率大大降低,能够提高帧头识别正确率和效率;

[0016] 2、提高数据利用率。现有技术判据可能出现误判帧头,一旦发生误判出现数据帧

校验错误,就需要丢掉已存储数据再重新寻找帧头,丢掉的数据中可能有真正的帧头数据。本发明采用N+M字节移位寄存器保存数据,在同一时钟周期同时判断同步422数据段在两个特定间隔位置是否存在两个帧头数据,N+M字节数据一定能够覆盖到两个帧头,不会丢失有用数据,提高了数据利用率。

[0017] 3、本发明能够避免错误检测帧头位置的问题,而且不会产生传输数据的浪费,能够保证第一时间检测到帧头位置,效率更高。

附图说明

[0018] 图1为改进前的同步422数据帧头识别系统框图。

[0019] 图2为改进后的同步422数据帧头识别系统框图。

具体实施方式

[0020] 图1为改进前的同步422接口的数据帧头识别系统。

[0021] 改进前的系统:

[0022] M字节单bit移位寄存器R1以同步422输入时钟作为采样时钟采样保存输入的数据;

[0023] 当移位寄存器R1匹配帧头数据时,保存R1数据不动;

[0024] M字节移位寄存器R2以同步422输入时钟作为采样时钟采样步骤2之后的第N+1~N+M共M字节数据;

[0025] 帧头判断模块判断寄存器R1和寄存器R2的值是否同时为帧头数据,若同时为帧头数据则识别出帧头,否则未识别出帧头;

[0026] 若帧头判断模块识别出帧头,则8bits寄存器R3采样输入数据,转为8bits并行数据后输出;若未识别出帧头,则重复步骤1)~5)。

[0027] 图2为改进后的同步422接口的数据帧头识别系统。

[0028] 改进后的系统:

[0029] 包括N+M字节移位寄存器、M字节首寄存器、M字节尾寄存器、8bit移位寄存器、帧头判断模块、数据缓存模块和数据处理模块;其中N、M为正整数;

[0030] N+M字节移位寄存器以同步422输入时钟作为采样时钟,采样同步422数据线输入的数据并保存;M字节首寄存器截取N+M字节移位寄存器的第1~M字节数据;M字节尾寄存器截取N+M字节移位寄存器的第N+1~N+M共M字节数据;在每个同步422输入时钟周期,帧头判断模块判断M字节首寄存器和M字节尾寄存器的值是否同时为帧头数据,若同时为帧头数据则判断出帧头,将N+M字节移位寄存器转为8bits并行数据后输出给数据处理模块;若未同时为帧头数据则判断未识别出帧头,则继续以同步422输入时钟作为采样时钟采样同步422数据线输入的数据,进行下一时钟周期的帧头判断;8bits移位寄存器采样同步422数据线输入的数据,转为8bits并行数据后输出给数据缓存模块;数据处理模块将N+M字节移位寄存器数据全部转换为8bits并行数据并输出,再接收数据缓存模块缓存的8bits并行数据后,一并输出。

[0031] 改进后的识别方法:

[0032] 1)N+M字节移位寄存器以同步422输入时钟作为采样时钟采样同步422数据线输入

的数据并保存；

[0033] 2) 在每个同步422输入时钟周期，M字节首寄存器截取N+M字节移位寄存器的第1~M字节数据。M字节尾寄存器截取N+M字节移位寄存器的第N+1~N+M共M字节数据；

[0034] 3) 帧头判断模块判断M字节首寄存器和M字节尾寄存器的值是否同时为帧头数据，若同时为帧头数据则判断出帧头，否则未识别出帧头；

[0035] 4) 若帧头判断模块识别出帧头，则将N+M字节移位寄存器转为8bits并行数据后输出给数据处理模块；若未识别出帧头，则重复步骤1)~4)；

[0036] 5) 8bits寄存器R3采样输入数据，转为8bits并行数据后输出给数据缓存模块；

[0037] 6) 数据处理模块将N+M字节移位寄存器数据全部转换为8bits并行数据并输出后，再接收数据缓存模块缓存的8bits并行数据并输出。

[0038] 本发明未详细说明部分属本领域技术人员公知常识。

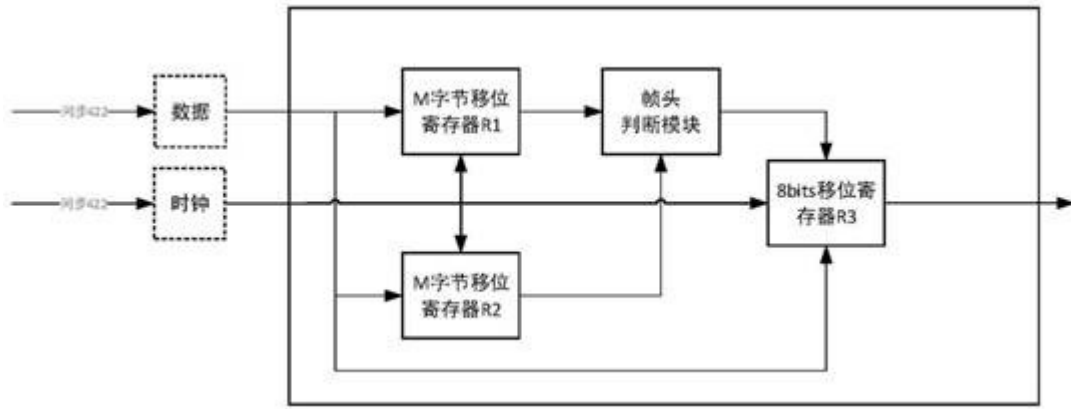


图1

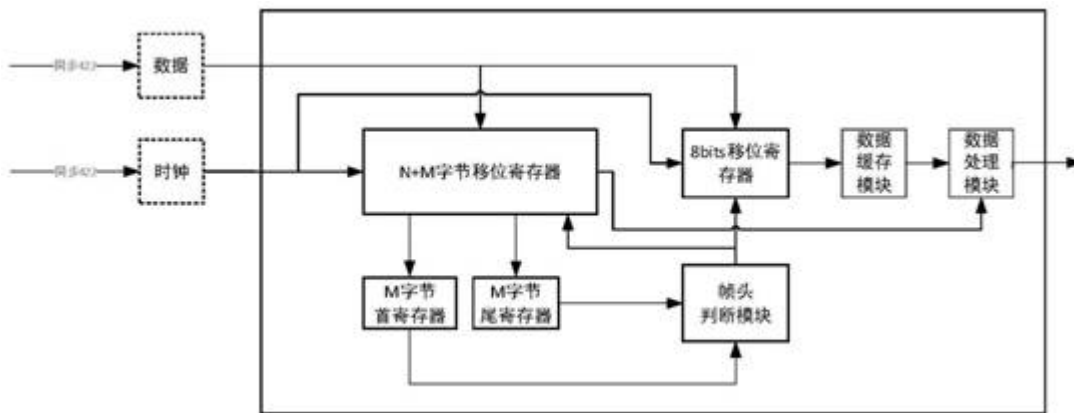


图2