

公告本

申請日期	87.01.26 87512
案 號	87101107
類 別	1403M/12

A4
C4

461190

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	類比至數位轉換之方法及裝置
	英 文	METHOD AND DEVICE FOR ANALOGUE TO DIGITAL CONVERSION
二、發明 人	姓 名	1. 譚年熊 2. 麥克革司塔唯森
	國 籍	1. 中華民國 2. 瑞典
	住、居所	1. 瑞典索倫圖納市洛姆瓦根路39號 2. 瑞典林口平市萊德斯瓦格路90A號
三、申請人	姓 名 (名稱)	瑞典商LM艾瑞克生電話公司
	國 籍	瑞典
	住、居所 (事務所)	瑞典斯德哥爾摩市S-12625
	代 表 人 姓 名	俄林. 比洛米 漢斯. 赫葛蘭

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
 瑞 典 1997年12月29日 9704895-3 ☐有 ☒無 主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

本發明係關於SC(交換電容)ADCs(類比至數位轉換器)，尤其是使用於寬頻通信應用者。

相關技藝之敘述

寬頻通訊應用中，需使用高SNDR(信號對雜訊及失真比)之高速類比-對-數位轉換器(ADCs,或AD轉換器)。

利用平行法，快速ADC可以由幾個多-相位時脈控制之慢速次-ADCs構成。"Time Interleaved Converter Arrays", Black et al., IEEE Journal of Solid State Circuits, Vol SC-15, No 6, pp 1022-29, December 1980, 揭示一使用平行或時間插入技術之高速加權電容ADC。

許多誤差源限制平行ADCs之效能。次-ADCs間之不同補償及不同增益會產生失真。另一個更麻煩的誤差源係引起誤差之平行通道間的取樣相位偏離。為了重組數位域的信號，兩連續次-ADCs間之取樣瞬間需等間隔。兩連續次-ADCs間之取樣瞬時距離之差謂之相位偏離。相位偏離之形成緣於取樣瞬時係由不同地方之不同時脈相位控制之事實。任何雜訊或不平衡之寄生造成相位偏離。

SNDR與相位偏離間之關係以於"Digital Spectra of Nonuniformly Sampled Signals: Fundamentals and High Speed Waveform Digitizers", IEEE T. Instrumentation and measurement, Vol 37, No 2, p 245-51, June 1998.中詳述。

"An 8-b 85-Ms/s Parallel Pipeline A/D Converter in 1

五、發明說明(2)

$\mu\text{m CMOS}$ ", Conroy et al., IEEE J. Solid State Circuits, Vol 28, No 4, pp 44754, April 1993, 揭示一於CMOS中具有量測估計約25ps時序不匹配的四通道ADC。其並不適用於要求高SNDR之高信號頻率的高頻通訊應用。

解決方法之一係於輸入端放置一追蹤保持放大器。由於在非常高頻時需要高-增益運算放大器驅動大電容負載，該法並不適用。

Yahagi等人之美國專利第5,247,301號揭示一使用共同類比輸入開關串聯第二類比開關之兩-步或次-快閃式ADC，以降低時序誤差。類比輸入開關與所有取樣-及-保持開關之控制訊號有相同之頻率，此與次-轉換器之數目無關。所有開關係於相同相位時打開(唯有共同開關之關閉導至其他開關之關閉)。由於開關之實行(例如MOS電晶體)，因此，共同開關係位於裝置之輸入，瞬時之啟動係為輸入電壓之函數。由於MOS開關電荷之重分佈，引入另一誤差源，即電壓注入誤差。信號-獨立部份，意即電荷注入引起補償電壓，可以以使用美國專利第5,247,301號之圖3, 4及5揭示之補償器補償至一定範圍。但是信號-相依電荷注入誤差仍需補償。任何ADC中信號-相依關閉瞬時及信號-相依電荷注入誤差引起之誤差非常大，且因此該裝置無法應用於任何高動態效能之ADC。

發明摘要

因此，本發明之目的係提供平行交換電容ADC中取樣相位偏離問題之解決方法。

五、發明說明 (3)

本發明進一步目標係提供具有被動取樣及主動保持之高速ADC以降低取樣相位偏離引起的失真的方法及裝置。

本發明之另一目標係提供方法及裝置用以在保持高動態效能時，改進使用任何型式次ADCs之高速平行ADC的時序特徵。

該目的係以具申請專利範圍獨立項中之特徵的裝置及方法達成。本發明之進一步特徵及改進係於申請專利範圍之附屬項中。

如本發明之一實施例，提供一使用任何型式次ADC之平行交換電容式ADC，其包括一以全域時脈相位控制之被動取樣技術以降低取樣相位偏離影響。全域時脈相位之頻率係比通道時脈相位高M倍。個別取樣-及-保持開關的通道時脈相位係偏離，使得沒有一個個別取樣-及-保持開關開啓時間相同。取樣瞬時取決於共同開關關閉(由全域時脈相位控制)。源於電荷重分配之關閉瞬時及誤差的信號相依性消除至一階。如此使得如本發明之裝置非常適用於高動態效能ADCs。進一步，由於取樣階段不需要運算放大器，因此非常適用於高速應用，且可於高速，平行SC ADC中降低取樣-相位-相關失真20-40 dB。

圖式之簡要說明

為更完整瞭解本發明並為進一步之目的及優點因此，請參考下列附圖中之非排他性之具體實施例說明，其中：

圖1表示如本發明第一實施例中平行ADC的方塊圖

圖2表示如本發明第一實施例中時脈相位控制S/H(取樣及

五、發明說明(4)

保持)裝置的方塊圖

圖3表示如本發明第一實施例中單通道平行ADC的取樣裝置

圖4表示如本發明第一實施例中M個通道之平行ADC的取樣裝置

圖5表示如本發明第一實施例中單通道平行ADC的S/H裝置

實施例之詳細描述

本發明現將以實施例之方式描述，其為非排他性例因此，參考附圖，其中相同之參考特徵或相似部份賦予相同標號。

圖1表示如本發明第一實施例中M個通道平行ADC的方塊圖，包括M個相同之ADCs，稱為次-ADCs。為簡潔故，只畫出第一，第二及第M個通道，其餘省略。每一通道連接至ADC之一輸入1，且包括次ADC8，10，12串聯於後的S/H(取樣及保持)裝置2，4，6。次ADC8，10，12可為任何已知型式之ADC。S/H裝置2，4，6包括被動取樣裝置3，7，11及主動保持裝置5，9，13，並用時脈裝置(無圖式)以熟悉此技藝之人士所熟知之方法產生通道時脈相位 ϕ_i 控制。該通道係並聯至MUX 14(多工器)。

第一個次-ADC8在時脈相位 ϕ_1 時取樣ADC輸入1提供之輸入電壓 V_{in} ，第二個次-ADC10在時脈相位 ϕ_2 時取樣輸入電壓 V_{in} ，且第M個次-ADC12在時脈相位 ϕ_M 時取樣輸入電壓 V_{in} 。假設每一相位取樣期間為 T_s ，且每一相位之重覆期

五、發明說明(5)

間為 T 。每一個次-ADC在轉換時間 T_c 內轉換類比樣本 S_a 至數位樣本 S_d 。數位樣本隨後在MUX中結合並提供給ADC之輸出16。 T_c 係由

$$T_c = T - T_s = (M-1) \cdot T_s \quad (1)$$

給定，其中 T 係每一相位之重覆期間， T_s 係取樣期間，且 M 係次-ADCs之數目。雖然每一個次-ADC在每一個重覆期間中只能傳遞一個輸出，但是平行ADC能在每一取樣期間 $T_s = T/M$ 中傳遞一輸出。因此，速度比次-ADCs增加 M 倍。

由上述討論可見，高速ADCs可由許多較低速之次-ADCs並聯連接而建構。唯一高速部份係被動取樣電路其需要於時間間隔 T_s 間追蹤及取樣類比輸入。

取樣瞬時必需於兩連續次-ADCs間等間隔以期在數位域中重建信號。若假設一正常相位偏離分佈，SNDR及相位偏離之關係為

$$SNDR = 20 \cdot \log\left(\frac{1}{\rho \cdot f_{in}}\right) - 10 \cdot \log\left(\frac{(M-1)4\pi^2}{M}\right) \quad (2)$$

相位偏離問題係指當取樣瞬時差存在時，由於類比信號一直在改變，因此相關之次-ADC會取樣得到錯誤的類比信號值。在給定相位偏離下，信號頻率愈高，SNDR愈低。

如本發明之第一實施例，為降低相位偏離S/H裝置不只由通道時脈相位 ϕ_i 控制，且另外由全域時脈相位 ϕ 控制，亦由熟悉此技藝之人士習知之方法由時脈裝置(無圖式)產生。

如本發明之第一實施例，全域時脈相位 ϕ 使用於定義被動

五、發明說明 (6)

取樣電路中之取樣瞬時，及每一個次-ADC中發生之類比輸入取樣。取樣電路由全域時脈相位 ϕ 控制且其定義了取樣瞬時。當全域時脈相位 ϕ 在高位準且 ϕ_i 亦在高位準，則輸入電壓 V_{in} 由第 i 個次-ADC取樣。當全域時脈相位 ϕ 在低位準，類比值由取樣電容取樣因為取樣電容之一極係為浮接。時脈相位 ϕ_i 總是在全域時脈相位 ϕ 在低位準之後進入低位準。即使連續時脈相位 ϕ_i 間有很大相位偏離，其對取樣瞬時並無任何影響，且因此除去相位偏離問題。

然而，由於寄生電容，若時脈相位 ϕ_i 不為低位準，即使當時脈相位 ϕ 低位準時，類比輸入改變時儲存於取樣電容之電荷仍會改變。

圖2表示如本發明第一實施例的時脈相位控制之S/H(取樣及保持)裝置2, 4, 6的圖解。如本發明之第一實施例，全域時脈相位 ϕ 之重覆頻率係為通道時脈相位 ϕ_i 之重覆頻率的M倍，且全域時脈相位 ϕ 改變狀態略先於通道時脈相位 ϕ_i 。若全域時脈相位 ϕ 改變狀態在通道時脈相位 ϕ_i 之後，使用全域時脈相位之效果將失去。如圖2中所見，個別取樣-及-保持開關之時脈相位，意即第一通道之第一及第二個開關SW1, SW2，偏離而使得相同時刻沒有個別取樣-及-保持開關開啓。

圖3表示如本發明之第一實施例用於平行ADC之一個通道的取樣裝置。第一開關SW1係連結於取樣裝置3之輸入20與電容 C_i 之第一面21。電容 C_i 之第二面23透過第二開關SW2連接至取樣裝置3之節點22，該節點22亦透過第三開關SW3接地。包括圖1中S/H裝置2, 4, 6中之所有取樣裝

五、發明說明 (7)

置3, 7, 11係並聯連接, 使得所有通道均可分享第三開關SW3且受全域時脈相位 ϕ 控制。通道時脈相位 ϕ_i 控制第一開關SW1及第二開關SW2。如較佳實施例, 開關SW1, SW2, SW3由NMOS電晶體組成, 但是開關功能可由熟悉此技藝之人士以許多方式實行。

取樣瞬時係由將取樣電容 C_i 之第二面23接地之第三開關SW3決定(其他通道亦同)。信號相依的關閉瞬時, 及源於電荷重分配之誤差可消除至第一階。使得本發明之實施例非常適用於高動態效能之ADCs。

圖4表示如本發明之第一實施例用於M通道平行ADC之取樣裝置3, 7, 11。每一取樣裝置3, 7, 11建構方式如圖3, 且所有取樣裝置3, 7, 11已經互相並聯連接。為清楚起見, 只畫出第一, 第二, 第三及第M個取樣裝置, 其餘省略。第一取樣裝置3由如圖3所示之第一開關SW1, 第一電容 C_i 及第二開關SW2組成。第二, 第三及第M個取樣裝置設計相同。第三開關SW3為所有平行取樣裝置共用。

圖5表示如本發明第一實施例中之平行ADC第i個通道之S/H裝置。取樣裝置3同圖3所述且由第一, 第二及第三開關SW1, SW2, SW3與取樣電容 C_i 組成。為使次-ADCs取樣類比值, 我們必須保持該類比值。如保持裝置5, 運算放大器30用於每一通道之每一次-ADC。其係藉由讓取樣電容 C_i 切換至運算放大器30之回授線圈。在取樣電容 C_i 之兩面加入第五及第六開關SW5, SW6。以此方式, 取樣電容 C_i 第一面21透過第五開關SW5連接至放大器30之輸出32且取樣電容 C_i 第二面23透過第六開關SW6連接至放大器30之

五、發明說明(8)

反相輸入34，非反相輸入36則接地。

時脈相位表示於圖2。現請參考圖5，當通道時脈相位 ϕ_i 在高位準且全域時脈相位 ϕ 在高位準，第一，第二及第三開關SW1，SW2，SW3關閉，而第五，第六開關SW5，SW6開路時運算放大器30不連接，且電容 C_i 取樣類比輸入電壓 V_{in} 。然後全域時脈相位 ϕ 在低位準且第三開關SW3開路。此為取樣相位。當通道時脈相位 ϕ_i 在低位準，意即在時脈相位 ϕ_i ，第一及第二開關SW1，SW2開路，第五及第六開關關閉且電容以負回饋連接至運算放大器。此為保持相位。

當如本發明設計實施電路時，圖5中包括取樣電容 C_i 第二面23層之寄生電容 C_{p1} ，第二及第三開關SW2，SW3間之 C_{p2} 及運算放大器之輸入電容 C_{op} ，均需考慮。

如本發明使用之取樣技巧，上述寄生電容會引起誤差。當如本發明之取樣技術應用於平行ADC時，不同通道間之不匹配會引起失真。此導至一事實，即如本發明之裝置及方法，相位偏離誤差之效應並未完全移除，但下式因子將其降低

$$\frac{1}{a} = \frac{C_{p1} + C_{p2} + C_i}{C_{p2}}$$

假設當取樣開關之時序瞬時(即第三開關SW3開路)令為 t 且第二開關SW2開路之瞬時令為 $t + \tau$ 。儲存於 C_{p2} 之電荷將會引起輸出信號之信號相依性誤差。在時序瞬時 t ，第二面23之總電荷，意即在 C_i 右手邊層面節點者係

$$q(t) = q_{ci}(t) + q_{cpi}(t) + q_{cp2}(t) = -C_i V_{in}(t) + 0 + 0 = -C_i V_{in}(t) \quad (3)$$

五、發明說明 (9)

在時序瞬時 $t + \tau$ 當第二開關 $SW2$ 開啓時，取樣電容 C_i 右手邊層面之總電荷係

$$\begin{aligned} q(t + \tau) &= q_{ci}(t + \tau) + q_{cpi}(t + \tau) + q_{cp2}(t + \tau) \\ &= (V_2(t + \tau) - V_{in}(t + \tau)) \cdot C_i + V_2(t + \tau) \cdot (C_{p1} + C_{p2}) \end{aligned} \quad (4)$$

由於電荷轉換，(3)及(4)須相等。因此可得在 $t + \tau$ 時寄生電容之跨壓 V_2

$$V_2(t + \tau) = (V_{in}(t + \tau) - V_{in}(t)) \cdot \frac{C_i}{C_{p1} + C_{p2} + C_i} \quad (5)$$

儲存於 C_{p2} 之電荷為

$$q_{cp2}(t + \tau) = C_{p2} \cdot V_2(t + \tau) = (V_{in}(t + \tau) - V_{in}(t)) \cdot \frac{C_i \cdot C_{p2}}{C_{p1} + C_{p2} + C_i} \quad (6)$$

第二開關 $SW2$ 開啓後， C_{p2} 儲存之電荷將流失，因為當使用運算放大器時所有儲存於取樣電容 C_i 及寄生電容 C_{p1} 將於保持相位時轉移。該構造表示於圖 5。

假設一理想之運算放大器，所有電荷儲存於取樣電容 C_i 及寄生電容 C_{p1} 完全轉移。則唯一之誤差源係源於在 $t + \tau$ 時儲存於 C_{p2} 之流失電荷。因此取樣後之類比輸出電壓 V_{out} 係

$$V_{out} = \frac{q(t + \tau) - q_{cp2}(t + \tau)}{C_i} = V_{in}(t) \cdot (1 - a) + a \cdot V_{in}(t + \tau) \quad (7)$$

其中

$$a = \frac{C_2}{C_{p1} + C_{p2} + C_i} \quad (8)$$

假設有 M 個平行通道且由時脈相位 ϕ 控制之第三開關 $SW3$ 在時序瞬時

$$T_s \cdot n, \quad n = 0, \dots, \infty \quad (9)$$

開啓且在通道 i ($i = 1, 2, \dots, M$) 中由時脈相位 ϕ_i 控制之第二開關 $SW2$ 在

$$(i-1) \cdot T_s + n \cdot M \cdot T_s + \tau + t_{skew i}, \quad n = 0, \dots, \infty, \quad i = 1, 2, \dots, M \quad (10)$$

五、發明說明(10)

其中 T_s 為平均取樣周期， τ 為在第 i 個通道的第三開關 SW3 關閉與第二開關 SW2 間之平均延遲而 $t_{skew\ i}$ 係時脈相位 ϕ_i 之相對時脈偏差。

若假設所有通道之寄生電容及取樣電容均相等，意即對所有通道而言該因子皆相等，且假設時序偏離為具常態分佈且變異為 σ_i^2 之獨立隨機變數，對很小之 a 及 $f_{in} \tau$ 該 SNDR 可近似為

$$SNDR = 20 \cdot \log\left(\frac{1}{a \cdot f_{in}}\right) - 10 \cdot \log\left(\frac{(M-1)4\pi^2}{M}\right) - 20 \cdot \log(a) \quad (11)$$

其中 f_{in} 為輸入信號頻率。

由等(11)可知在寄生電容存在下相位偏離效應誤差並未完全移除，但較之於等式(2)所給定使用原取樣技術之平行 ADCs 中的 SNDR 降低因子 $\frac{1}{a}$ 。

如本發明，取樣係被動且因此可獲得非常高速取樣，而保持為動態，但運算放大器設定之時間比取樣時間長 $M-1$ 倍 (M 為通道數目) 且因此運算放大器速度要求並不高。因此圖 5 之 S/H 電路非常適合高速平行 ADCs。

對一 2-通道平行 ADC，一個運算放大器可由兩通道共用。如本發明該共用技術可自然地使用於一個 ADC 中。一 M 通道 ADC 可當然地以每兩通道共用一運算放大器。如上述具體實施例之保持裝置 5，9，13，每一通道中包含一運算放大器，因此可想像為兩通道共用一保持裝置，包含一運算放大器，或所有通道共用之保持裝置，每兩通道至少包含一運算放大器。

上述之實施例顯示應用於單端裝置之發明觀念，但相同地適用於完全差動系統。

五、發明說明 (11)

眾所周知，上述之具體實施例，及其他不脫離本發明範圍之實施例而為熟悉此技藝者所熟知者均為非排他性例。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：類比至數位轉換之方法及裝置)

根據本發明之實施例之平行SC ADC(交換電容式類比-至-數位轉換器)，其包括一由全域時脈相位(ϕ)控制之被動取樣技術，用以降低取樣相位偏離之影響。由於不需要運算放大器，因此其非常適合高速運用，且還可以在高速，平行之SC ADC下降低20-40 dB的取樣-相位-偏離-相關失真。

英文發明摘要(發明之名稱：METHOD AND DEVICE FOR ANALOGUE TO DIGITAL CONVERSION)

According to an embodiment of the invention, a parallel SC ADC (switched capacitor analogue-to-digital converter) is provided, comprising a passive sampling technique controlled by a global clock phase (ϕ) to reduce the influence of the sampling phase skew. Since it does not require operational amplifiers for sampling, it is very suitable for high speed applications, and yet it can reduce the sampling-phase-skew-related distortion by 20-40 dB in a high speed, parallel SC ADC.

六、申請專利範圍

1. 一種平行類比-至-數位轉換器，具有數(M)個通道，每一通道具有被動取樣裝置(3, 7, 11), 其中每一該取樣裝置係由一通道時脈相位(ϕ_i)控制，以及轉換器裝置，其特徵為所有該通道共用之一全域時脈相位(ϕ)，用以定義一取樣瞬時，每一該通道時脈相位(ϕ_i)依靠該全域時脈相位(ϕ)控制每一該通道。
2. 如申請專利範圍第1項之平行類比-至-數位轉換器，進一步之特徵為全域時脈相位(ϕ)之重覆頻率比通道時脈相位(ϕ_i)重覆頻率高M倍。
3. 如申請專利範圍第2項之平行類比-至-數位轉換器，進一步之特徵為全域時脈相位(ϕ)改變狀態略先於通道時脈相位(ϕ_i)。
4. 如申請專利範圍第3項之平行類比-至-數位轉換器，進一步之特徵為動態保持裝置(5, 9, 13)。
5. 如申請專利範圍第4項之平行類比-至-數位轉換器，進一步之特徵為包含至少一個運算放大器(30)之動態保持裝置(5, 9, 13)。
6. 如申請專利範圍第4或5項之平行類比-至-數位轉換器，進一步之特徵為該取樣裝置(3, 7, 11)包括至少一個包含於該保持裝置(5, 9, 13)的回授線圈之電容(C_i)。
7. 一種使用數(M)個通道以平行類比-至-數位轉換之方法，包含下列步驟：
 - 類比信號在每一通道之被動取樣，提供其與通道時脈相位(ϕ_i)相依之樣本(S_n)

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

- 動態保持該樣本(S_n)；
- 在每一通道中轉換該樣本(S_n)，提供數位樣本(S_d)；
- 及
- 在數位域重建該信號；

其特徵為

在每一通道中，該取樣係由通道時脈相位(ϕ_i)及所有通道共用之全域時脈相位(ϕ)控制。

8. 如申請專利範圍第7項之平行類比-至-數位轉換之方法，進一步特徵為全域時脈相位(ϕ)之重覆頻率比通道時脈相位(ϕ_i)重覆頻率高M倍。
9. 如申請專利範圍第8項之平行類比-至-數位轉換之方法，進一步特徵為全域時脈相位(ϕ)改變狀態略先於通道時脈相位(ϕ_i)。
10. 如申請專利範圍第9項之平行類比-至-數位轉換之方法，進一步特徵為該取樣係電容性的。
11. 一種取樣方法，其使用數(M)個通道以平行取樣一類比訊號，該等通道之每一個包括與通道時脈相位(ϕ_i)相依之切換式電容，該方法之特徵為該切換係由全域時脈相位(ϕ)執行，該全域時脈相位(ϕ)為所有通道共用。
12. 如申請專利範圍第11項之取樣方法，進一步特徵為全域時脈相位(ϕ)之重覆頻率比通道時脈相位(ϕ_i)重覆頻率高M倍。
13. 如申請專利範圍第12項之取樣方法，進一步特徵為全域時脈相位(ϕ)改變狀態略先於通道時脈相位(ϕ_i)。

(請先閱讀背面之注意事項再填寫本頁)

訂

第 087101107 號專利申請案
中文圖式修正本(90年6月)

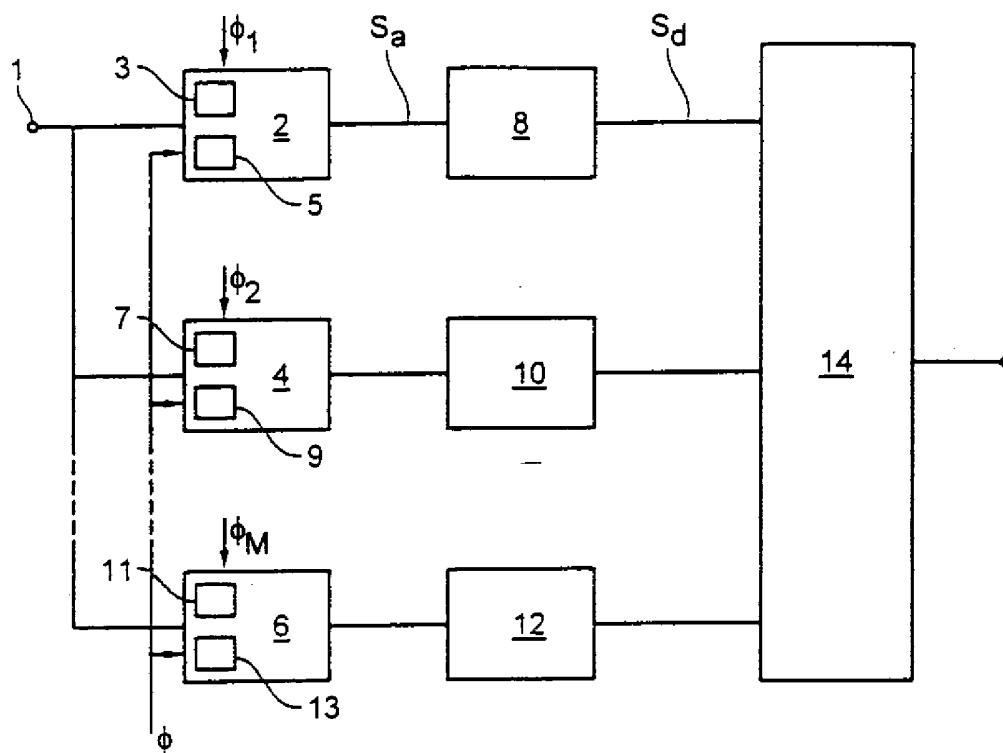


圖 1

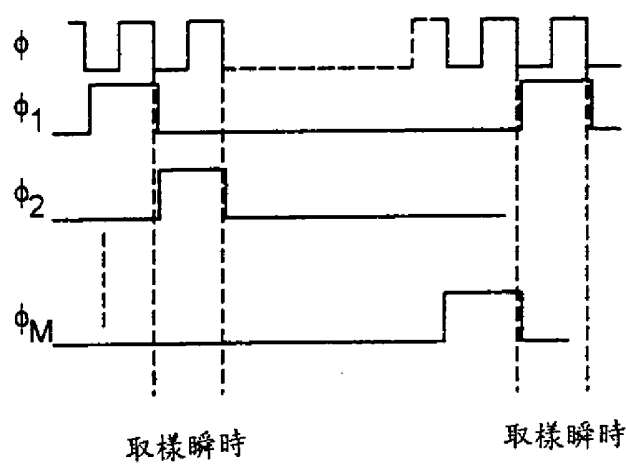


圖 2

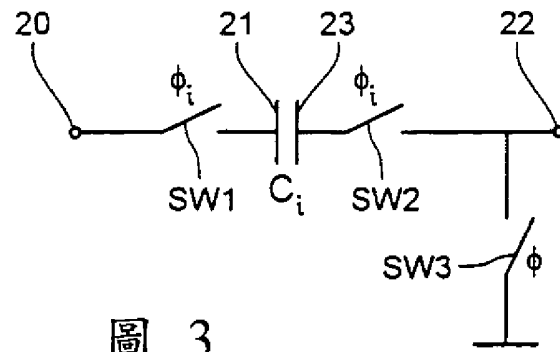


圖 3

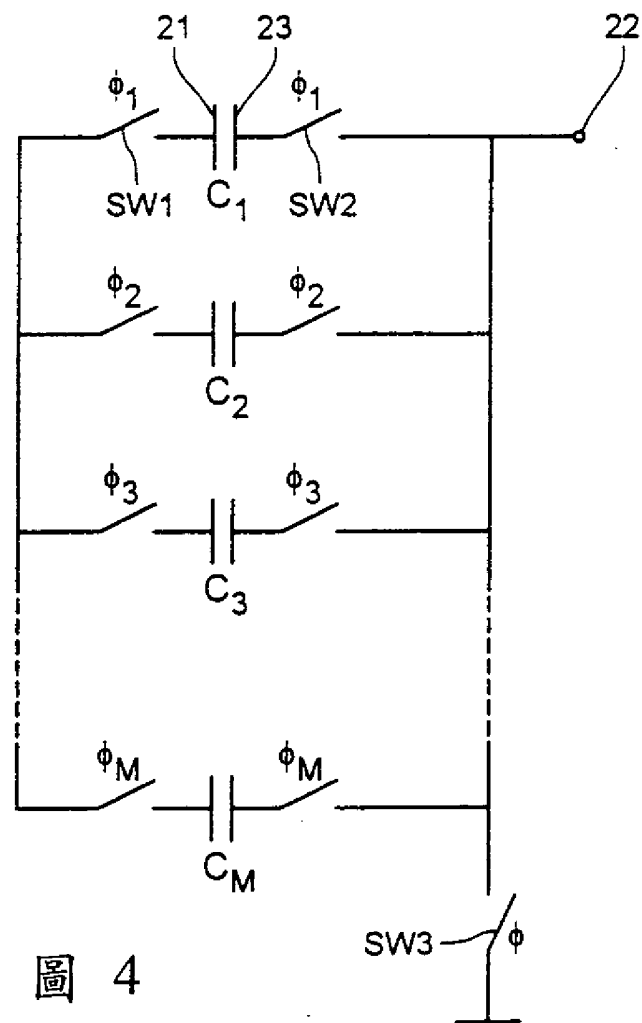


圖 4

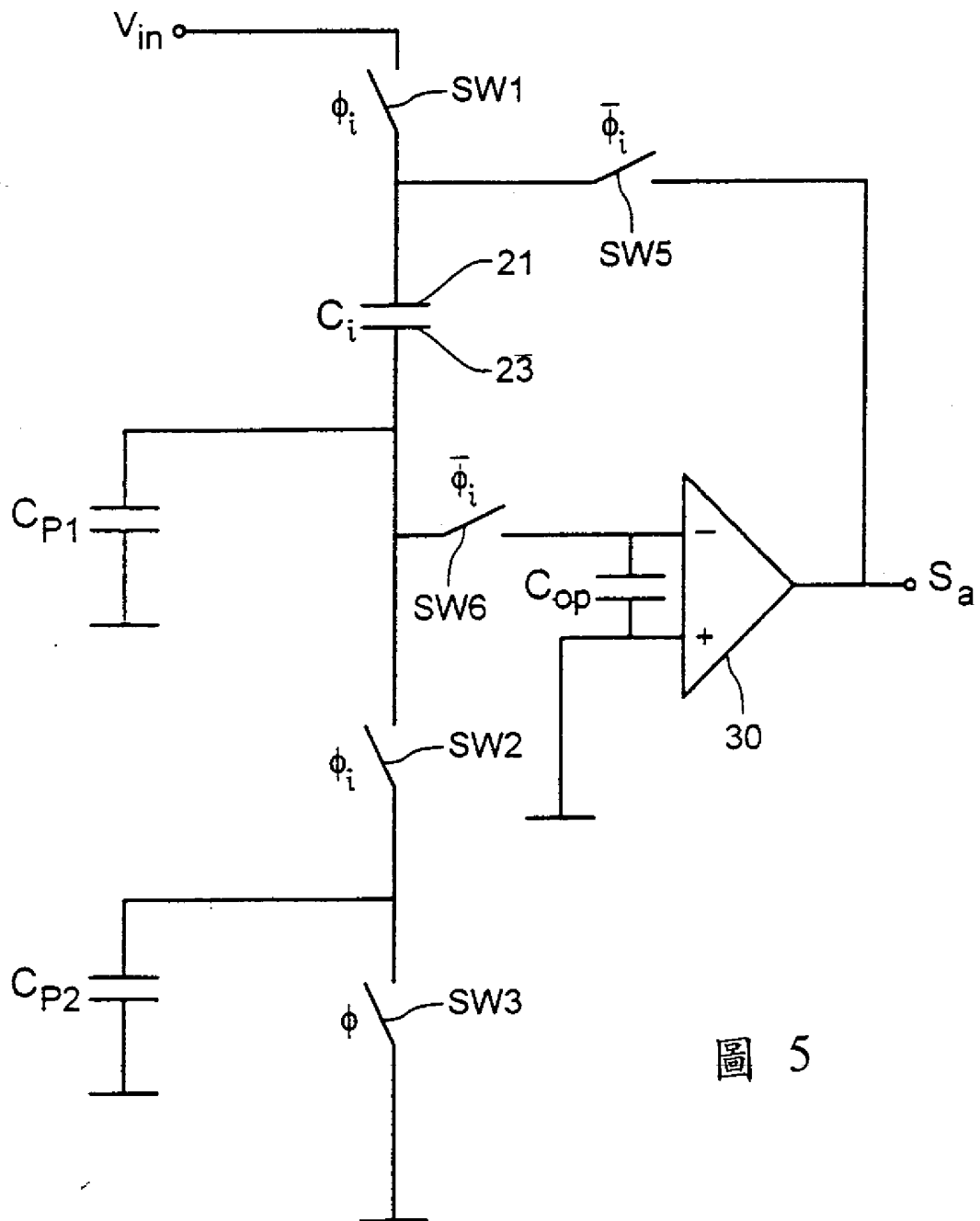


圖 5

五、發明說明(1)

本發明係關於SC(交換電容)ADCs(類比至數位轉換器)，尤其是使用於寬頻通信應用者。

相關技藝之敘述

寬頻通訊應用中，需使用高SNDR(信號對雜訊及失真比)之高速類比-對-數位轉換器(ADCs,或AD轉換器)。

利用平行法，快速ADC可以由幾個多-相位時脈控制之慢速次-ADCs構成。"Time Interleaved Converter Arrays", Black et al., IEEE Journal of Solid State Circuits, Vol SC-15, No 6, pp 1022-29, December 1980, 揭示一使用平行或時間插入技術之高速加權電容ADC。

許多誤差源限制平行ADCs之效能。次-ADCs間之不同補償及不同增益會產生失真。另一個更麻煩的誤差源係引起誤差之平行通道間的取樣相位偏離。為了重組數位域的信號，兩連續次-ADCs間之取樣瞬間需等間隔。兩連續次-ADCs間之取樣瞬時距離之差謂之相位偏離。相位偏離之形成緣於取樣瞬時係由不同地方之不同時脈相位控制之事實。任何雜訊或不平衡之寄生造成相位偏離。

SNDR與相位偏離間之關係以於"Digital Spectra of Nonuniformly Sampled Signals: Fundamentals and High Speed Waveform Digitizers", IEEE T. Instrumentation and measurement, Vol 37, No 2, p 245-51, June 1998.中詳述。

"An 8-b 85-Ms/s Parallel Pipeline A/D Converter in 1

五、發明說明(5)

間為 T 。每一個次-ADC在轉換時間 T_c 內轉換類比樣本 S_a 至數位樣本 S_d 。數位樣本隨後在MUX中結合並提供給ADC之輸出16。 T_c 係由

$$T_c = T - T_s = (M-1) \cdot T_s \quad (1)$$

給定，其中 T 係每一相位之重覆期間， T_s 係取樣期間，且 M 係次-ADCs之數目。雖然每一個次-ADC在每一個重覆期間中只能傳遞一個輸出，但是平行ADC能在每一取樣期間 $T_s = T/M$ 中傳遞一輸出。因此，速度比次-ADCs增加 M 倍。

由上述討論可見，高速ADCs可由許多較低速之次-ADCs並聯連接而建構。唯一高速部份係被動取樣電路其需要於時間間隔 T_s 間追蹤及取樣類比輸入。

取樣瞬時必需於兩連續次-ADCs間等間隔以期在數位域中重建信號。若假設一正常相位偏離分佈，SNDR及相位偏離之關係為

$$SNDR = 20 \cdot \log\left(\frac{1}{\rho \cdot f_{in}}\right) - 10 \cdot \log\left(\frac{(M-1)4\pi^2}{M}\right) \quad (2)$$

相位偏離問題係指當取樣瞬時差存在時，由於類比信號一直在改變，因此相關之次-ADC會取樣得到錯誤的類比信號值。在給定相位偏離下，信號頻率愈高，SNDR愈低。

如本發明之第一實施例，為降低相位偏離S/H裝置不只由通道時脈相位 ϕ_i 控制，且另外由全域時脈相位 ϕ 控制，亦由熟悉此技藝之人士習知之方法由時脈裝置(無圖式)產生。

如本發明之第一實施例，全域時脈相位 ϕ 使用於定義被動

五、發明說明(8)

反相輸入34，非反相輸入36則接地。

時脈相位表示於圖2。現請參考圖5，當通道時脈相位 ϕ_i 在高位準且全域時脈相位 ϕ 在高位準，第一，第二及第三開關SW1，SW2，SW3關閉，而第五，第六開關SW5，SW6開路時運算放大器30不連接，且電容 C_i 取樣類比輸入電壓 V_{in} 。然後全域時脈相位 ϕ 在低位準且第三開關SW3開路。此為取樣相位。當通道時脈相位 ϕ_i 在低位準，意即在時脈相位 ϕ_i ，第一及第二開關SW1，SW2開路，第五及第六開關關閉且電容以負回饋連接至運算放大器。此為保持相位。

當如本發明設計實施電路時，圖5中包括取樣電容 C_i 第二面23層之寄生電容 C_{p1} ，第二及第三開關SW2，SW3間之 C_{p2} 及運算放大器之輸入電容 C_{op} ，均需考慮。

如本發明使用之取樣技巧，上述寄生電容會引起誤差。當如本發明之取樣技術應用於平行ADC時，不同通道間之不匹配會引起失真。此導至一事實，即如本發明之裝置及方法，相位偏離誤差之效應並未完全移除，但下式因子將其降低

$$\frac{1}{a} = \frac{C_{p1} + C_{p2} + C_i}{C_{p2}}$$

假設當取樣開關之時序瞬時(即第三開關SW3開路)令為 t 且第二開關SW2開路之瞬時令為 $t + \tau$ 。儲存於 C_{p2} 之電荷將會引起輸出信號之信號相依性誤差。在時序瞬時 t ，第二面23之總電荷，意即在 C_i 右手邊層面節點者係

$$q(t) = q_{ci}(t) + q_{cpi}(t) + q_{cp2}(t) = -C_i V_{in}(t) + 0 + 0 = -C_i V_{in}(t) \quad (3)$$

五、發明說明(10)

其中 T_s 為平均取樣周期， τ 為在第 i 個通道的第三開關 SW3 關閉與第二開關 SW2 間之平均延遲而 $t_{skew\ i}$ 係時脈相位 ϕ_i 之相對時脈偏差。

若假設所有通道之寄生電容及取樣電容均相等，意即對所有通道而言該因子皆相等，且假設時序偏離為具常態分佈且變異為 σ_i^2 之獨立隨機變數，對很小之 a 及 $f_{in} \tau$ 該 SNDR 可近似為

$$SNDR = 20 \cdot \log\left(\frac{1}{a \cdot f_{in}}\right) - 10 \cdot \log\left(\frac{(M-1)4\pi^2}{M}\right) - 20 \cdot \log(a) \quad (11)$$

其中 f_{in} 為輸入信號頻率。

由等(11)可知在寄生電容存在下相位偏離效應誤差並未完全移除，但較之於等式(2)所給定使用原取樣技術之平行 ADCs 中的 SNDR 降低因子 $\frac{1}{a}$ 。

如本發明，取樣係被動且因此可獲得非常高速取樣，而保持為動態，但運算放大器設定之時間比取樣時間長 $M-1$ 倍 (M 為通道數目) 且因此運算放大器速度要求並不高。因此圖 5 之 S/H 電路非常適合高速平行 ADCs。

對一 2-通道平行 ADC，一個運算放大器可由兩通道共用。如本發明該共用技術可自然地使用於一個 ADC 中。一 M 通道 ADC 可當然地以每兩通道共用一運算放大器。如上述具體實施例之保持裝置 5，9，13，每一通道中包含一運算放大器，因此可想像為兩通道共用一保持裝置，包含一運算放大器，或所有通道共用之保持裝置，每兩通道至少包含一運算放大器。

上述之實施例顯示應用於單端裝置之發明觀念，但相同地適用於完全差動系統。

六、申請專利範圍

1. 一種平行類比-至-數位轉換器，具有數(M)個通道，每一通道具有被動取樣裝置(3, 7, 11), 其中每一該取樣裝置係由一通道時脈相位(ϕ_i)控制，以及轉換器裝置，其特徵為所有該通道共用之一全域時脈相位(ϕ)，用以定義一取樣瞬時，每一該通道時脈相位(ϕ_i)依靠該全域時脈相位(ϕ)控制每一該通道。
2. 如申請專利範圍第1項之平行類比-至-數位轉換器，進一步之特徵為全域時脈相位(ϕ)之重覆頻率比通道時脈相位(ϕ_i)重覆頻率高M倍。
3. 如申請專利範圍第2項之平行類比-至-數位轉換器，進一步之特徵為全域時脈相位(ϕ)改變狀態略先於通道時脈相位(ϕ_i)。
4. 如申請專利範圍第3項之平行類比-至-數位轉換器，進一步之特徵為動態保持裝置(5, 9, 13)。
5. 如申請專利範圍第4項之平行類比-至-數位轉換器，進一步之特徵為包含至少一個運算放大器(30)之動態保持裝置(5, 9, 13)。
6. 如申請專利範圍第4或5項之平行類比-至-數位轉換器，進一步之特徵為該取樣裝置(3, 7, 11)包括至少一個包含於該保持裝置(5, 9, 13)的回授線圈之電容(C_i)。
7. 一種使用數(M)個通道以平行類比-至-數位轉換之方法，包含下列步驟：
 - 類比信號在每一通道之被動取樣，提供其與通道時脈相位(ϕ_i)相依之樣本(S_n)

(請先閱讀背面之注意事項再填寫本頁)

訂

第 087101107 號專利申請案
中文圖式修正本(90年6月)

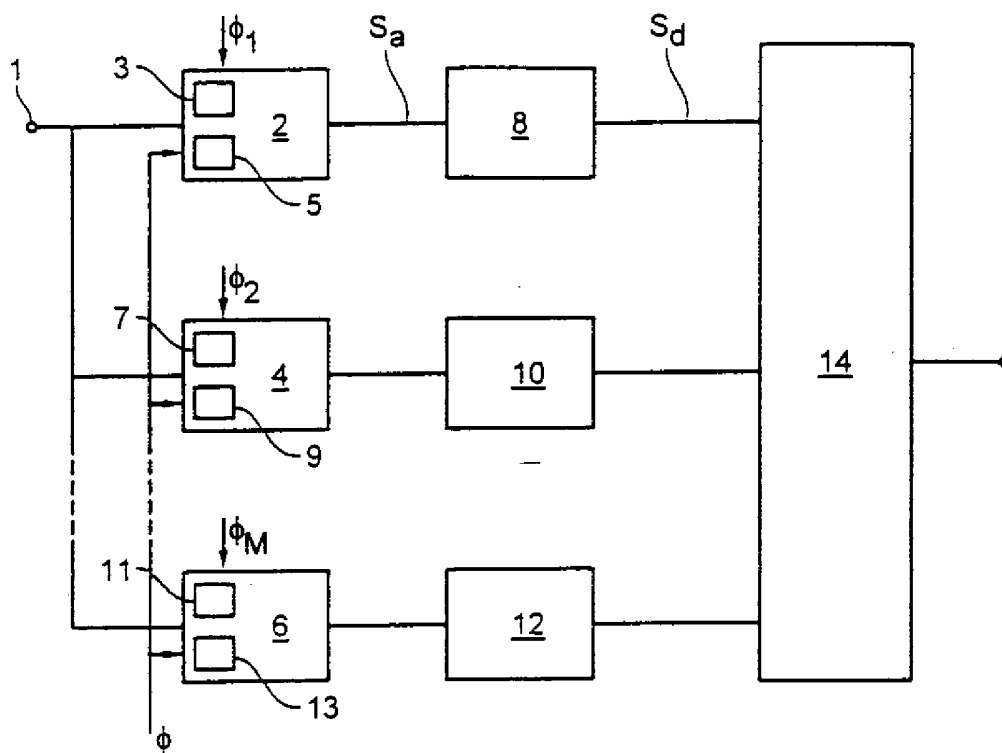


圖 1

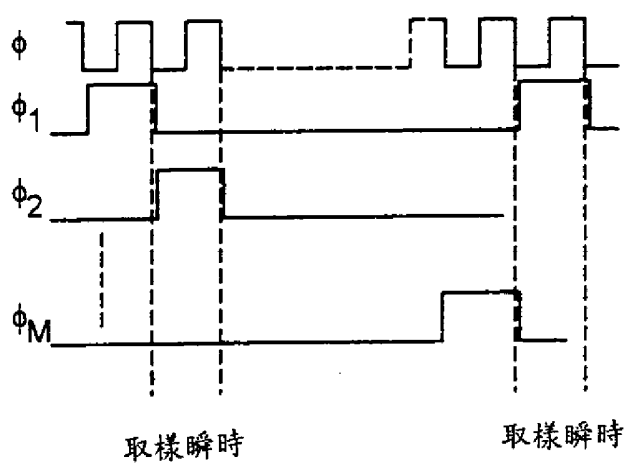


圖 2