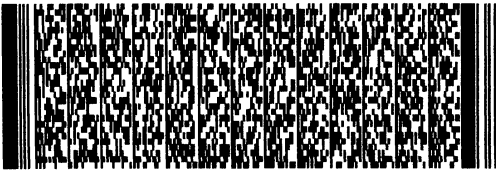
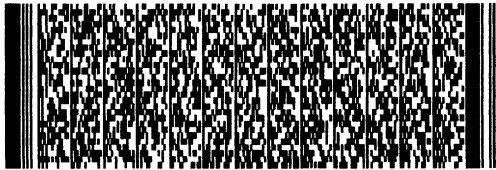


公告本

申請日期： 9/ 6	12	案號：	91112757
類別： G01R 31/16			

(以上各欄由本局填註)

發明專利說明書		583404
一、 發明名稱	中 文	電路線寬計量用之測試結構及該測試結構之形成方法
	英 文	TEST STRUCTURES FOR ELECTRICAL LINEWIDTH MEASUREMENT AND PROCESSES FOR THEIR FORMATION
二、 發明人	姓 名 (中文)	1. 桂宗郁 2. 哈利·萊文生
	姓 名 (英文)	1. JONGWOOK KYE 2. HARRY LEVINSON
	國 籍	1. 韓國 2. 美國
	住、居所	1. 美國·加州94566·帕利桑頓·自由路2947號 2947 Liberty Dr., Pleasanton, California 94566, U.S.A. 2. 美國·加州95070·沙羅托卡·瑞多卡路12508號 12508 Radoyka Dr., Saratoga, California 95070, U.S.A.
三、 申請人	姓 名 (名稱) (中文)	1. 高級微裝置公司
	姓 名 (名稱) (英文)	1. ADVANCED MICRO DEVICES, INC.
	國 籍	1. 美國
	住、居所 (事務所)	1. 美國·加州94088-3453桑尼威·第1AMD區·M/S 68·郵政信箱3453號 One AMD Place, M/S 68, P. O. Box 3453, Sunnyvale, CA 94088-3453, U.S.A.
	代表人 姓 名 (中文)	1. 理查·J·諾迪
	代表人 姓 名 (英文)	1. RICHARD J. RODDY
 		

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
美國 US	2001/07/24	09/912,186	有

有關微生物已寄存於	寄存日期	寄存號碼
-----------	------	------

無



五、發明說明 (1)

[技術領域]

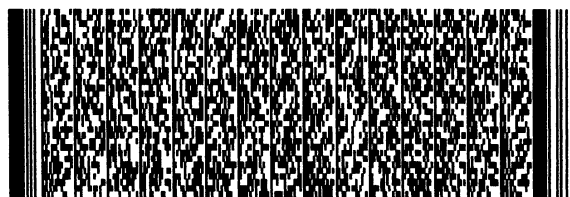
本發明係關於半導體裝置中之線寬的測量，而且尤係關於改善由電路線寬測量(ELM)技術所進行之線寬測量的技術。

[背景技術]

積體電路(ICs)係藉由在矽晶圓表面上形成譬如金屬氧化物半導體場效應電晶體(MOSFETS)之不連續的半導體裝置與雙極接面電晶體，以及隨後產生連接該裝置以產生電路的導線而製造。該線路可使用種種的材料而形成，包括金屬、摻入雜質的多晶矽、以及同樣令人認為是矽化物的矽/金屬合金。目前，摻入雜質的多晶矽(於下文稱為多晶矽)則為較佳的線路材料。

積體電路元件以及連接線路係典型地由投射微影製程所形成。一般來說，投射微影係為一種製程，藉此而令要形成在基板上的圖案投射在施加到基板的光敏塗層上(於下文稱為光阻劑)，從而將該光阻劑曝光成該圖形。隨後的顯影製程則移除該光阻劑的曝光部分或者未曝光部分，而留下為投射圖案或投射圖案之負影像形狀的光阻劑結構(下文的遮罩)。在進一步的製程步驟中，則接著將該光阻劑遮罩利用作為阻障物。例如，光阻劑遮罩可保護部分的基板免於蝕刻製程中的蝕刻，或者保護部分的基板免於受到植入製程期間摻雜質的植入。

經由投射微影技術而形成的結構尺寸與位置係由許多變數影響。結果，測試由微影所產生的結構，以決定是否



五、發明說明 (2)

它們真實的尺寸與位置符合意圖中的尺寸與位置則是必須的。

尺寸測試所必要的一個特徵乃在於多晶矽線路的物理線寬。隨著半導體裝置之臨界尺寸變得更小，線寬則相對應地變小，因而更容易出錯。提供 $.13\mu\text{m}$ 之閘極長度的現有MOSFET技術則利用50nm與80nm之間相對應的物理線寬。

用來決定物理線寬之最精確的工具乃為掃描式電子顯微鏡(SEM)。不管怎樣，由SEM所提供之精確性係取決於SEM的定位而改變。線路的邊牆典型地具有粗糙與斜的輪廓。假如以垂直定位來使用SEM，以提供該線路之截面圖的話，沿著線高之各點上的線寬則能予以測量，而且那些點的其中一點，例如最高點，則可選擇作為代表真實的物理線寬。對照之下，假如以由上而下之定位來使用SEM以提供一頂部視圖的話，那麼在線路邊牆之斜度內決定於何處進行測量則有其困難性。因此，以由上而下之定位來進行SEM測量將典型地指示出該線路是比它實際的長度還寬。在兩種情形之下，SEM方法既昂貴且費時，因此不適合生產的環境。

決定物理線寬的另一方法係為經由電路線寬的測量(ELM)。

決定物理線寬的另一方法係為經由電路線寬的測量(ELM)。不像掃描式電子顯微鏡(SEM)方法，ELM線寬測量提供相當快速的結果以及良好的可靠度，因此更為生產環境所希望使用。不管怎樣，如同名稱所暗示的，電路線寬

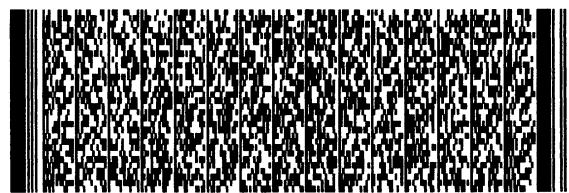
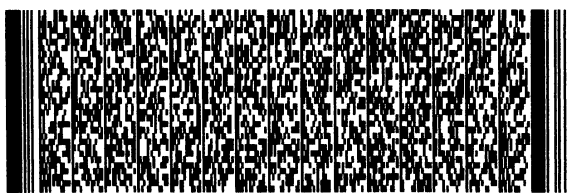


五、發明說明 (3)

測量則測量出該線路的“電寬度”，而不是該線路的物理寬度。在真實的物理線路寬度以及ELM所測量到的電路線寬之間的差異，於後文中稱之為偏差，典型地介於50nm至100nm的範圍內。就先前產生的技術而言，關於典型的物理線寬，100nm的偏差並不明顯，而且因此ELM在先前產生的製造環境中則用於電路線寬測量，儘管事實上該結果沒有精確地顯示出測量線路的物理線路寬度。不管怎樣，當下一個產生的線路寬度接近並超過習知偏差之值時，ELM偏差就會變得明顯，而且使該技術無法再用。

ELM方法係以薄層電阻率為基礎而來決定傳導結構的電性寬度。第1圖顯示為了ELM而產生之線路寬度測試結構的例子。該結構包括兩測試單元10與12。第一單元10包括多晶矽所形成的Van der Pauw結構14，以及連接到Van der Pauw結構14之四角落的四個多晶矽接觸墊18、20、22、24。第二測試單元12則包括多晶矽線路16，其具有由測試而決定之已知的長度L以及線寬寬度W。第二測試單元12則進一步包括連接到線路16的四個多晶矽接觸墊22、24、26以及28。

Van der Pauw結構14、多晶矽線路16以及接觸墊係同時形成，並從而具有相同的材料組成。測試結構的第一測試單元10乃用來決定使用已知Van der Pauw方法之多晶矽Van der Pauw結構14的薄層電阻率 σ 。薄層電阻率 σ 係由使用第一單元之四個接觸墊而測量之Van der Pauw結構的電阻 R_v 所決定，並由 $\sigma = R_v \pi / \ln 2$ 之關係產生。多晶矽

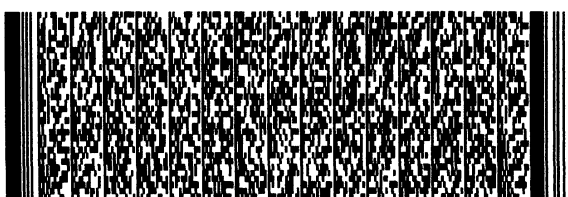


五、發明說明 (4)

線路16的線寬 W 接著則由施加固定電流到線路16以及使用第二單元之四個接觸墊來測量跨於該線路已知長度 L 的電壓降而決定，以決定線路的電阻 R_L 。該線寬則由 $W = \sigma L / R_L$ 的關係所產生。

真實物理線寬與ELM所測量到之線寬之間的偏差，係令人相信是由多晶矽線路之內的摻雜質耗盡所導致。詳言之，在將多晶矽線路退火以活化植入之摻雜質的期間內，靠近線路表面的一部分摻雜質則向外擴散，而導致線路內之摻雜質的耗盡以及靠近線路表面之耗盡區域的形成。因此，整體線路的平均薄層電阻率，係較在電路線寬測定中所使用的薄層電阻率值為大，故ELM(電路線寬測量)所決定的電路線寬與物理線寬不同。

解決ELM偏差問題的設計已經由Grenville等人於它們的刊物“100nm線寬與以下之電性臨界尺寸度量”中提出，係發表在國際光學工程協會(SPIE)第4000(2000)冊之記錄---光學微影XIII(“Grenville”)。Grenville提出四種辦法以減少摻雜質的向外擴散。第一，因為於退火處理期間，p型摻雜質遭受到較少的向外擴散，所以Grenville提議p型摻雜質之使用，以提供多晶矽中的導電率。第二，Grenville提議降低退火溫度，以減少向外擴散。第三，Grenville提議在退火之前，於多晶矽上形成氮化矽罩，以收集多晶矽內的摻雜質。第四，Grenville提議減少多晶矽線路的厚度。經由這些技術之結合，Grenville已經將實驗用之多晶矽線路的ELM(電路線寬測



五、發明說明 (5)

量)偏差從90nm降低到20nm。不管怎樣，Grenville的技術限定了在製造環境中令人所不希望的缺點。例如，退火溫度之降低導致摻雜質活化的減少，並因此導致較高的多晶矽電阻，而隨著線寬的減少，降低退火溫度的效應則變得不利於ELM方法。包含於沈積以及後續之移除氮化矽罩的額外製造步驟，係進一步的增加成本與複雜性給該製造製程。

因此，需要有能輕易地適用於製造環境、無需將明顯額外的製程步驟加到習知的多晶矽形成製程之解決ELM偏差問題的方法。

[發明之揭露]

本發明之具體實施例藉由提供形成測試結構的方法而解決了習知技術的前述缺點，該測試結構用來藉著相較於習知測試結構而明顯減少ELM偏差的ELM測量而決定多晶矽線路寬度。根據本發明的具體實施例，測試結構係藉由圖案化多晶矽線路與植入以及活化P型摻雜質而形成。不管怎樣，在植入摻雜質之前，多晶矽線路則植入以 N_2 。於退火期間， N_2 的處理明顯地降低摻雜質的向外擴散。於是，比起習知技術，會有較少的耗盡發生，而ELM所得到的線寬測量則具有相對於真實物理線寬小很多的偏差。

本發明之具體實施例有關於決定由微影製程所形成之多晶矽線路之線寬的方法。將多晶矽層形成於基板上。使用該微影製程而從該多晶矽層繪製線路，並且從該多晶矽層繪製Van der Pauw結構。隨後將 N_2 植入於多晶矽線路以



五、發明說明 (6)

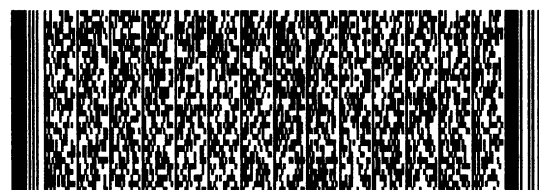
及多晶矽 Van der Pauw 結構，以形成耗盡阻障層。將 P 型摻雜質植入於多晶矽線路以及多晶矽 Van der Pauw 結構內，並將該摻雜質活化。決定 Van der Pauw 結構的薄層電阻率，並接著藉由把 Van der Pauw 結構之薄層電阻率使用作為多晶矽線路之薄層電阻率的電路線寬測量而決定多晶矽線路的線寬。在進一步的具體實施例中， N_2 的劑量可根據希望的線寬以及可令人接受的偏差而決定。

本發明的進一步具體實施例係有關於微影製程所形成之多晶矽線路之線寬的電路線寬測量所用的測試結構。該測試結構包含多晶矽 Van der Pauw 結構以及使用該微影製程而繪製的多晶矽線路。該測試結構同樣包含電性連接到 Van der Pauw 結構的複數個接觸點，以及分別在多晶矽線路之第一與第二點作電性連接的一對接觸點，以定義其間多晶矽線路的已知長度 L 。多晶矽 Van der Pauw 結構以及多晶矽線路包含 P 型摻雜質，以及用作預防 P 型摻雜質對外擴散之耗盡阻障層的植入 N_2 。

[實施本發明的模式]

第 2 至 4 圖顯示在根據本發明較佳具體實施例之製程期間所形成的結構，其係經由電路線寬測量而產生線寬測試結構，用來測試描繪的摻雜多晶矽線路。

在第 2 圖中，測試結構中畫出的多晶矽線路 16 係配置在包含保護性氧化物層 32 的基板上，該保護性氧化物層係覆蓋著矽層 30。該線路 16 則根據微影線路形成製程而畫出，該微影線路形成製程則令人測試以決定出該製程所產



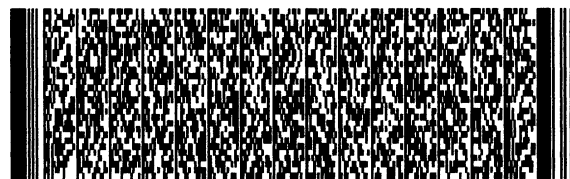
五、發明說明 (7)

生的真實線寬。在較佳具體實施例中，多晶矽線路的厚度為1000至2000埃。該測試結構可形成於同樣有半導體裝置形成於其上之矽晶圓的測試區域中，或者該測試結構可分別形成於沒有其他結構形成於其上之基板上。

除了多晶矽線路16之外，形成在基板上的有Van der Pauw結構(未顯示)以及接觸墊。多晶矽線路16、Van der Pauw結構以及接觸墊係由多晶矽的相同層所圖案化，而且除了劃成不同形狀之外，其係受到相同的製程情況。於是，多晶矽線路16、以及Van der Pauw結構則形成具有實質相等材料的相等厚度，以使由Van der Pauw結構所決定的電阻率能在評估使用電路線寬測量之多晶矽線路16的線寬中使用。

第3圖顯示多晶矽線路16之植入 N_2 。Van der Pauw結構與接觸墊則同時植入 N_2 。在本發明的較佳具體實施例中， N_2 係以 $1 \times 10^{15} \text{cm}^{-2}$ 至 $1 \times 10^{16} \text{cm}^{-2}$ 之劑量與40KeV之能量來植入。隨後則將該結構退火，使 N_2 擴散，以致於能具有實質均勻的分佈。

第4圖顯示多晶矽線路16之植入以P型摻雜質，譬如B或 BF_2 。Van der Pauw結構與接觸墊則同時植入以P型摻雜質。P型摻雜質則使用典型的摻雜質製程參數而植入。在本發明的較佳具體實施例中，B係以 $1 \times 10^{14} \text{cm}^{-2}$ 至 $1 \times 10^{15} \text{cm}^{-2}$ 之範圍的劑量與5KeV之能量來植入。理所當然地可使用其它的劑量。不然的話，可例如以 $1 \times 10^{14} \text{cm}^{-2}$ 至 $2 \times 10^{15} \text{cm}^{-2}$ 之範圍的劑量與40KeV之能量來植入 BF_2 。

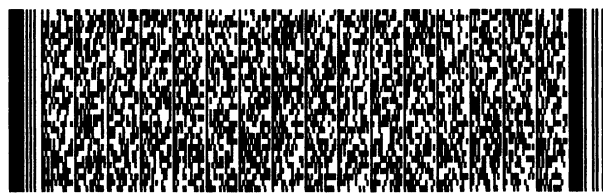
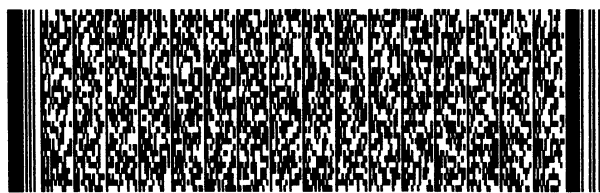


五、發明說明 (8)

第5圖顯示根據本發明較佳具體實施例而形成之測試結構之ELM測量用之表示ELM偏差測量資料的圖示。第5圖的各資料點則代表由電路線寬測量(ELM)所進行的線寬測量，以及相對應之由上而下的掃描式電子顯微鏡(SEM)測量，以用於各種測試結構中所形成各種寬度的線路。第5圖的資料說明在各ELM測量與其相對應SEM測量之間表示大約27.5nm之平均偏差的線性關係。因為用以產生這些資料的SEM測量係由人所事先決定，以具有與使用習知垂直SEM測量而決定之12.5nm真實物理線寬有關的正偏差，各ELM測量對真實物理線寬的平均偏差則大約為15nm。因此，根據較佳具體實施例而製造之測試結構，能使使用ELM線路所決定之線寬與35nm一樣小或者更小。

在將P型摻雜質植入之後，可將多晶矽線路16以及Vander Pauw結構退火，以活化P型摻雜質。較佳地則使用快速的熱退火處理(RTA)，以更進一步地使摻雜質擴散最小化。該退火處理係於習知的溫度上實施。在本發明的較佳具體實施例中，該退火處理則於攝氏900至1100度的溫度上實施。在退火處理期間內，植入的 N_2 當作降低P型摻雜質之向外擴散的耗盡阻障層，而且相較於習知技術之下，任何經由向外擴散而形成之耗盡區域的範圍則因此而明顯地縮小。因此形成於多晶矽線路16上的ELM線寬測量則明顯地比使用習知技術所形成之相似線路者還精確。

在本發明的較佳具體實施例中，接觸墊係形成於如第1圖所示的組態中。不管怎樣，種種其它的組態，譬如那



五、發明說明 (9)

些由 Grenville 所揭露，並在美國專利第 6,087,189 號中所揭露的，係在習知技術中即令人所已知，並可能使用當作較佳具體實施例之組態的替代組態。譬如第 1 圖中所示，在較佳組態中，四個接觸墊係如此地排列，以致於能使兩個接觸墊接觸多晶矽線路 16 之已知長度的各個相對端點。

第 6 圖顯示用來決定多晶矽線路之線寬的製程，該多晶矽線路則由根據本發明具體實施例的微影製程所形成。起初，將多晶矽層形成於基板上 (50)。多晶矽較佳地具有 1000 至 2000 埃的厚度。基板典型地包含形成於單晶上的保護性熱氧化物，但卻替代地包含其他型態的基板。接著，從使用予以測試之微影製程的多晶矽層而來繪製圖案多晶矽線路 (52)。同時，從多晶矽層繪製圖案 Van der Pauw 結構。而後，將 N_2 植入於多晶矽線路以及 Van der Pauw 結構內。 N_2 則較佳地以 $1 \times 10^{15} \text{cm}^{-2}$ 至 $1 \times 10^{16} \text{cm}^{-2}$ 之範圍的劑量與 40KeV 之能量來植入，以用於厚度為 10000 至 2000 埃的多晶矽。隨後，將 N_2 擴散出去 (56)，譬如藉由退火處理。接著將 P 型摻雜質植入 (58) 於多晶矽線路以及 Van der Pauw 結構內。P 型摻雜質較佳地為以 $1 \times 10^{14} \text{cm}^{-2}$ 至 $1 \times 10^{15} \text{cm}^{-2}$ 之範圍的劑量與 5KeV 之能量來植入 B。接著，較佳地於攝氏 900 至 1100 度之溫度使用 RTA，而將 P 型摻雜質活化 (60)。

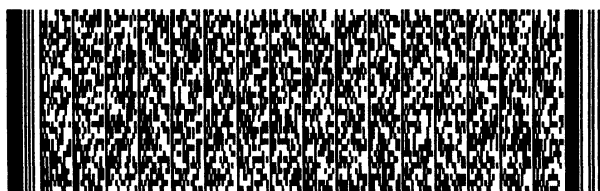
先前的製程作業獲得形成測試結構。接著，決定 Van der Pauw 結構的薄層電阻率 (62)。隨後，藉著把 Van der Pauw 結構之薄層電阻率使用作為多晶矽線路之薄層電阻率的電路線寬測量，而決定多晶矽線路的線寬。



五、發明說明 (10)

如上所述，先前的製程可進一步包括形成電性連接到 Van der Pauw 結構的接觸點，以及形成電性連接到多晶矽線路的接觸點，以定義出在接觸點之間之線路的已知長度 L 。

雖然已將本發明的較佳具體實施例作了顯示和說明，但是可以例如藉由替代在此所揭露的均等材料、結構或製程作業，藉由應用額外的材料、結構、或製程作業，或者藉由適應於特殊狀況而進行種種的改變與修改，以產生替代的具體實施例，這種情形則將是那些熟諳該技藝者將認知的。因此，除了那些在此所揭露之實施例外，各種變化之具體實施例則由附加的申請專利範圍所包含。



圖式簡單說明

[圖式之簡單說明]

於下文中將參考附圖來說明種種較佳的具體實施例，其中相同的數字係指示相同的元件，其中：

第1圖顯示習知的線寬測試結構；

第2圖顯示根據本發明之具體實施例而繪製之線寬測試結構之多晶矽線路；

第3圖顯示在根據本發明具體實施例而繪製之線寬測試結構之多晶矽線路中氮耗盡阻障層之植入；

第4圖顯示在根據本發明具體實施例而繪製之線寬測試結構之多晶矽線路中P型摻雜質之植入；

第5圖顯示根據本發明較佳具體實施例而形成之測試結構之ELM(電路線寬測量)測量用之表示ELM偏差測量資料的圖示；以及

第6圖顯示用來形成根據本發明具體實施例之測試結構的製程。

[元件符號說明]

10	測試單元	12	測試單元
14	Van der Pauw結構	16	多晶矽線路
18、20、22、24、26、28			多晶矽接觸墊
30	矽層	32	保護性氧化物層
L	長度	W	線寬度
σ	薄層電阻率	Rv	Van der Pauw結構的電阻
R _L	線路的電阻		

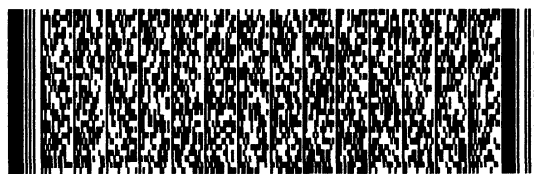


四、中文發明摘要 (發明之名稱：電路線寬計量用之測試結構及該測試結構之形成方法)

在決定微影製程所形成之多晶矽線路(16)之線寬的方法中，將多晶矽層形成於基板上。使用該微影製程而從該多晶矽層繪製線路(16)，以及從該多晶矽層繪製Van der Pauw結構(14)。隨後則將 N_2 植入於該多晶矽線路(16)以及多晶矽Van der Pauw結構(14)內，以形成耗盡阻障層。將P型的摻雜質植入於多晶矽線路(16)以及多晶矽Van der Pauw結構(14)內，並將該摻雜質活化。決定Van der Pauw結構(14)的薄層電阻率，然後則藉著把Van der Pauw結構(14)之薄層電阻率使用作為多晶矽線路(16)之薄層電阻率的電路線寬測量而決定多晶矽線路(16)的線寬。相關的測試結構亦同樣地予以揭露。

英文發明摘要 (發明之名稱：TEST STRUCTURES FOR ELECTRICAL LINEWIDTH MEASUREMENT AND PROCESSES FOR THEIR FORMATION)

In a method of determining a linewidth of a polysilicon line (16) formed by a lithographic process, a polysilicon layer is formed on a substrate. A line (16) is patterned from said polysilicon layer using said lithographic process and a Van der Pauw structure (14) is patterned from said polysilicon layer. N_2 is then implanted into the polysilicon line (16) and the polysilicon Van der Pauw structure (14) to form a depletion barrier. A P-type dopant is the implanted into the



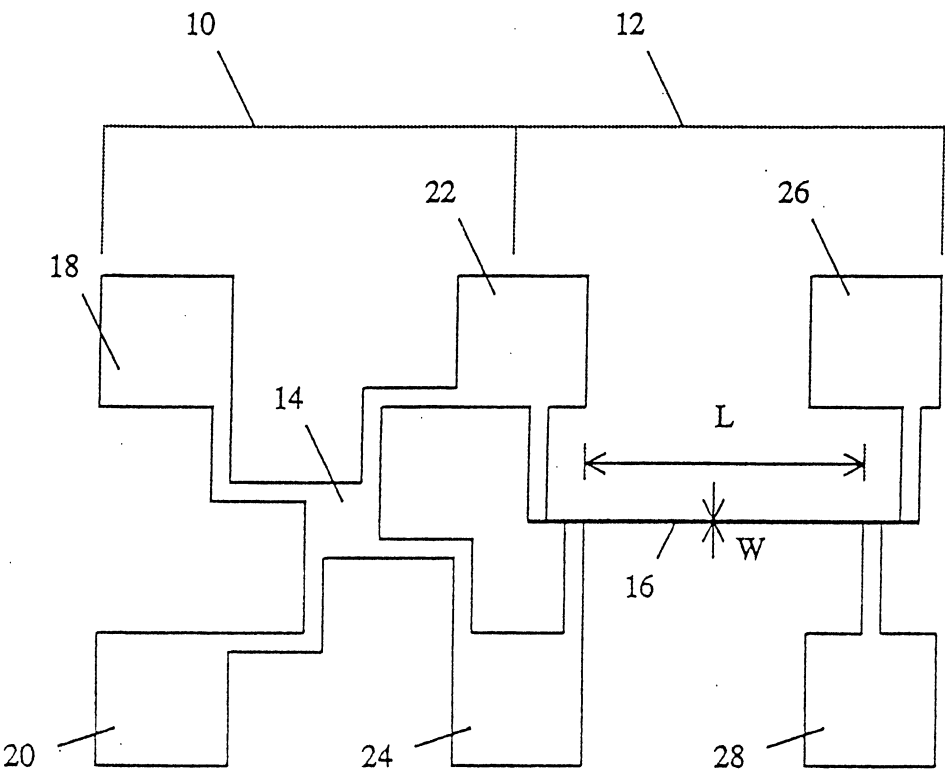
四、中文發明摘要 (發明之名稱：電路線寬計量用之測試結構及該測試結構之形成方法)

英文發明摘要 (發明之名稱：TEST STRUCTURES FOR ELECTRICAL LINEWIDTH MEASUREMENT AND PROCESSES FOR THEIR FORMATION)

polysilicon line (16) and the polysilicon Van der Pauw structure (14) and the dopant is activated. A sheet resistivity of the Van der Pauw structure (14) is determined, and the linewidth of the polysilicon line (16) is then determined by electrical linewidth measurement using the sheet resistivity of the Van der Pauw structure (14) as the sheet resistivity of the polysilicon line (16). A related test structure is also disclosed.

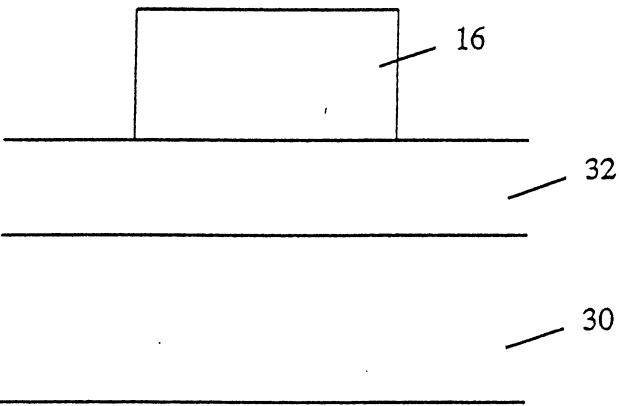


1/4

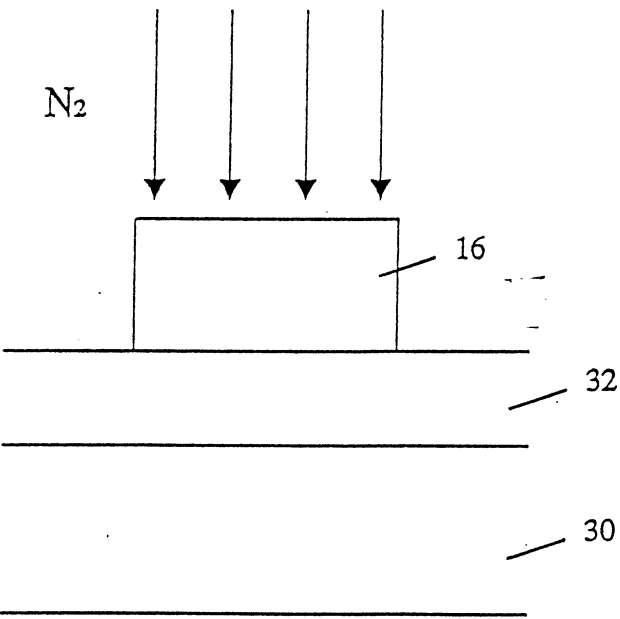


第 1 圖

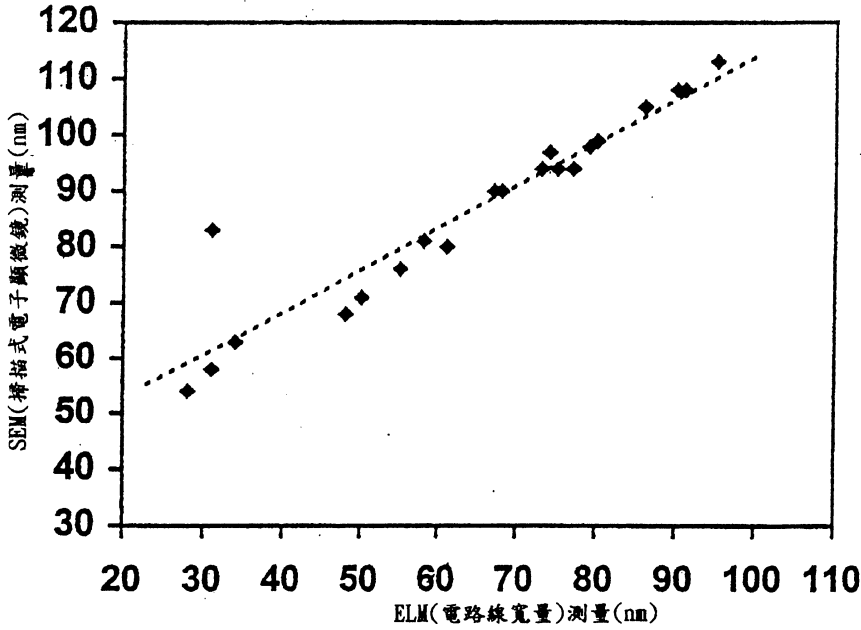
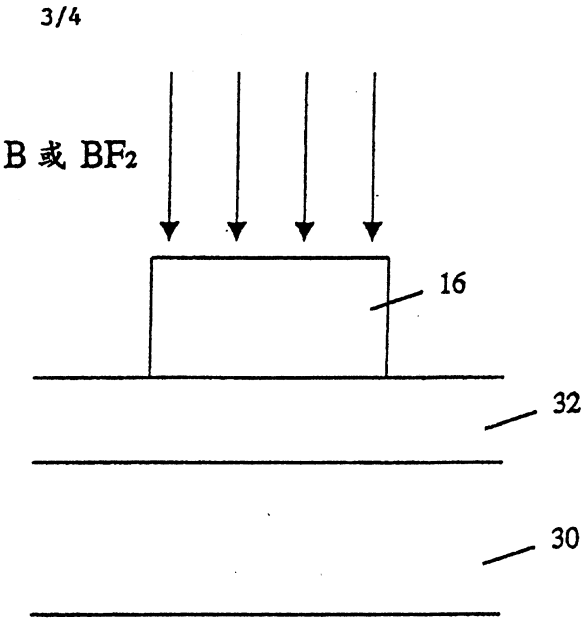
第 2 圖



第 3 圖

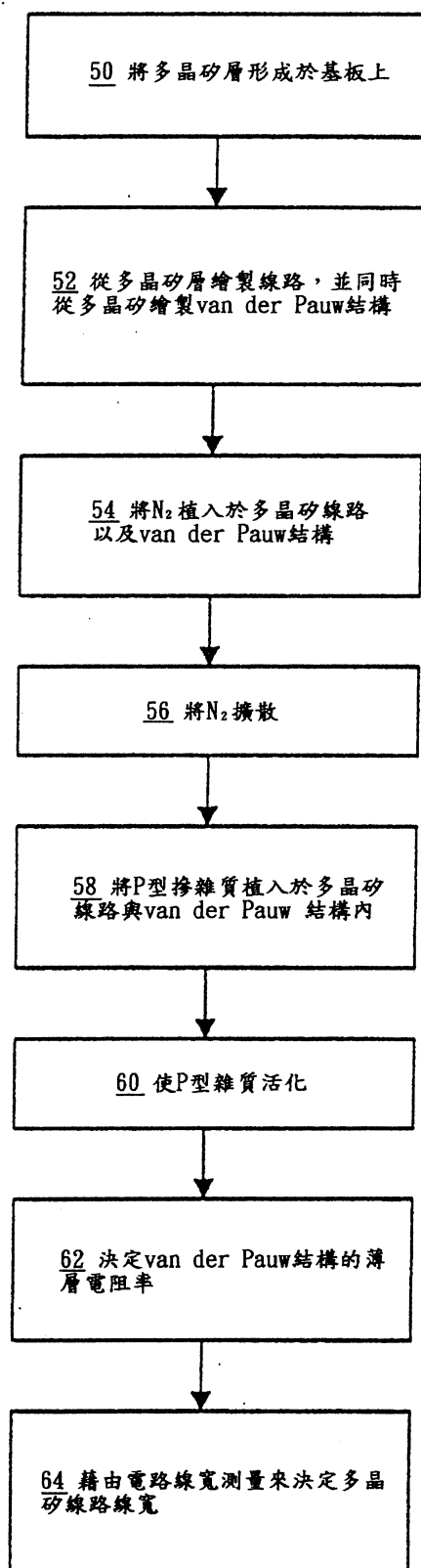


第4圖



第5圖

4/4



第6圖

六、申請專利範圍

1. 一種判定由微影製程所形成之多晶矽線路之線寬的方法，包含：

將多晶矽層形成於基板上；

使用該微影製程而從該多晶矽層圖案化多晶矽線路(16)，並且同時從該多晶矽層圖案化 Van der Pauw 結構(14)；

將 N 植入於該多晶矽線路(16)以及該多晶矽 Van der Pauw 結構(14)內，以形成耗盡阻障層；

將 P 型摻雜質植入於該多晶矽線路(16)以及該多晶矽 Van der Pauw 結構(14)內；

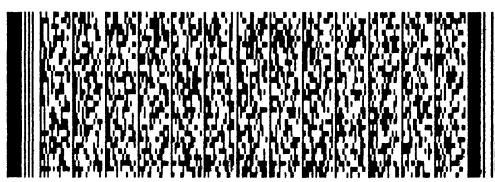
將該 P 型摻雜質活化；

決定該 Van der Pauw 結構(14)的薄層電阻率；以及

藉由把該 Van der Pauw 結構(14)之該薄層電阻率使用作為該多晶矽線路之該薄層電阻率之電路線寬測量，判定該多晶矽線路(16)的線寬。

2. 如申請專利範圍第 1 項之方法，其中以 $1 \times 10^{15} \text{cm}^{-2}$ 至 $1 \times 10^{16} \text{cm}^{-2}$ 之劑量與 40KeV 之能量而將該 N 植入。
3. 如申請專利範圍第 1 項之方法，其中該 P 型摻雜質係為以 $1 \times 10^{14} \text{cm}^{-2}$ 至 $1 \times 10^{15} \text{cm}^{-2}$ 之範圍的劑量與 5KeV 之能量來植入的 B 與以 $1 \times 10^{14} \text{cm}^{-2}$ 至 $2 \times 10^{15} \text{cm}^{-2}$ 之範圍的劑量與 40KeV 之能量來植入之 BF 的其中之一者。
4. 如申請專利範圍第 1 項之方法，其中該 N 係在予以植入之後擴散，以具有實質均勻的分佈。

請參閱本頁無變更之實質內容是否准予修正。



六、申請專利範圍

5. 一種由微影製程所形成之多晶矽線路(16)之線寬的電路線寬測量所用的測試結構，包含：

多晶矽 Van der Pauw結構(14)；

使用該微影製程而繪製圖案的多晶矽線路(16)；

電性連接到該 Van der Pauw結構(14)的複數個接觸墊(18, 20, 22, 24)；以及

分別在該多晶矽線路(16)之第一與第二點作電性連接的一對接觸墊(24, 28)，以定義其間多晶矽線路的已知長度L；

其中該多晶矽 Van der Pauw結構(14)以及該多晶矽線路(16)包含P型摻雜質，以及用作預防該P型摻雜質對外擴散之耗盡阻障層的 N_2 。

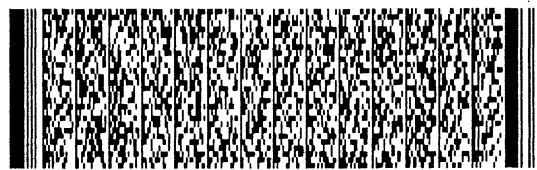
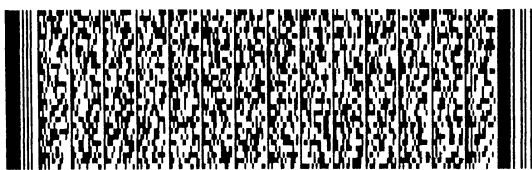
6. 如申請專利範圍第5項之測試結構，其中該 Van der Pauw結構以及多晶矽線路包含以 $1 \times 10^{15} \text{cm}^{-2}$ 至 $1 \times 10^{16} \text{cm}^{-2}$ 之劑量與40KeV之能量而植入的 N_2 。

7. 如申請專利範圍第5項之測試結構，其中該P型摻雜質係為以 $1 \times 10^{14} \text{cm}^{-2}$ 至 $2 \times 10^{15} \text{cm}^{-2}$ 之範圍的劑量與大約40KeV之能量來植入 BF_2 ，以及以 $1 \times 10^{14} \text{cm}^{-2}$ 至 $1 \times 10^{15} \text{cm}^{-2}$ 之範圍的劑量與大約5KeV之能量來植入B的其中之一者。

8. 一種形成測試結構以判定經由微影製程所形成之多晶矽線路之線寬的方法，包含：

將多晶矽層形成於基板上；

使用該微影製程而從該多晶矽層圖案化多晶矽線



六、申請專利範圍

路 (16)，並且同時從該多晶矽層圖案化 Van der Pauw 結構 (14)；

將 N 植入於該多晶矽線路 (16) 以及該多晶矽 Van der Pauw 結構 (14) 內，以形成耗盡阻障層；

將 P 型摻雜質植入於該多晶矽線路 (16) 以及該多晶矽 Van der Pauw 結構 (14) 內；以及

將該 P 型摻雜質活化。

9. 如申請專利範圍第 8 項之方法，其中以 $1 \times 10^{15} \text{cm}^{-2}$ 至 $1 \times 10^{16} \text{cm}^{-2}$ 之劑量與 40 KeV 之能量而將該 N 植入。

10. 如申請專利範圍第 8 項之方法，其中該 P 型摻雜質係為以 $1 \times 10^{14} \text{cm}^{-2}$ 至 $1 \times 10^{15} \text{cm}^{-2}$ 之範圍的劑量與大約 5 KeV 之能量來植入 B 與以 $1 \times 10^{14} \text{cm}^{-2}$ 至 $2 \times 10^{15} \text{cm}^{-2}$ 之範圍的劑量與大約 40 KeV 之能量來植入 BF 的其中之一者。

本申請專利範圍係根據 92 年 10 月 21 日所提之修正。

