

⑭

DEMANDE DE BREVET D'INVENTION

A1

⑮ Date de dépôt : 18.06.91.

⑯ Priorité :

⑰ Date de la mise à disposition du public de la demande : 24.12.92 Bulletin 92/52.

⑱ Liste des documents cités dans le rapport de recherche : Se reporter à la fin du présent fascicule.

⑲ Références à d'autres documents nationaux apparentés :

⑴ Demandeur(s) : VALEO EQUIPEMENTS
ELECTRIQUES MOTEUR — FR et SGS-THOMSON
MICROELECTRONICS (SRL) — IT.

⑵ Inventeur(s) : Pennisi Alessio, Marchio Fabio, Pierret
Jean-Marie et Canitrot Didier.

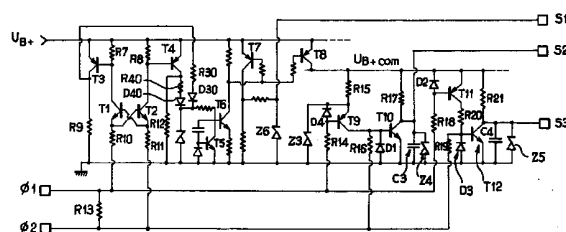
⑶ Titulaire(s) :

⑷ Mandataire : Cabinet Regimbeau Martin Schrimpf
Warcoïn Ahner.

⑸ Circuit de détection de la tension entre phases d'un alternateur pour la mise en service d'un régulateur associé à un tel alternateur.

⑹ L'invention concerne un circuit de détection de la tension entre phases d'un alternateur polyphasé pour commander la mise en service d'un régulateur de la charge d'une batterie de véhicule automobile par cet alternateur, le circuit comprenant des moyens de discrimination différentielle de l'amplitude de la tension entre un couple de signaux de phase délivrés par l'alternateur.

Il est caractérisé en ce que les moyens de discrimination différentielle comprennent un couple de transistors (T1, T2) constituant chacun un moyen comparateur de la tension entre phases avec une tension de seuil définie par leur tension de jonction émetteur-base respective, les dites tensions de seuil ayant de faibles valeurs de signes opposés.



La présente invention concerne un circuit de détection du signal phase d'un alternateur polyphasé pour la mise en service d'un circuit de régulation de la charge d'une batterie de véhicule par cet alternateur
5 lorsque ce dernier entre en rotation.

Un tel circuit fait l'objet de la demande de brevet français publiée No. 2 649 797 au nom de la demanderesse. Cette demande, dont le contenu est incorporé au présent mémoire par référence, expose en
10 détail les avantages d'un tel type de détection, en particulier en matière de compatibilité de câblage entre divers types d'installations.

Le principe de cette détection est basé sur le fait que la mise en rotation de l'alternateur provoque
15 l'apparition entre deux bornes de phases de celui-ci d'une certaine tension. La demande de brevet précitée décrit un mode de réalisation dans lequel la tension entre phases précitée est comparée avec une tension de seuil, par exemple de +0,6 volts. Lors du franchissement
20 de ce seuil, une sortie logique du circuit change alors d'état pour activer le circuit de régulation et ainsi appliquer à l'enroulement d'excitation de l'alternateur le courant de régulation approprié.

La présente invention vise en premier lieu à
25 proposer un circuit qui, d'une manière extrêmement simple et économique, améliore la fiabilité de la détection de la tension entre phases.

Par ailleurs, le circuit connu précité présente un certain nombre de limitations. En particulier, son
30 immunité vis-à-vis de signaux parasites notamment dans le domaine des radiofréquences est perfectible. En outre, la situation de défaut selon laquelle une liaison entre l'alternateur et l'une ou l'autre des entrées pour

signaux de phase est coupée ne peut pas être détectée de façon fiable par ce circuit.

Dans les deux cas, il peut en résulter une mise en service du régulateur alors que l'alternateur ne tourne pas (moteur à l'arrêt), ce qui conduit en particulier à une décharge de la batterie du véhicule.

La présente invention vise également à pallier ces limitations sans accroître la complexité ou le coût du circuit.

Ainsi l'invention concerne un circuit de détection de la tension entre phases d'un alternateur polyphasé pour commander la mise en service d'un régulateur de la charge d'une batterie de véhicule automobile par cet alternateur, le circuit comprenant des moyens de discrimination différentielle de l'amplitude de la tension entre un couple de signaux de phase délivrés par l'alternateur, caractérisé en ce que les moyens de discrimination différentielle comprennent un couple de transistors constituant chacun un moyen comparateur de la tension entre phases avec une tension de seuil définie par leur tension de jonction émetteur-base respective, les dites tensions de seuil ayant de faibles valeurs de signes opposés.

D'autres aspects, buts et avantages de la présente invention apparaîtront mieux à la lecture de la description détaillée suivante de formes de réalisation préférées de celle-ci, donnée à titre d'exemple non limitatif et faite en référence aux dessins annexés, sur lesquels:

la figure 1 est un schéma électrique d'un circuit selon une première forme de réalisation de l'invention, et

la figure 2 est un schéma électrique d'un circuit selon une deuxième forme de réalisation de l'invention.

En référence tout d'abord à la figure 1, on a représenté un circuit de détection selon l'invention qui

comprend deux bornes d'entrée pour des signaux $\phi 1$ et $\phi 2$ provenant de deux phases de l'alternateur. Ces deux bornes sont reliées entre elles par une résistance R13. La borne $\phi 1$ est reliée via une résistance R10 à l'émetteur d'un transistor NPN T1 et à la base d'un transistor NPN T2. La borne $\phi 2$ est reliée via une résistance R11 à la base de T1 et à l'émetteur de T2. Les transistors T1 et T2 comportent des résistances de collecteur R7 et R8, respectivement, entre leur collecteur et une ligne d'alimentation sous une tension U_{B+} reliée au pôle positif de la batterie du véhicule.

Les collecteurs de T1 et T2 attaquent les bases de deux transistors PNP T3 et T4. Les émetteurs de T3 et T4 sont tous deux reliés à la ligne U_{B+} , tandis que leurs collecteurs sont reliés à la masse via des résistances respectives R9, R12.

Les collecteurs de T3 et T4 sont en outre reliés à un circuit de traitement via deux résistances respectives R30 et R40 et deux diodes D30, D40, constituant une porte OU.

Le circuit de traitement, construit autour de T5, T6 et T7 montés en cascade, est un circuit discriminateur de rapport cyclique du type intégrateur de Miller, tel que décrit et représenté sur la figure 4b de la demande de brevet français No. 2 649 797, à laquelle on se reportera pour davantage de détails.

Une borne de sortie logique S1 est reliée via une résistance au collecteur de T7. Cette sortie S1 est appliquée au régulateur (non représenté) pour provoquer la mise en service de celui-ci lorsqu'un niveau logique haut est présent sur cette sortie.

Un transistor T8 a sa base reliée au collecteur de T6 via une résistance. Son émetteur est relié à la ligne U_{B+} tandis que son collecteur est relié à une ligne d'alimentation commutée U_{B+com} .

La borne $\phi 1$ est par ailleurs reliée via une résistance R14 à la base d'un transistor PNP T9. Le collecteur de T9 est relié à la borne $\phi 2$ via une résistance R16. L'émetteur de T9 est relié de première
5 part à une ligne d'alimentation $U_{B+c.o.m.}$ via une résistance R15, de deuxième part à la cathode d'une diode D4 et de troisième part à la cathode d'une diode zéner Z3. L'anode de D4 est reliée à la base de T9. L'anode de Z3 est reliée à la masse.

10 Le collecteur de T9 est en outre reliée à la base d'un transistor NPN T10 et à la cathode d'une diode D1. L'anode de D1 est à la masse. Une résistance R17 est prévue entre le collecteur de T10 et la ligne $U_{B+c.o.m.}$, tandis que son émetteur est à la masse. Le collecteur de
15 T10 est par ailleurs relié à une borne de sortie logique S2 du circuit, ainsi qu'à des premières bornes respectives d'un condensateur C3 et d'une diode zéner Z4 montées en parallèle entre ledit collecteur et la masse.

La borne d'entrée $\phi 1$ est par ailleurs reliée via
20 une résistance R18 à la base d'un transistor PNP T11. Cette base est également reliée à l'anode d'une diode D2 dont la cathode est reliée à la ligne $U_{B+c.o.m.}$. L'émetteur de T11 est relié à cette même ligne, tandis que son collecteur est relié à une première borne d'une
25 résistance R20. La seconde borne de R20 est reliée de première part à une première borne d'une résistance R19, de deuxième part à la cathode d'une diode D3 et de troisième part à la base d'un transistor NPN T12. La seconde borne de R19 est reliée à la borne $\phi 2$. L'anode de
30 D3 est à la masse, tout comme l'émetteur de T12. Son collecteur est relié à la ligne $U_{B+c.o.m.}$ via une résistance R21 et à une borne de sortie logique S3. Par ailleurs un condensateur C3 et une diode zéner Z5 sont montées en
parallèle entre le collecteur de T12 et la masse.

35 On va maintenant décrire le fonctionnement du circuit de détection de la figure 1.

Les transistors T1 et T2 ont pour objet de comparer la tension entre phases notée $V_{s2}-V_{s1}$ à deux valeurs de seuil déterminées qui sont définies par les tensions de jonction émetteur/base de T1 et T2. Ces deux
5 valeurs de seuils sont par exemple de +0,6 volt (pour T1) et de -0,6 volt (pour T2).

Les transistors T3 et T4 sont des transistors de mise en forme des signaux engendrés par T1 et T2 lorsque les seuils précités sont franchis.

10 Pendant que $V_{s2}-V_{s1}$ a une valeur positive supérieure à +0,6 volt, T1 et T3 sont passants et T2 et T4 sont bloqués. Inversement, dès que $V_{s2}-V_{s1}$ a une valeur négative inférieure à -0,6 volt, T2 et T4 sont passants et T1 et T3 sont bloqués. Et lorsque $V_{s2}-V_{s1}$ a
15 une valeur comprise entre -0,6 volt et +0,6 volt, T1, T2, T3 et T4 sont bloqués.

L'intégrateur de Miller reçoit des signaux logiques des transistors T3 et T4. En rejetant les signaux de détection de franchissement de seuil,
20 correspondant à T3 ou T4 passant, qui ont un faible rapport cyclique par rapport aux durées pendant lesquelles le même transistor est bloqué, on évite de faire passer la sortie S1 dans un état d'activation du circuit régulateur associé à l'alternateur
25 lorsqu'apparaissent dans la tension entre phases de brefs signaux parasites ou encore des impulsions à haute fréquence liées à des transitoires de commutation.

Inversement, lorsque l'une ou l'autre de ces tensions de seuil est franchie avec un rapport cyclique substantiel, cela signifie que l'alternateur du véhicule
30 est en rotation et qu'il faut mettre le régulateur en fonctionnement. Cette mise en fonctionnement s'effectue par passage de la sortie logique S1 au niveau haut via l'intégrateur de Miller.

35 La présente invention est avantageuse en ce qu'elle permet d'effectuer une double comparaison de la

tension entre phases, avec deux tensions de seuil respectivement positive et négative, à l'aide d'un circuit à deux transistors T1 et T2 extrêmement simple et économique, facilement intégrable et occupant dans ce cas
5 une très faible surface de silicium. On observe en outre que ces deux transistors, ainsi que T3 et T4, peuvent être branchés directement sur la tension de batterie U_b +. En effet, à l'état de repos de l'alternateur, tous ces transistors sont fermés la majeure partie du temps, voire
10 en permanence en l'absence de parasites ou de transitoires de commutation, et le courant qu'ils consomment est négligeable.

La partie du circuit construite autour de T9 et T10 a pour objet d'assurer que, lorsque l'alternateur est
15 en rotation, le signal alternatif de phase ϕ_2 franchit au niveau de ses crêtes respectivement deux tensions de seuil déterminées, par exemple de +0,6 volt et de +7 volts. Cette condition est en effet nécessaire, de façon classique en soi, pour assurer le bon fonctionnement d'un
20 compte-tours électronique équipant le véhicule et branché sur cette sortie phase, en particulier dans le cas des moteurs diesel.

Plus précisément, dans le cas où la tension sur la borne ϕ_1 est supérieure à la tension de la diode zéner Z3
25 diminuée de la tension de jonction émetteur-base de T9 (soit la valeur de +7 volts citée à titre d'exemple), alors T9 est bloqué. Si pendant ce temps la tension sur ϕ_2 est inférieure à la tension de jonction émetteur-base de T10, alors T10 est bloqué. La sortie S2 est donc à un
30 niveau logique haut, ce qui signale que les crêtes franchissent les seuils et que le compte-tours pourra fonctionner normalement. En revanche, dès que l'une des deux conditions ci-dessus n'est pas remplie, T10 devient passant pour faire passer la sortie S2 au niveau logique
35 bas. Ceci aura pour effet, de façon non illustrée, d'accroître le courant dans l'enroulement d'excitation de

l'alternateur de manière que les seuils ci-dessus soient à nouveau franchis aussi rapidement que possible par les crêtes des signaux de phase.

5 Z4 a pour objet de fournir sur la sortie S2 la tension requise pour le niveau logique haut. C3 évite les oscillations parasites au niveau de la sortie S2.

10 La partie du circuit construite autour de T11 et T12 a pour but de détecter si l'amplitude de la différence entre les tensions V_{s1} et V_{s2} a une valeur du même ordre de grandeur que la tension U_{B+com} , elle-même voisine de la tension en sortie d'alternateur. Les tensions de jonction base-émetteur de T12 et T11 définissent respectivement des tensions de seuil d'environ +0,6 volt et -0,6 volt de manière à vérifier si
15 les tensions V_{s1} et V_{s2} passent par les niveaux +0,6 volt et $U_{B+com}-0,6$ volt.

Plus précisément, si la tension sur $\phi 1$ est supérieure à U_{B+com} diminuée de la tension de jonction émetteur-base de T11, alors T11 est bloqué. Si dans le
20 même temps la tension sur $\phi 2$ est inférieure à la tension de jonction émetteur-base de T12, alors T12 est bloqué et S3 délivre un niveau logique haut, signalant l'absence de défaut. Si à un même instant l'une des deux conditions ci-dessus n'est pas remplie, alors T12 devient passant et
25 S3 passe à un niveau logique bas.

Ainsi cette partie du circuit délivre sur sa sortie S3 un signal passant alternativement d'un niveau logique à l'autre lorsque l'amplitude des tensions phase V_{s1} et V_{s2} est suffisante. En revanche, si cette
30 amplitude est insuffisante, le signal S3 reste en permanence au niveau haut, ce qui signale ce défaut.

Les composants Z5 et C4 ont des rôles équivalents à ceux des composants Z4 et C3 décrits plus haut.

35 Le transistor T8 a pour objet de mettre la ligne d'alimentation U_{B+com} , qui alimente les deux circuits construits autour de T9, T10 et T11, T12, respectivement,

à une tension voisine de U_B , seulement lorsque le circuit de détection de phase a déterminé que l'alternateur est en rotation et met en service le circuit régulateur.

On va maintenant décrire en référence à la figure 2 une variante de réalisation de l'invention.

La partie de circuit construite autour de T1-T4, et les parties de circuit construites autour de T9, T10 et T11, T12, respectivement, sont réalisées comme sur la figure 1 et ne seront pas décrites à nouveau.

Dans cette variante, l'intégrateur de Miller est remplacé par un circuit de filtrage et d'immunisation contre les parasites de type différent. Plus précisément, le collecteur de T3 est en outre relié à une première borne d'une résistance R1 dont la seconde borne est reliée, de première part à une première borne d'une résistance R2, de deuxième part à la cathode d'une diode zéner Z1 et de troisième part à la grille d'un transistor T40 de type MOS-FET. La seconde borne de R2 est reliée au drain d'un autre transistor MOS-FET T30, et à une première borne d'une résistance R3. La seconde borne de R3 est reliée d'une part à l'entrée de remise à zéro RS d'un premier temporisateur constitué en l'espèce par un compteur binaire ascendant CT1, et d'autre part à une première borne d'un condensateur C1. A la masse sont reliées l'autre borne de C1, l'anode de Z1 et la source de T30.

Le collecteur de T4 est relié à une première borne d'une résistance R4 dont la seconde borne est reliée, de première part à une première borne d'une résistance R5, de deuxième part à la cathode d'une diode zéner Z2 et de troisième part à la grille de T30. La seconde borne de R5 est reliée au drain de T40 et à une première borne d'une résistance R6. La seconde borne de R6 est reliée d'une part à l'entrée de remise à zéro RS d'un second temporisateur constitué par un compteur binaire ascendant CT2, et d'autre part à une première borne d'un

condensateur C2. A la masse sont reliées l'autre borne de C2, l'anode de Z2 et la source de T40.

Une borne d'entrée CK pour un signal d'horloge, sous forme par exemple d'un signal carré de fréquence appropriée, est reliée aux deux entrées d'horloge de comptage CK des compteurs CT1 et CT2. La sortie S de chaque compteur est constituée par l'une de ses lignes binaires parallèles de sortie, de poids bien déterminée, et elle est reliée à l'entrée d'activation En du compteur considéré, ceci afin de configurer les compteurs CT1 et CT2 en temporisateurs. Une porte NON-OU P1 reçoit par ailleurs en entrée les deux sorties S des compteurs, et sa sortie est reliée à une borne de sortie logique S1 du circuit.

On va maintenant expliquer en détail le fonctionnement du circuit de la figure 2.

Le circuit comparateur construit autour des transistors T1-T4, comme précédemment, ferme T3 ou T4 respectivement lorsque la valeur absolue de la tension entre phases excède 0,6 volt.

Les ensembles constitués par les composants R1, R2, R3, C1 et T30 d'une part, et R4, R5, R6, C2 et T40 d'autre part, constituent des filtres passe-bas disymétriques, basés sur une charge lente de C1 et C2 via les résistances R1, R2, R3 d'un côté et R4, R5, R6 de l'autre, et une décharge plus rapide de ces condensateurs, via seulement R3 et R6, respectivement, lorsque T30 et T40 sont fermés.

Plus précisément, lorsque l'alternateur est à l'arrêt, et en supposant initialement l'absence de parasites ou autres, la tension $V_{s2}-V_{s1}$ est nulle. Les transistors T1 à T4 sont bloqués. C1 et C2 se déchargent donc lentement, respectivement via R3, R2, R1, R9 et R6, R5, R4, R12. Les tensions appliquées sur les entrées RS des deux compteurs sont donc en permanence des niveaux logiques bas. Les compteurs CT1 et CT2 délivrent donc sur

leurs sorties S, éventuellement après une temporisation due au comptage, des niveaux logiques hauts, et la sortie S1 est au niveau bas, ce qui signale que le circuit régulateur associé à l'alternateur ne doit pas être mis en service.

Lorsque l'alternateur est en rotation, ou lors de l'existence de parasites radiofréquence, la tension $V_{s2} - V_{s1}$ franchit alternativement les seuils de tension fixés par T1 et T2.

Dans un premier temps, lorsque par exemple $V_{s2} - V_{s1}$ devient supérieure à +0,6 volt, alors T1 et T3 deviennent passants. C1 se charge lentement via R1, R2, R3. Un instant plus tard, T1 et T3 s'ouvrent à nouveau, puis T2 et T4 se ferment. La tension d'avalanche de la diode zéner Z2, par exemple de +5 volts, est alors appliquée à la grille de T30, qui se ferme pour décharger C1 rapidement, via seulement R3.

Ainsi, on comprend que le niveau de tension présent sur C1 varie en fonction de la fréquence et du rapport cyclique des périodes d'ouverture/fermeture de T3. De même, le niveau de tension sur C2 varie en fonction de ces mêmes critères quant à T4.

De la sorte, lorsque seuls des signaux parasites de haute fréquence, typiquement de quelques centaines de kilohertz, apparaissent sur les entrées phases, les durées de fermeture de T3 et T4 sont trop courtes pour faire monter la tension sur C1 ou C2 jusqu'à un niveau considéré comme un niveau logique haut par le compteur associé CT1 ou CT2. De même, lorsque ces parasites sont de brèves impulsions de tension espacées, donc de rapport cyclique faible, le niveau de tension sur C1 ou C2 ne monte là encore pas suffisamment. Les compteurs CT1 et CT2 ne sont donc pas remis à zéro et, comme décrit plus haut, la sortie de la porte P1 applique à la borne S1 un niveau logique bas. Le circuit régulateur reste donc inactif.

Au contraire, lorsque l'alternateur est en rotation, la tension sur C1 et la tension sur C2, du fait de la fréquence beaucoup plus basse du signal $V_{s2}-V_{s1}$, atteignent des valeurs qui sont pour les compteurs CT1 et CT2 des niveaux logiques hauts de remise à zéro. Les
5 sorties S des deux compteurs restent en permanence à zéro car la remise à zéro des sorties S est prolongée pendant la durée de temporisation prévue pour être supérieure à la durée d'une alternance du signal phase, et ce pour les
10 très faibles vitesses de rotation de l'alternateur. La sortie S1 est au niveau haut, ce qui signale que le circuit régulateur de l'alternateur doit être mis en service.

Par ailleurs, lorsque l'alternateur n'est pas en rotation et que l'une des liaisons de l'alternateur avec
15 les entrées phases $\phi 1$ et $\phi 2$ est coupée, la tension $V_{s1}-V_{s2}$ peut être supérieure à 0,6 volt car ces entrées phase ne sont plus amenées au même potentiel par le bobinage du stator de l'alternateur. On observe alors un comportement
20 disymétrique des transistors T1, T3 d'une part et T2, T4 d'autre part. Par exemple, T1 et T3 peuvent être passants, tandis que T2 et T4 restent bloqués en permanence. Dans ce cas, Le compteur CT1 est remis à zéro, mais pas le compteur CT2. Les deux compteurs CT1 et
25 CT2 délivrent donc en sortie respectivement un niveau logique bas et un niveau logique haut. La sortie S1 est donc au niveau logique bas et le circuit régulateur n'est pas mis en service. Ainsi, dans le cas d'une coupure de liaison phase à l'arrêt du moteur, le circuit selon
30 l'invention permet d'éviter de façon fiable la mise en service du régulateur, qui provoquerait une décharge de la batterie.

En résumé, la mise en service du régulateur ne peut intervenir que lorsque l'alternateur est en
35 rotation, et ce même lorsque les potentiels V_{s1} et V_{s2} des entrées phase sont perturbés par des parasites à

haute fréquence ou par un défaut de liaison avec le bobinage du stator de l'alternateur.

Le filtrage réalisé par les condensateurs C1 et C2, complété par une temporisation au niveau des compteurs CT1 et CT2, permet d'assurer une excellente immunité vis-à-vis des parasites à haute fréquence, de durée brève, susceptibles d'apparaître sur les bornes ø1, ø2. En outre, le circuit de la figure 2, tout comme celui de la figure 1, est très facilement intégrable dans une puce unique de silicium, en n'y occupant qu'une surface limitée.

La porte P1 combine les signaux de sortie des deux compteurs, pour provoquer le passage du signal de sortie à la borne S1 au niveau bas dès qu'au moins l'un des deux compteurs n'est plus remis à zéro.

Bien entendu, la présente invention n'est nullement limitée à la forme de réalisation décrite ci-dessus et représentée sur les dessins, mais l'homme de l'art saura y apporter toute variante ou modification conforme à son esprit.

REVENDECATIONS

1. Circuit de détection de la tension entre phases d'un alternateur polyphasé pour commander la mise en service d'un régulateur de la charge d'une batterie de véhicule automobile par cet alternateur, le circuit
5 comprenant des moyens de discrimination différentielle de l'amplitude de la tension entre un couple de signaux de phase ($\phi 1$, $\phi 2$) délivrés par l'alternateur, caractérisé en ce que les moyens de discrimination différentielle comprennent un couple de transistors (T1, T2) constituant
10 chacun un moyen comparateur de la tension entre phases avec une tension de seuil définie par leur tension de jonction émetteur-base respective, les dites tensions de seuil ayant de faibles valeurs de signes opposés.

2. Circuit de détection selon la revendication 1, caractérisé en ce que chaque transistor (T1, T2) constituant un moyen comparateur a sa sortie reliée à un transistor de mise en forme de signaux (T3, T4).

3. Circuit selon l'une des revendications 1 et 2, caractérisé en ce qu'il comprend en outre, en association
20 avec chaque transistor, un circuit de filtrage.

4. Circuit selon la revendication 3, caractérisé en ce que chaque circuit de filtrage comprend un condensateur (C1; C2) dont la charge à une première vitesse est provoquée par la fermeture du transistor
25 associé (T1; T2) et dont la décharge, à une seconde vitesse sensiblement plus élevée, est provoquée par la fermeture de l'autre transistor (T2; T1) via un moyen interrupteur commandé (T30; T40).

5. Circuit selon la revendication 4, caractérisé en ce qu'il comprend en outre en association avec chaque
30 circuit de filtrage un circuit de temporisation (CT1; CT2) dont une borne de sortie change d'état logique de façon durable seulement lorsque la tension aux bornes du condensateur (C1; C2) du circuit de filtrage associé

excède une tension prédéterminée à une cadence supérieure à une cadence déterminée.

5 6. Circuit selon la revendication 5, caractérisé en ce que chaque circuit de temporisation comprend un compteur binaire (CT1; CT2) dont une entrée de remise à zéro reçoit la tension aux bornes du condensateur (C1; C2) du circuit de filtrage associé et dont une sortie est constituée par une sortie de bit de rang élevé.

10 7. Circuit selon la revendication 6, caractérisé en ce que les sorties des deux compteurs sont reliées aux deux entrées d'une porte logique (P1), dont la sortie est utilisée pour commander la mise en service du régulateur.

8. Circuit selon la revendication 7, caractérisé en ce que la porte logique est une porte NON-OU.

15 9. Circuit selon l'une des revendications 1 à 8, caractérisé en ce que les deux transistors (T1, T2) comprennent un premier transistor bipolaire (T1) recevant ledit signal comme tension base-émetteur et un second transistor bipolaire (T2) recevant l'inverse dudit signal
20 comme tension base-émetteur.

10. Circuit selon l'une des revendications 1 à 9, caractérisé en ce qu'il comprend en outre des premiers moyens comparateurs additionnels (T9, T10) pour déterminer si une tension de signal de phase est
25 inférieure à une troisième tension de seuil, proche de zéro, pendant qu'une tension d'un autre signal de phase est supérieure à une quatrième tension de seuil, proche de la moitié de la tension de batterie, de manière à provoquer l'accroissement du courant d'excitation dans
30 l'alternateur lorsque cette condition n'est pas remplie.

11. Circuit selon la revendication 10, caractérisé en ce qu'il comprend en outre des seconds moyens comparateurs additionnels (T11, T12) pour déterminer si une tension de signal de phase est inférieure à une
35 cinquième tension de seuil, proche de zéro, pendant qu'une tension d'un autre signal de phase est supérieure

à une sixième tension de seuil, proche de la tension de batterie, à des fins de signalisation de défaut lorsque cette condition n'est pas remplie.

- 5 12. Circuit selon la revendication 11, caractérisé en ce que les premiers et seconds moyens comparateurs additionnels sont alimentés seulement lors de la mise en service du régulateur par le circuit de détection.

1 / 2

FIG. 1

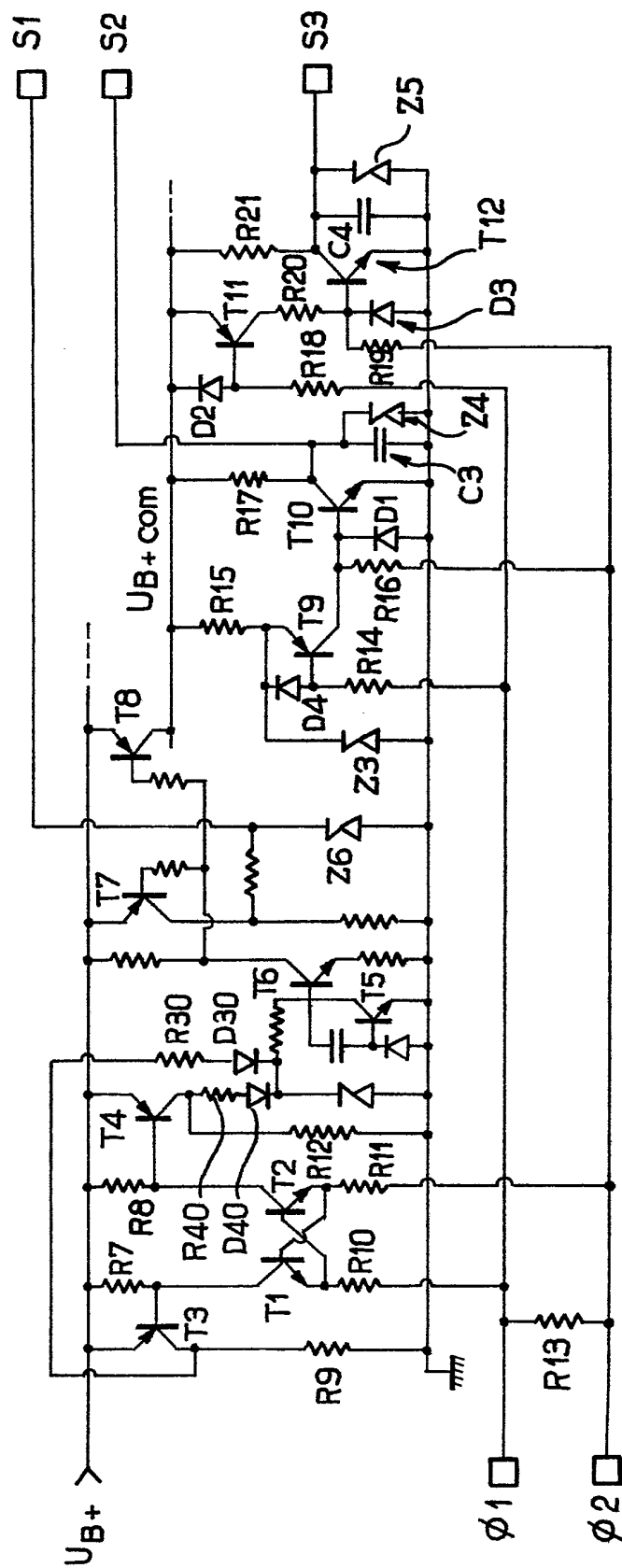
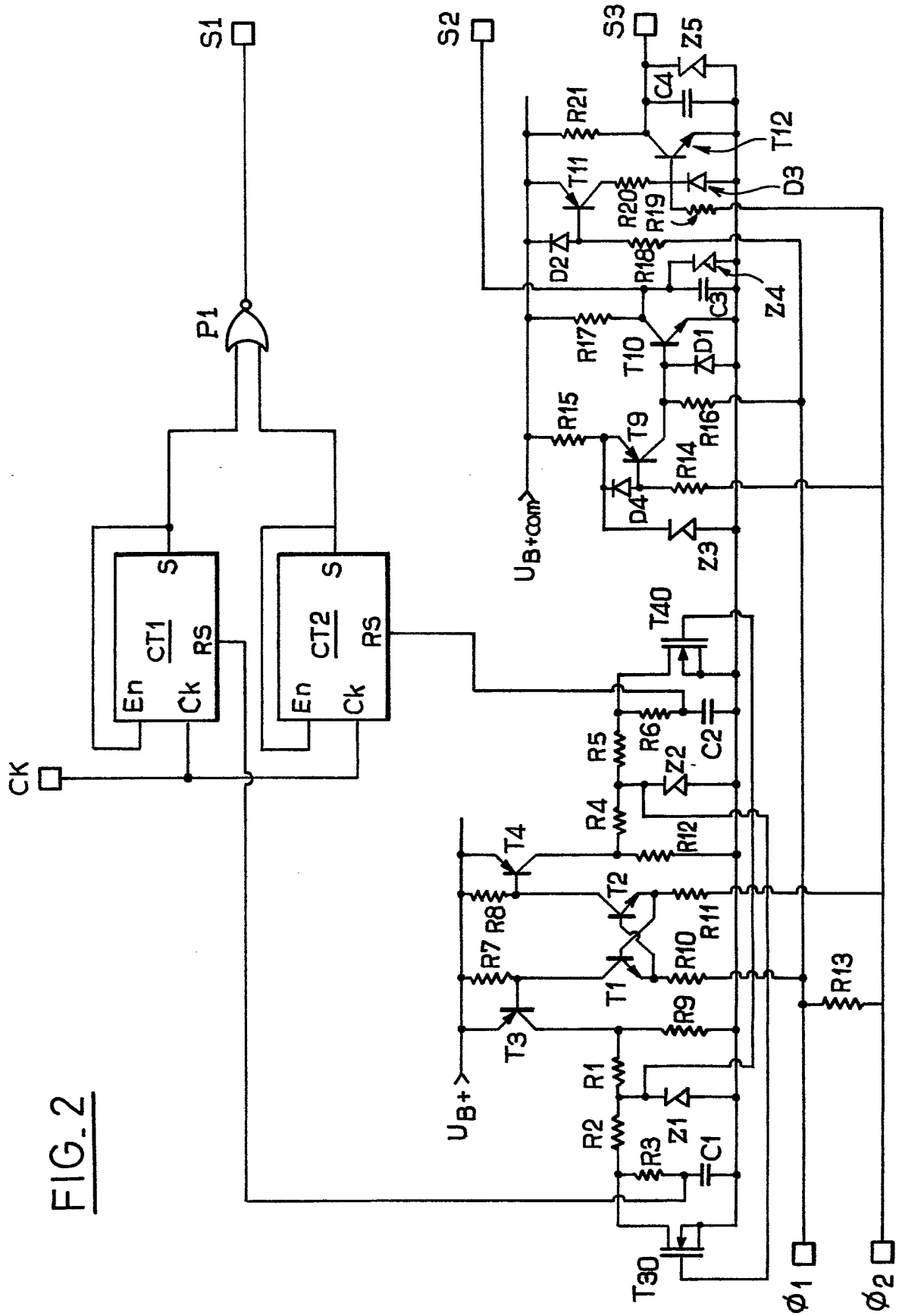


FIG. 2



INSTITUT NATIONAL

de la
PROPRIETE INDUSTRIELLE

RAPPORT DE RECHERCHE

établi sur la base des dernières revendications
déposées avant le commencement de la rechercheN° d'enregistrement
nationalFR 9107436
FA 457675

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
Y, D	EP-A-0 408 436 (VALEO) * abrégé; figures 2A, 2B * ---	1, 9
Y	GB-A-2 159 286 (STC) * page 2, ligne 2 - ligne 40; figures 3, 4A * ---	1, 9
A	EP-A-0 191 571 (MOTOROLA) -----	
		DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
		H02J G01R
Date d'achèvement de la recherche 26 FEVRIER 1992		Examineur IWANSSON K. G.
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant		