



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I511147 B

(45) 公告日：中華民國 104 (2015) 年 12 月 01 日

(21) 申請案號：099134873

(22) 申請日：中華民國 99 (2010) 年 10 月 13 日

(51) Int. Cl. : G11C29/04 (2006.01)

G11C16/06 (2006.01)

(30) 優先權：2009/11/13 世界智慧財產權組織 PCT/US09/64464

(71) 申請人：惠普研發公司 (美國) HEWLETT-PACKARD DEVELOPMENT COMPANY, L.P.
(US)

美國

(72) 發明人：慕拉力瑪諾哈 那米恩 MURALIMANO HAR, NAVEEN (IN) ; 喬皮 諾曼 P
JOU PPI, NORMAN PAUL (US)

(74) 代理人：惲軼群；陳文郎

(56) 參考文獻：

JP 2008-227447A

US 2005/0010725A1

US 2008/0077767A1

US 2009/0103345A1

US 2009/0226075A1

審查人員：劉耀允

申請專利範圍項數：14 項 圖式數：12 共 36 頁

(54) 名稱

使用叢塊及穿矽通孔之平行化檢查點化技術

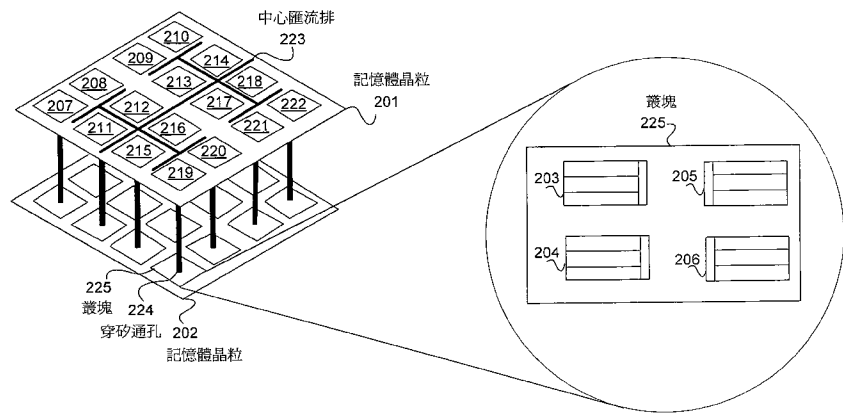
PARALLELIZED CHECK POINTING USING MATS AND THROUGH SILICON VIAS (TSVS)

(57) 摘要

本發明係關於包括一駐留於一疊堆記憶體上被組織成包括資料的多個叢塊的記憶體晶粒的一系統及方法。該系統及方法還包括一駐留於該疊堆記憶體上被組織成附加的多個叢塊並藉由一穿矽通孔(TSV)連接至該記憶體晶粒的附加記憶體晶粒，資料將沿該等 TSV 而被發送。

The memory system comprises: a semiconductor memory that includes an internal circuit, which operates according to a first power supply voltage, and a memory input/output circuit, which is coupled to the internal circuit and operates according to a second power supply voltage; a first control unit that includes a control input/output circuit, which is coupled to the memory input/output circuit and operates according to the second power supply voltage; a voltage generating unit that generates the second power supply voltage and changes the second power supply voltage according to a voltage adjustment signal; a clock generating unit that generates the clock signal and changes the frequency of the clock signal according to a clock adjustment signal; and a second control unit that generates the voltage adjustment signal and the clock adjustment signal according to an access state of the semiconductor memory by the first control unit.

第 2 圖



104 ↻

- 201、202 . . . 記憶體晶粒
- 203-206 . . . 範例子陣列/子陣列
- 207-222、225 . . . 叢塊(MAT)
- 223 . . . 中心匯流排
- 224 . . . 穿矽通孔 (TSV)

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99134873

※申請日：99.10.13

※IPC 分類：

G11C 29104 (2006.01)
G11C 16/06 (2006.01)

一、發明名稱：(中文/英文)

使用叢塊及穿矽通孔之平行化檢查點化技術
 PARALLELIZED CHECK POINTING USING MATs AND THROUGH SILICON
 VIAs (TSVs)

二、中文發明摘要：

本發明係關於包括一駐留於一疊堆記憶體上被組織成包括資料的多個叢塊的記憶體晶粒的一系統及方法。該系統及方法還包括一駐留於該疊堆記憶體上被組織成附加的多個叢塊並藉由一穿矽通孔(TSV)連接至該記憶體晶粒的附加記憶體晶粒，資料將沿該等TSV而被發送。

三、英文發明摘要：

The memory system comprises: a semiconductor memory that includes an internal circuit, which operates according to a first power supply voltage, and a memory input/output circuit, which is coupled to the internal circuit and operates according to a second power supply voltage; a first control unit that includes a control input/output circuit, which is coupled to the memory input/output circuit and operates according to the second power supply voltage; a voltage generating unit that generates the second power supply voltage and changes the second power supply voltage according to a voltage adjustment signal; a clock generating unit that generates the clock signal and changes the frequency of the clock signal according to a clock adjustment signal; and a second control unit that generates the voltage adjustment signal and the clock adjustment signal according to an access state of the semiconductor memory by the first control unit.

四、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

201、202...記憶體晶粒

203-206...範例子陣列/子陣列

207-222、225...叢塊(MAT)

223...中心匯流排

224...穿矽通孔(TSV)

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係關於使用叢塊及穿矽通孔之平行化檢查點化技術。

【先前技術】

發明背景

雙行記憶體模組(DIMM)包含一系列隨機存取記憶體(RAM)積體電路。這些RAM積體電路典型地使用動態RAM(DRAM)晶胞來儲存資料。一DIMM被安裝於一印刷電路板上且被設計成用在刀鋒型伺服器、個人電腦、工作站或伺服器中。透過使用DIMM，可促成快速的資料檢查點化。

檢查點化是一種用以將容錯插入運算系統的技術。其包括，例如，儲存當前應用狀態之一快照並在失敗時使用其來重新啟動一應用之執行。

【發明內容】

依據本發明之一實施例，係特地提出一種電腦系統，其包含：一記憶體晶粒，其駐留於一疊堆記憶體上，被組織成包括資料的多個叢塊；及一附加記憶體晶粒，其駐留於該疊堆記憶體上，被組織成附加的多個叢塊並藉由一穿矽通孔(TSV)連接至該記憶體晶粒，資料將沿該等TSV被發送。

圖式簡單說明

第1圖為一依據一範例實施例的刀鋒型伺服器的一圖式，其繪示一(或多個)在運作中連接至一處理器插座的

DIMM。

第2圖為依據一範例實施例的疊堆記憶體之一圖式，其繪示同質記憶體架構。

第3圖為一依據一範例實施例的疊堆記憶體之一圖式，其繪示異質記憶體架構。

第4圖為一依據一範例實施例的先前技術叢塊之一圖式，其繪示用於一讀取或寫入操作的記憶體晶胞之啟動。

第5圖為一依據一範例實施例的先前技術叢塊之一圖式，其繪示資料之讀取。

第6圖為一依據一範例實施例的叢塊之一圖式，該叢塊在一平行化檢查點化過程期間使用一位址產生器模組來啟動記憶體晶胞以實現讀取或寫入資料之目的。

第7圖為一依據一範例實施例的叢塊之一圖式，該叢塊用以在一平行化檢查點化過程中利用一穿矽通孔(TSV)控制器來實施一讀取操作。

第8圖為一繪示一依據一範例實施例的叢塊的圖式，該叢塊用以在一平行化檢查點化過程期間實施一寫入操作來將資料寫入多個子陣列。

第9圖為一繪示一種依據一範例實施例的方法之流程圖，此方法被執行來促成資料之讀取或寫入來實現平行化檢查點化之目的。

第10圖為一繪示一種依據一範例實施例的方法之流程圖，此方法用以在一平行化檢查點化過程期間啟動一位址產生器以實現沿TSV來發送資料之目的。

第11圖為一繪示一種依據一範例實施例的方法之流程圖，此方法用以在一平行化檢查點化過程期間啟動一位址產生器以實現將資料寫入一已啟動記憶體晶胞之目的。

第12圖為一繪示一種依據一範例實施例的方法之流程圖，此方法用以在一涉及異質記憶體的平行化檢查點化過程期間啟動一位址產生器以實現將資料寫入一已啟動記憶體晶胞之目的。

【實施方式】

較佳實施例之詳細說明

本文說明一種使用DIMM之平行化檢查點化系統及方法，DIMM具有包括垂直整合的記憶體晶粒的疊堆記憶體。此處所使用之平行化檢查點化指一DRAM晶粒中的多個叢塊使用每一叢塊或一組叢塊中的TSV、一TSV控制器及一位址產生器電路同時傳送資料至疊堆晶粒。此處所使用之疊堆記憶體包括垂直整合成一作為DRAM晶片之一部分的單一記憶體晶粒疊堆的兩層或更多層主動電子組件。疊堆記憶體可透過包括單塊、晶圓上晶圓、晶圓上晶粒或晶粒上晶粒技術的技術來製造。垂直整合透過使用TSV而被促成。一個三維(3D)疊堆中的記憶體晶粒可以是同質的或異質的。此處所使用之同質包括記憶體晶粒以一對一之組態堆積成層，其中類似的記憶體類型垂直堆積成層。此處所使用之異質包括記憶體晶粒以一對多之組態堆積成層，或其中不同的記憶體類型垂直堆積成層。

在某些範例實施例中，記憶體晶粒被組織成每一晶粒

有一或更多個叢塊。疊堆記憶體中的每一記憶體晶粒可被細分為一或更多組子陣列。一組子陣列為一叢塊。一子陣列包括一記憶體晶胞陣列。例如，一晶粒可被劃分為一或更多組的四子陣列。除了至少一子陣列之外，一叢塊還包括一本地解碼器、預解碼器、多工器、解多工器、位址產生模組、TSV控制器及從該等子陣列中的一或更多者讀取資料或將資料寫入該等子陣列中的一或更多者所必需的其他邏輯電路中的至少一者。透過使用這些邏輯電路，有關於資料之讀取及寫入之平行性可被實現。駐留於一公用記憶體晶粒上的叢塊透過使用多個互連體(例如一中心匯流排或H樹區段)而被連接，而駐留於作為同一疊堆記憶體之一部分的不同記憶體晶粒上的叢塊透過使用TSV而被垂直整合。就一同質疊堆記憶體而言，TSV用以連接一駐留於一記憶體晶粒上的叢塊之記憶體至一駐留於一附加叢塊上的類似記憶體類型。此附加叢塊駐留於另一記憶體晶粒上。就異質疊堆記憶體而言，TSV用以連接駐留於一叢塊上的一種類型的記憶體至駐留於附加叢塊上的一不同類型的記憶體。此附加叢塊駐留於另一記憶體晶粒上。透過使用TSV，駐留於同一疊堆記憶體內的不同記憶體晶粒之間可維持平行化。

在某些範例實施例中，一疊堆記憶體內的叢塊以同質方式被組織成使得利用類似類型記憶體的叢塊使用TSV來跨接至多個晶粒。例如，一駐留於一作為一疊堆記憶體之一部分的第一晶粒上的第一叢塊連接至一駐留於一作為該

疊堆記憶體之一部分的第二晶粒上的第二叢塊。該等第一及第二晶粒所使用的記憶體類型可以是動態隨機存取記憶體(DRAM)或其他非依電性記憶體(例如，快閃記憶體、磁電阻式隨機存取記憶體(MRAM)、相變隨機存取記憶體(PCRAM)記憶體)、憶阻器或某一其他適用類型的記憶體。

在某些範例實施例中，一疊堆記憶體中的叢塊以異質方式被組織成使得利用不同類型之記憶體的叢塊使用TSV跨接至多個晶粒。例如，一駐留於一第一晶粒上的第一叢塊連接至一駐留於一第二晶粒上的第二叢塊，其中該二晶粒為同一疊堆記憶體之一部分。該等第一及第二晶粒所使用的記憶體類型是不同的，該第一晶粒可使用DRAM，而該第二晶粒可使用快閃記憶體。

在某些範例實施例中，異質疊堆記憶體用以促成有關於記憶體面積/密度之異質性。在一範例實施例中，在不同晶粒中的記憶體具有不同面積特性的情況下，資料可從一駐留於一記憶體晶粒上的叢塊寫入駐留於多個不同記憶體晶粒上的多個其他叢塊。這些叢塊之每一者駐留於同一疊堆記憶體內。相較於駐留於該疊堆記憶體上的另一叢塊，此寫入可以一具有較小密度的記憶體的叢塊為基礎。

在某些範例實施例中，在疊堆晶粒顯現出有關於記憶體延遲的異質性的情況下，資料以一管線方式從一駐留於一記憶體晶粒上的叢塊寫入駐留於多個不同記憶體晶粒上的多個其他叢塊。例如，資料從一具有快速記憶體的叢塊讀取(或寫入)至一位於一具有慢速記憶體的不同晶粒中的

叢塊。由於潛時長的叢塊花費較多時間來完成其操作，故快速叢塊可交錯存取多個叢塊以隱藏延遲。

第1圖為一範例刀鋒型伺服器100之一圖式，繪示一(或多個)在運作中連接至一處理器插座的DIMM。圖中繪示有多個插座101及與之相關聯之由刀鋒型伺服器100利用來產生與記憶體有關的讀取或寫入命令的中央處理單元(CPU)。在運作中經由一雙倍資料速率(DDR)匯流排102連接至插座101的為一DIMM 103。作為此DIMM 103的一部分而存在的為疊堆記憶體104及疊堆記憶體105。此DIMM 103可包括多個疊堆記憶體(例如，除了疊堆記憶體104及105之外還有8個疊堆記憶體模組)。而且，該疊堆記憶體可包括DRAM、MRAM、PCRAM、憶阻器或以一同質或異質方式組織而成的某一其他適用類型的記憶體。

第2圖是疊堆記憶體104之一圖式，繪示範例同質記憶體架構。圖中繪示有一記憶體晶粒201及記憶體晶粒202。駐留於記憶體晶粒201上的為多個叢塊。這些叢塊包括叢塊207-222。在運作中連接這些叢塊204-219中每一者的為例如呈一中心匯流排223形式的一或更多個互連體。而且，在運作中連接記憶體晶粒201及記憶體晶粒202的為多個TSV。例如，圖中繪示有在運作中連接叢塊219至叢塊225的TSV 224。圖中還繪示有叢塊225之一分解圖，繪示出駐留於叢塊225上的範例子陣列203-206。TSV 224支援記憶體晶粒201與記憶體晶粒202之間之資料發送。如圖中所繪示者，同質記憶體架構具有一對一叢塊映射，使得，例如，叢塊

219映射到叢塊225。此一對一映射係以使用同一類型記憶體的每一叢塊為基礎。

第3圖為疊堆記憶體105之一範例之一圖式，繪示一範例異質記憶體架構。圖中繪示有一記憶體晶粒301及記憶體晶粒302。駐留於這些記憶體晶粒301-302之每一者上的為多個叢塊。例如，駐留於記憶體晶粒301上的為叢塊307-322。在運作中連接這些各種不同叢塊307-322的為例如呈中心匯流排323形式的一或更多個互連。在某些範例實施例中，連接各種不同叢塊的互連可被禁用來保存電力。例如，在TSV用以在叢塊之間讀取或寫入資料的情況下，此禁用可被實施。而且，在運作中連接記憶體晶粒301至記憶體晶粒302的為TSV 324。特別是TSV 324連接叢塊319至叢塊325。如圖中所繪示者，叢塊325就面積而言較叢塊319為大且包括一較之叢塊319密度較小類型的記憶體。例如，包括叢塊319的記憶體晶粒301可能具有十六個叢塊，總共六十四個子陣列。相比之下，包括叢塊325的記憶體晶粒302可能具有四個叢塊，即十六個子陣列。圖中還繪示有叢塊325之一分解圖，繪示出駐留於叢塊325上的範例子陣列303-306。叢塊319與叢塊325之間沿TSV 324之資料發送為異質性之表示，因為其繪示了一面積較小的記憶體晶粒寫入或讀取資料至一較大面積的記憶體晶粒。

在某些範例實施例中，在不同面積或延遲/潛時之叢塊經由TSV而被連接的情況下，對叢塊之修改需要被實施以容許跨記憶體晶粒而進行通訊。例如，若叢塊325就面積而

言大於叢塊319，則記憶體晶粒302可被細分為多個記憶體晶粒。此外，在這些面積或延遲/潛時不同的情況下，TSV連接之粒度可被改變使得記憶體晶粒301之兩個或更多個叢塊可組合並經由TSV連接至記憶體晶粒302中的一叢塊。而且，在一記憶體晶粒上存在未被使用的矽區域的情況下，晶片組可被重新組織成使得該未被使用的矽可被使用。在某些範例實施例中，該未被使用的矽之重新組織可用以減小電力額外負擔。

在某些範例實施例中，TSV之相對粒度提供一個使跨駐留於不同記憶體晶粒上的不同子陣列的管線存取成為可能的機會。例如，假定TSV之頻寬為「b-bits」。在檢查點化期間，來自記憶體晶粒301之資料以一b-bits的速率從一駐留於記憶體晶粒301上的子陣列被讀取，且被傳送至一位於記憶體晶粒302中的對應子陣列。使用管線操作，記憶體晶粒301可立即啟動從記憶體晶粒301之一子陣列到記憶體晶粒302中的對應子陣列之次一b-bits資料傳送。由於一叢塊中的不同子陣列以一管線方式被存取，故此傳送可在毋需等待先前傳送操作完成的情況下被啟動。而且，藉由調整分享TSV連接及TSV 324之頻寬的子陣列之數目，等待時間可減少。例如，一個具有一叢塊到叢塊連接(例如，假定每一叢塊具有四個子陣列)的3D設計可能具有一四向管線操作，轉變成高達4X的速度。

第4圖為一範例先前技術叢塊400之一圖式，繪示用於一讀取或寫入操作的記憶體晶胞之啟動。圖中繪示有子陣

列203-206，及一解碼位址以存取子陣列203-206中的晶胞的預解碼器模組402。一位址作為位址輸入位元401經由一(或多個)互連體而被接收。駐留於子陣列203-206中每一者上的為一預充電/寫入模組、一被連接的二維記憶體晶胞及一感測放大器(SA)/多工器。而且，駐留於各該子陣列上的為一系列解碼器。在一範例實施例中，位址的一部分被接收且使用預解碼器模組402針對子陣列203-206中的一者或更多者而被解碼。為了實現將資料寫入或讀取到位於該子陣列上的一個二維記憶體晶胞之目的，位於子陣列203-206中的一者或更多者上的一系列解碼器進一步解碼剩餘位址位元。

第5圖是一範例先前技術叢塊500之一圖式，繪示資料之讀取。圖中繪示有資料由此被讀取的子陣列203-206。此資料從子陣列203-206被讀取且透過一多工器501作為資料輸出位元502被安排路由且沿一(或多個)互連體被發送。在某些範例實施例中，一個三態緩衝器替代多工器501而被用以從子陣列203-206讀取資料。此外，其他範例實施例可使用一全域匯流排或其他適用方式來從子陣列203-206讀取資料。此資料可被路由至一記憶體控制器，或其他適用裝置。

第6圖為一使用一位址產生器模組來啟動記憶體晶胞來實現在一平行化檢查點化過程期間讀取或寫入資料之目的的範例叢塊600之一圖式。圖中繪示有一控制器601，其產生一指示多工器603從位址產生器604中擷取出位址的備份信號602。控制器601可以是一DIMM控制器、一記憶體控

制器或某一其他適用類型的控制器。位址產生器604可以是一產生對應於子陣列203-206中的記憶體晶胞位址之數值的計數器。而且，控制器601還可指示位址產生器604來啟動、設定、重置、改變或修改與位址產生器604相關聯之計數值(例如，一時鐘值)。在無備份信號601被接收到的情況下，多工器602從一在位址輸入605處表示的匯流排中擷取出位址。由位址產生器604產生或從該匯流排中擷取出的位址用於從子陣列203-206讀取資料或將資料寫入子陣列203-206。在此備份信號602被接收的情況下，位址產生器604可產生針對駐留於一記憶體晶粒上的各該叢塊用以並行讀取或寫入資料的位址。特別是由位址產生器604產生的位址可被駐留於該記憶體晶粒上的一或更多個叢塊分享。在某些範例實施例中，一電容器在本文所說明之平行化檢查點化過程執行期間被實施以處理最差峰值電力使用率。

第7圖為一用以在一平行化檢查點化過程中利用一TSV控制器來實施一讀取操作的範例叢塊700之一圖式。圖中繪示有一產生一被提供給多工器703的備份信號702的控制器701。控制器701可以是DIMM控制器、記憶體控制器或其他適用控制器。備份信號702指示叢塊700資料將從子陣列203-206被讀取並沿TSV 708而被發送。此處所使用之一備份信號可以是一位元值(例如，「0」或「1」)。在某些範例實施例中，若無備份信號702被提供，則資料從子陣列203-206被讀取且沿輸出匯流排704被發送。如圖中所繪示者，在備份信號702被接收的情況下，多工器703從子陣列

203-206中之一者或更多者中擷取出資料且準備供在TSV 708上發送的資料。TSV控制器模組707控制TSV 708上的資料佈局。由多工器703擷取出的資料沿TSV 708被發送。TSV控制器模組707之範例包括一確定控制器(例如，一計數器)、一TSV存取控制機構或某一其他適用裝置。在資料在TSV 708上發送期間，各種不同的三態緩衝器705及706由TSV控制器707來啟動。

第8圖為一圖式，繪示一用以在一平行化檢查點化過程期間實施一寫入操作以將資料寫入多個子陣列的範例叢塊800。圖中繪示有一產生一位址信號802的控制器801及一解多工器803。控制器801可以是一DIMM控制器、記憶體控制器或其他適用裝置。在此位址信號802被接收的情況下，解多工器803從TSV 224擷取出資料及/或記憶體位址並將其寫入子陣列203-206中的一者或更多者及與之相關聯之記憶體晶胞。在某些範例實施例中，資料經由由TSV控制器707管理的TSV 708由叢塊700被提供給叢塊800。在位址信號802未被接收的情況下，資料從位於匯流排中的資料804中被擷取出並被寫入子陣列203-206及與之相關聯之記憶體晶胞。

在某些範例實施例中，當有來自一記憶體控制器的一備份信號或檢查點請求時，一頂部晶粒中的每一叢塊之內容被傳送至備份記憶體中的對應叢塊。例如，記憶體晶粒301之資料被傳送至記憶體晶粒302(即假定記憶體晶粒302作用為主要記憶體)。如第6-8圖中所繪示者，由於每一叢塊

裝備有足夠邏輯來從記憶體晶胞讀取或寫入資料，故跨整個記憶體的備份操作可並行發生。完成一備份操作的時間為叢塊之規格(例如，面積及/或密度)及連接叢塊的互連(例如，中心匯流排、H樹區段及TSV)之頻寬之函數。

第9圖為一繪示一被執行以促成資料之讀取或寫入來實現平行化檢查點化之目的的範例方法900之流程圖。此方法900可在刀鋒型伺服器100上執行。一操作901被執行以等待處理器(例如，與插座101相關聯之CPU)發送一檢查點化請求。一決策操作902被執行以判定該請求是否為一記憶體列啟動請求。在決策操作902評估成「否」的情況下，一決策操作903被執行。在決策操作902評估成「是」的情況下，一操作907被執行。當操作907被執行時，基於被置於位址匯流排中的位址而啟動記憶體列。在某些範例實施例中，操作907可由控制器601來執行。決策操作903被執行以判定該請求是否為一由控制器601執行的記憶體行啟動請求。在決策操作903評估成「是」的情況下，一決策操作906被執行。在決策操作903評估成「否」的情況下，一決策操作904被執行。決策操作906判定該請求是否為一讀取請求。此決策操作906可由控制器701來執行。在決策操作906評估成「是」的情況下，一操作908被執行。當操作908被執行時，使用行位址從當前活動列中選擇一行集合並發送其至控制器701(例如，一記憶體控制器)。在決策操作906評估成「否」的情況下，一操作909被執行。操作909使用行位址更新來自該當前活動列的該行集合，該更新使用資料匯流排中的

資料來執行。操作909使用控制器801而被執行。決策操作904被執行以判定平行化檢查點化是否被需要。在決策操作904評估成「否」的情況下，一操作905被執行。在決策操作904評估成「是」的情況下，操作910被執行。決策操作904可由控制器601來執行。操作905被執行以執行一由一記憶體控制器指示的DRAM常式。操作910由一控制器(例如，控制器601)來執行以啟動備份程序。

第10圖為一繪示一用以在一平行化檢查點化過程期間啟動一位址產生器來實現沿TSV發送資料之目的的範例方法1000之流程圖。圖中繪示有一被執行以設定一備份信號(例如，設定成「1」)並啟動位址產生器604的操作1001。此操作1001可由控制器601來執行。一決策操作1002被執行以判定該位址產生器是否已完成在所連接的一給定叢塊或一組叢塊中產生位址。在決策操作1002評估成「否」的情況下，操作1003被執行。在決策操作1002評估成「是」的情況下，操作1005被執行。操作1003被執行以使用由位址產生器604所產生的位址來啟動由該位址所代表的對應晶胞。此操作1003可由預解碼器605來執行。操作1004被執行以從已啟動晶胞讀取資料並透過TSV發送其至另一晶粒(例如，一備份晶粒)。操作1005被執行以等待與插座101相關聯之處理器來發送次一請求(例如，一備份請求)。

第11圖為一繪示一用以在一平行化檢查點化過程期間啟動一位址產生器以實現將資料寫入一已啟動記憶體晶胞之目的的範例方法1100之流程圖。圖中繪示有一被執行以

設定一備份信號(例如，設定成「1」)並啟動位址產生器604的操作1101。此操作1101可由控制器601來執行。一決策操作1102被執行以判定該位址產生器是否已完成在所連接的一給定叢塊或一組叢塊中產生位址。在決策操作1102評估成「否」的情況下，操作1103被執行。在決策操作1102評估成「是」的情況下，操作1105被執行。操作1103被執行以使用由位址產生器604所產生的位址來啟動由該位址所代表的對應晶胞。此操作1103可由預解碼器605來執行。操作1104被執行以從TSV讀取資料並將其儲存在已啟動晶胞中。操作1105被執行以等待與插座101相關聯之處理器來發送次一請求(例如，一備份請求)。

第12圖為一繪示一用以在一涉及異質記憶體之平行化檢查點化過程期間啟動一位址產生器以實現將資料寫入一已啟動記憶體晶胞之目的的範例方法1200之流程圖。圖中繪示有一被執行以設定一備份信號(例如，設定成「1」)並啟動位址產生器604的操作1201。此操作1201可由控制器601來執行。一操作1202被執行以產生位址使得該等位址跨多個子陣列而交錯。如此處所使用者，交錯包括對應於不連續位址位置的記憶體位址之產生。例如，在交錯被使用的情況下，位址可由該位址產生器產生使得這些位址在連接至TSV的不同子陣列之間輪替。一決策操作1203被執行以判定該位址產生器是否已完成在所連接的一給定叢塊或一組叢塊中產生位址。在決策操作1203評估成「否」的情況下，操作1204被執行。在決策操作1203評估成「是」的

情況下，操作1206被執行。操作1204被執行以使用由位址產生器604所產生的位址來啟動由該位址所代表的對應晶胞。此操作1204可由預解碼器605來執行。操作1205被執行以從TSV讀取資料並將其儲存在已啟動晶胞中。操作1206被執行以等待與插座101相關聯之處理器來發送次一請求(例如，一備份請求)。

在某些範例實施例中，本文所說明之該等方法被儲存在一被繪示為一單一媒體的移動實體儲存媒體中，且「機器可讀取媒體」一詞應被視為包括儲存一或更多個指令集合的一單一媒體或多個媒體(例如，一集中式或分散式資料庫及/或相關快取記憶體及伺服器)。「機器可讀取媒體」一詞還應被視為包括能夠儲存、編碼或攜帶一由機器執行且使該機器執行本文所說明的方法中的一或更多種方法中的任何方法的指令集合的任何媒體。「機器可讀取媒體」一詞因此應被視為包括但不限於固態記憶體、光學及磁性媒體及載波信號。

本文所提及的方法可作為儲存在被實施為一或更多個電腦可讀取或電腦可用儲存媒體的儲存裝置中的資料及指令。儲存媒體包括不同形式的持久及非持久記憶體。應指出的是上文所討論之軟體之指令可被提供於一電腦可讀取或電腦可用儲存媒體上，或可選擇地，可被提供於分佈在一可能具有複數節點的大系統中的多個電腦可讀取或電腦可用儲存媒體上。這樣的電腦可讀取或電腦可用儲存媒體被視為一物件(或一項製造物品)的一部分。一物件或一項製

造物品可指任何被製造出來的單一組件或多個組件。

在上述說明中，許多細節被提及以提供對本發明的理解。然而，熟於此技者將理解的是本發明在毋需此等特定細節之下也可被實施。雖然本發明已相關於有限數目的實施例而被揭露，熟於此技者將瞭解到其之許多修改及變化。意圖是後附申請專利範圍涵蓋落入本發明之「真正的」精神及範圍內的此類修改及變化。

【圖式簡單說明】

第1圖為一依據一範例實施例的刀鋒型伺服器的一圖式，其繪示一(或多個)在運作中連接至一處理器插座的DIMM。

第2圖為依據一範例實施例的疊堆記憶體之一圖式，其繪示同質記憶體架構。

第3圖為一依據一範例實施例的疊堆記憶體之一圖式，其繪示異質記憶體架構。

第4圖為一依據一範例實施例的先前技術叢塊之一圖式，其繪示用於一讀取或寫入操作的記憶體晶胞之啟動。

第5圖為一依據一範例實施例的先前技術叢塊之一圖式，其繪示資料之讀取。

第6圖為一依據一範例實施例的叢塊之一圖式，該叢塊在一平行化檢查點化過程期間使用一位址產生器模組來啟動記憶體晶胞以實現讀取或寫入資料之目的。

第7圖為一依據一範例實施例的叢塊之一圖式，該叢塊用以在一平行化檢查點化過程中利用一穿矽通孔(TSV)控

制器來實施一讀取操作。

第8圖為一繪示一依據一範例實施例的叢塊的圖式，該叢塊用以在一平行化檢查點化過程期間實施一寫入操作來將資料寫入多個子陣列。

第9圖為一繪示一種依據一範例實施例的方法之流程圖，此方法被執行來促成資料之讀取或寫入來實現平行化檢查點化之目的。

第10圖為一繪示一種依據一範例實施例的方法之流程圖，此方法用以在一平行化檢查點化過程期間啟動一位址產生器以實現沿TSV來發送資料之目的。

第11圖為一繪示一種依據一範例實施例的方法之流程圖，此方法用以在一平行化檢查點化過程期間啟動一位址產生器以實現將資料寫入一已啟動記憶體晶胞之目的。

第12圖為一繪示一種依據一範例實施例的方法之流程圖，此方法用以在一涉及異質記憶體的平行化檢查點化過程期間啟動一位址產生器以實現將資料寫入一已啟動記憶體晶胞之目的。

【主要元件符號說明】

100...範例刀鋒型伺服器/刀鋒型伺服器

101...插座

102...雙倍資料速率(DDR)匯流排

103...雙行記憶體模組(DIMM)

104、105...疊堆記憶體

201、202、301、302...記憶體晶粒

203-206...範例子陣列/子陣列

207-222、225、307-322、325...叢塊

223、323...中心匯流排

224、324、708...TSV

400、500...範例先前技術叢塊

401...位址輸入位元

402...預解碼器模組

501、603、703...多工器

502...資料輸出位元

600、700...範例叢塊

601、701、801...控制器

602、702...備份信號

604...位址產生器

605...位址輸入/預解碼器

700、800...範例叢塊/叢塊

704...輸出匯流排

705、706...三態緩衝器

707...TSV控制器模組/TSV控制器

802...位址信號

803...解多工器

804...匯流排中的資料

900...範例方法/方法

901、905、907、908、909、910、1001、1003、1004、1005、1101、
1103、1104、1105、1201、1202、1204、1205、1206...操作

902、903、904、906、1002、1102、1203...決策操作

1000、1100、1200...範例方法

七、申請專利範圍：

1. 一種電腦系統，其包含：

一記憶體晶粒，其駐留於一疊堆記憶體上，被組織成包括資料的多個叢塊；

5 一附加記憶體晶粒，其駐留於該疊堆記憶體上，被組織成附加的多個叢塊並藉由穿矽通孔(TSV)連接至該記憶體晶粒，其中資料將沿該等TSV被發送；

一位址產生器，用來產生針對該等多個叢塊中的子陣列記憶體晶胞之位址；以及

10 一多工器，用來接收一控制信號以擷取來自該位址產生器針對該等子陣列記憶體晶胞中之一者的位址。

2. 如申請專利範圍第1項所述之電腦系統，其中由該位址產生器產生之該等位址中之各者係與該等子陣列記憶體晶胞中之一者相關聯。

15 3. 如申請專利範圍第1項所述之電腦系統，其中該位址產生器產生該等位址作為一記憶體讀取或記憶體寫入操作中的至少一者之一部分。

4. 如申請專利範圍第1項所述之電腦系統，其進一步包含啟動沿該等TSV之資料發送的一控制器。

20 5. 一種電腦系統，其包含：

分組為駐留於一記憶體晶粒上的一叢塊的多個子陣列，該等多個子陣列包括從該等子陣列中的至少一者讀取的資料；

一穿矽通孔(TSV)控制模組，其與駐留於該記憶體

晶粒上的該叢塊相關聯，其中該TSV控制模組係用以控制在穿矽通孔(TSV)上的一資料佈局，該等TSV連接該叢塊及一駐留於一附加記憶體晶粒上的附加叢塊；

一位址產生器，用來產生針對該等多個子陣列之位址；以及

一多工器，用來接收一控制信號以擷取來自該位址產生器針對該等多個子陣列中之一者的位址。

6. 如申請專利範圍第5項所述之電腦系統，其進一步包含一包括該記憶體晶粒及該附加記憶體晶粒的疊堆記憶體，其中該疊堆記憶體為一雙行記憶體模組(DIMM)之一部分。
7. 如申請專利範圍第5項所述之電腦系統，其中該記憶體晶粒及該附加記憶體晶粒是同質的，且具有相同的記憶體面積特性或相同的記憶體延遲特性中的至少一者。
8. 如申請專利範圍第5項所述之電腦系統，其中該記憶體晶粒及該等附加記憶體晶粒為異質的，且具有不同的記憶體延遲特性或不同的面積特性中的至少一者。
9. 如申請專利範圍第5項所述之電腦系統，其中該多工器係進一步用來接收一信號，該信號指示該多工器透過該等TSV將該等資料導向至駐留於該附加記憶體晶粒上的該附加叢塊。
10. 一種電腦系統，其包含：
 - 多個子陣列，其等被分組為駐留於一記憶體晶粒上的一叢塊並由穿矽通孔(TSV)連接至附加的多個子陣

列，該等附加的多個子陣列被分組為駐留於一附加記憶體晶粒上的一附加叢塊，其中該等附加的多個子陣列係用以接收將寫入該等附加的多個子陣列中至少一者的資料；

5 一控制器，其用以產生一信號來識別與該等附加的子陣列中將寫入資料之該至少一者相關聯之位址；

與該叢塊相關聯之一位址產生器，用來產生針對該等多個子陣列之位址；以及

與該叢塊相關聯之一多工器，用來接收來自該控制
10 器之該信號以擷取來自該位址產生器針對該等多個子陣列中之一者的位址。

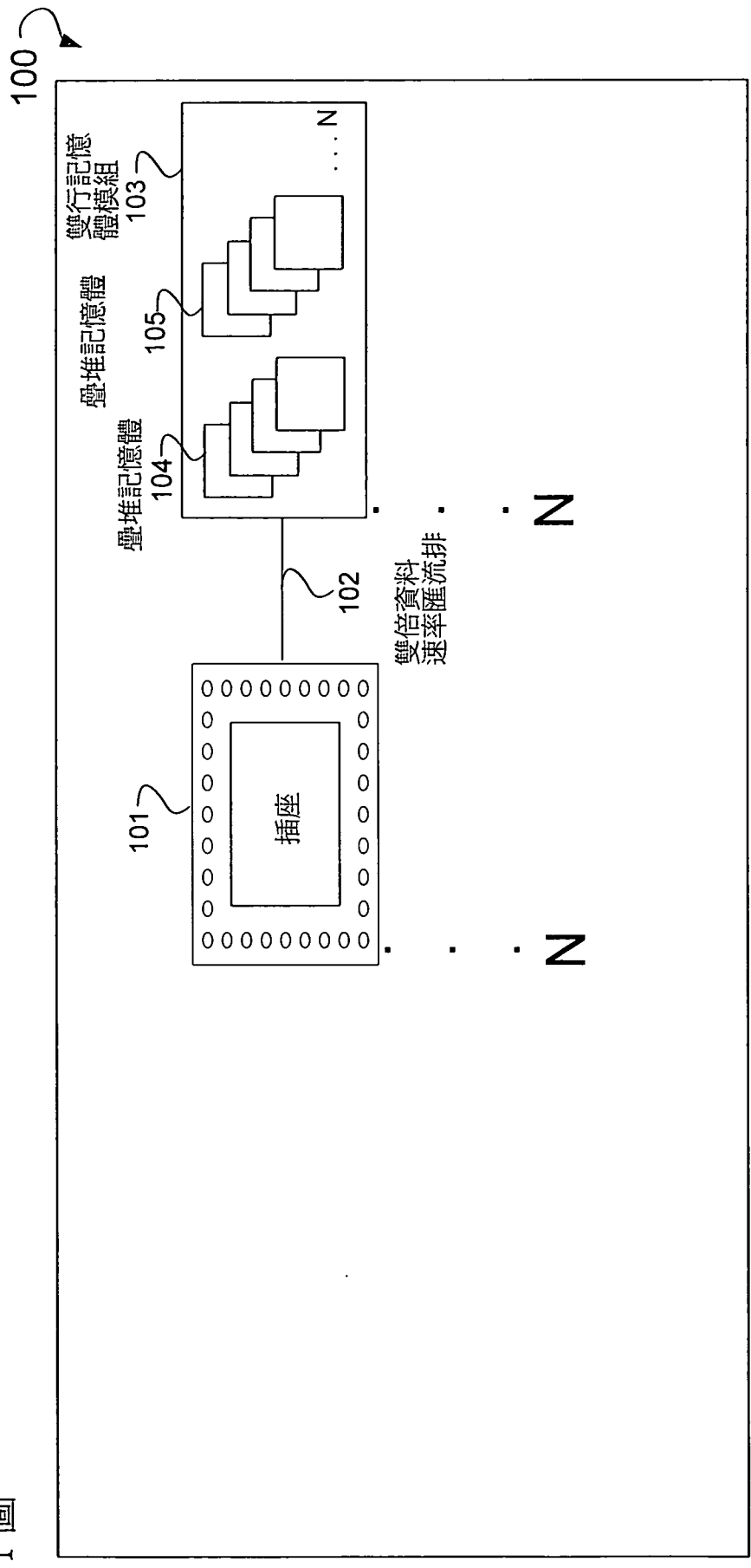
11. 如申請專利範圍第10項所述之電腦系統，其中該信號作為一平行化檢查點化方法之一部分而被接收。

12. 如申請專利範圍第10項所述之電腦系統，其中該控制器
15 為一DIMM控制器、一中央處理單元(CPU)或一記憶體控制器中至少一者。

13. 如申請專利範圍第10項所述之電腦系統，其進一步包含與該附加叢塊相關聯之一附加多工器，用來接收來自一輸入匯流排及該等TSV中之至少一者的資料。

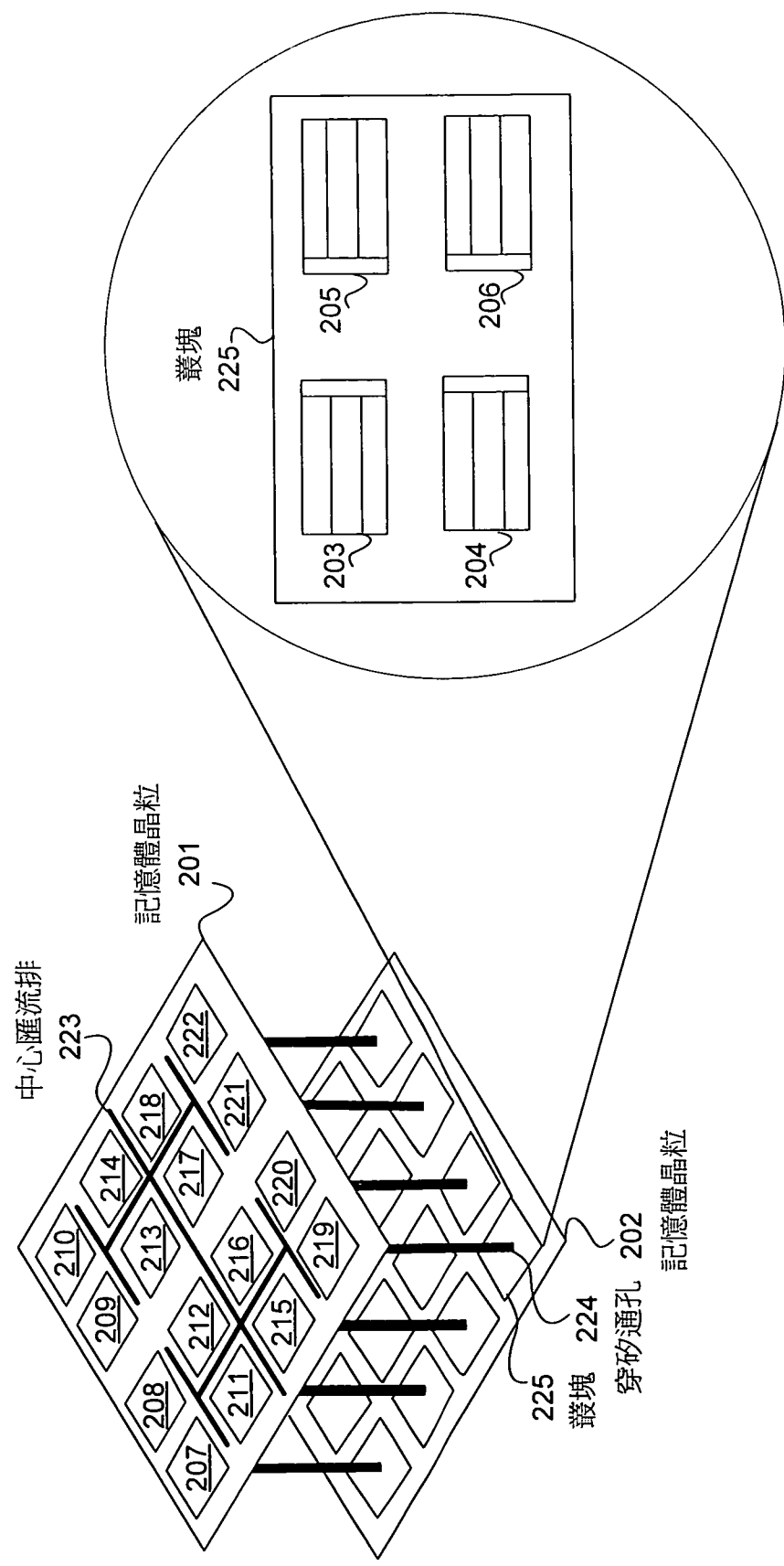
20 14. 如申請專利範圍第10項所述之電腦系統，其中該叢塊及附加叢塊各具有四個子陣列。

第1圖

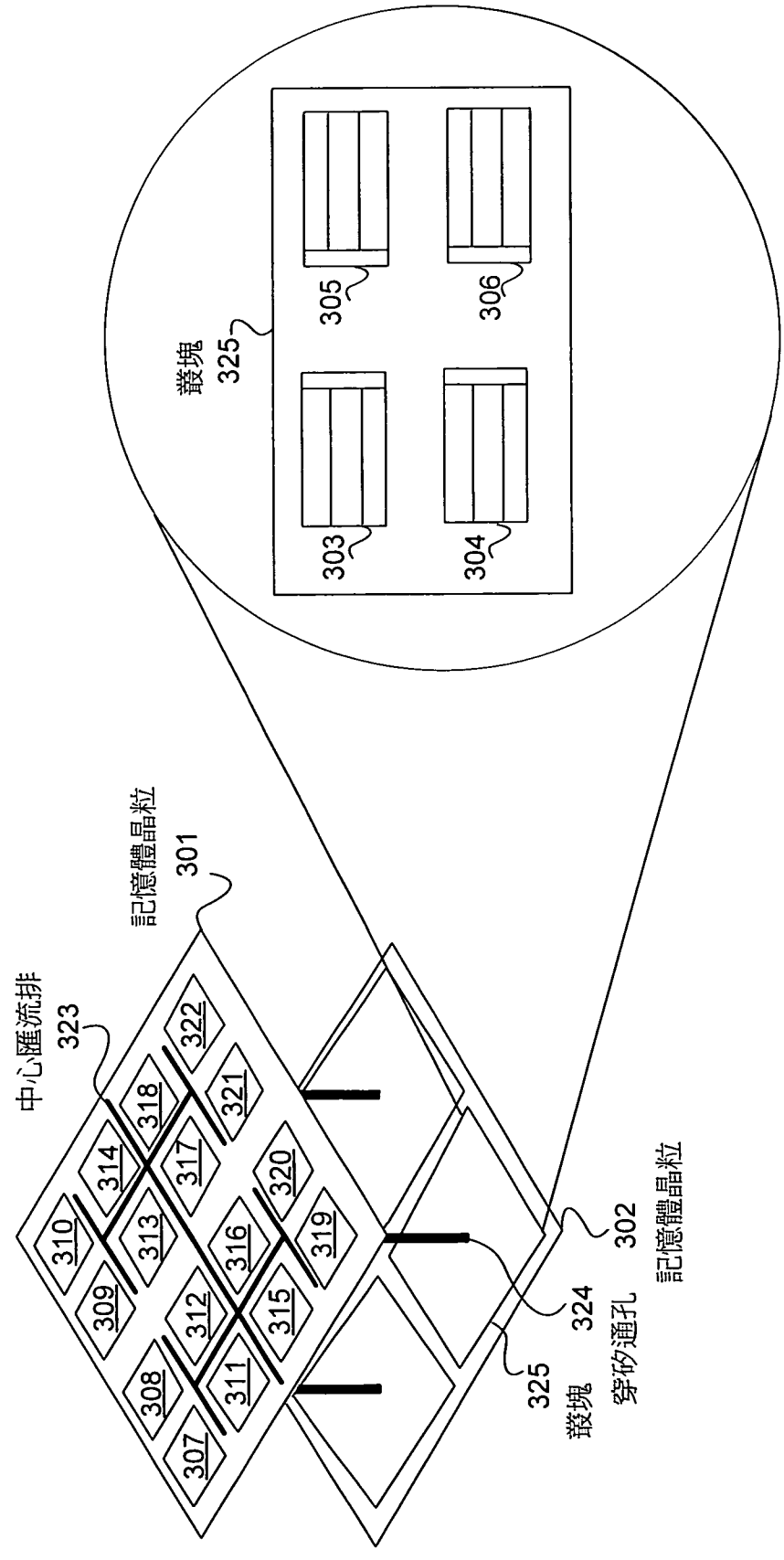


第 2 圖

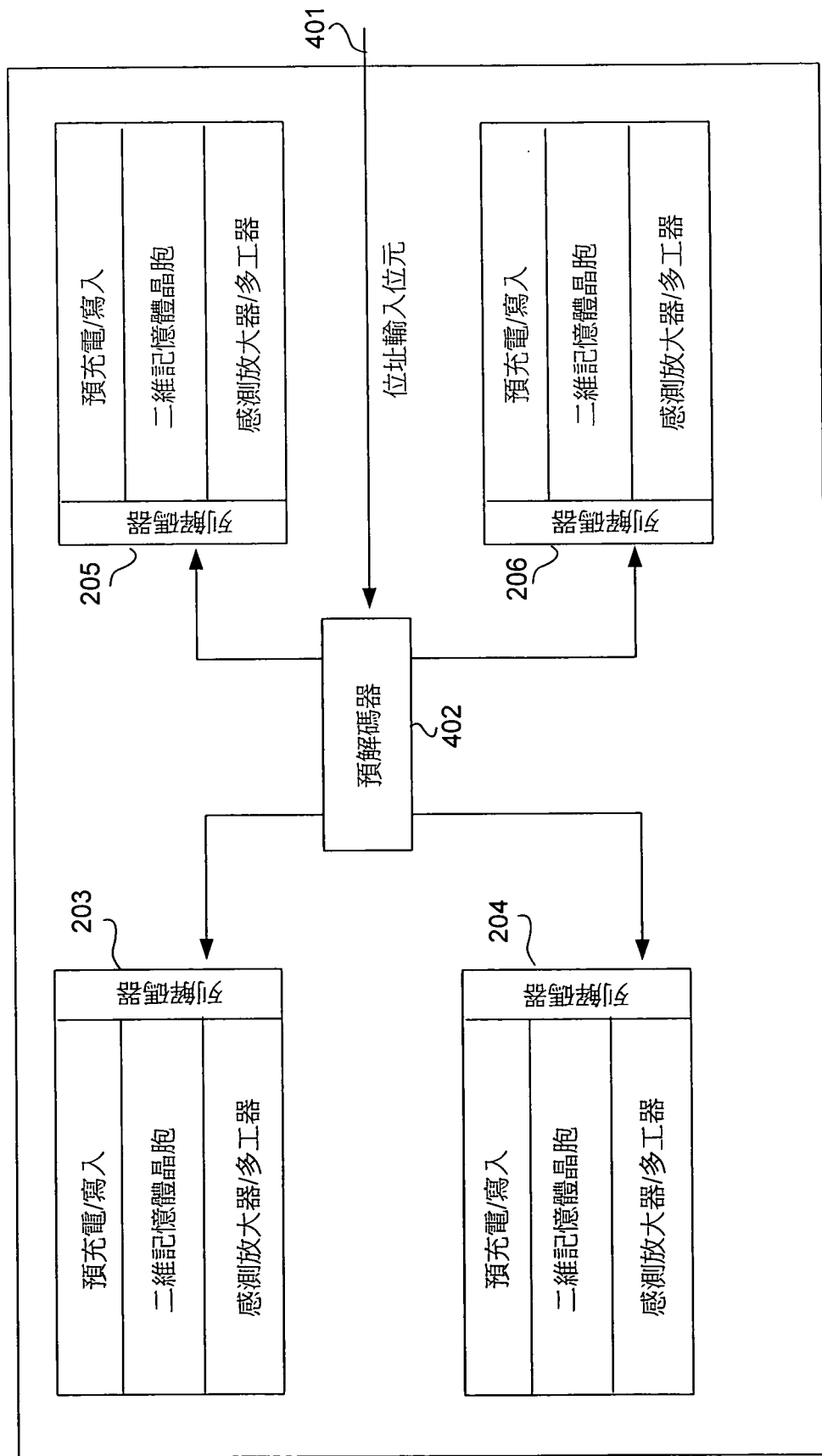
104 ↷



第 3 圖



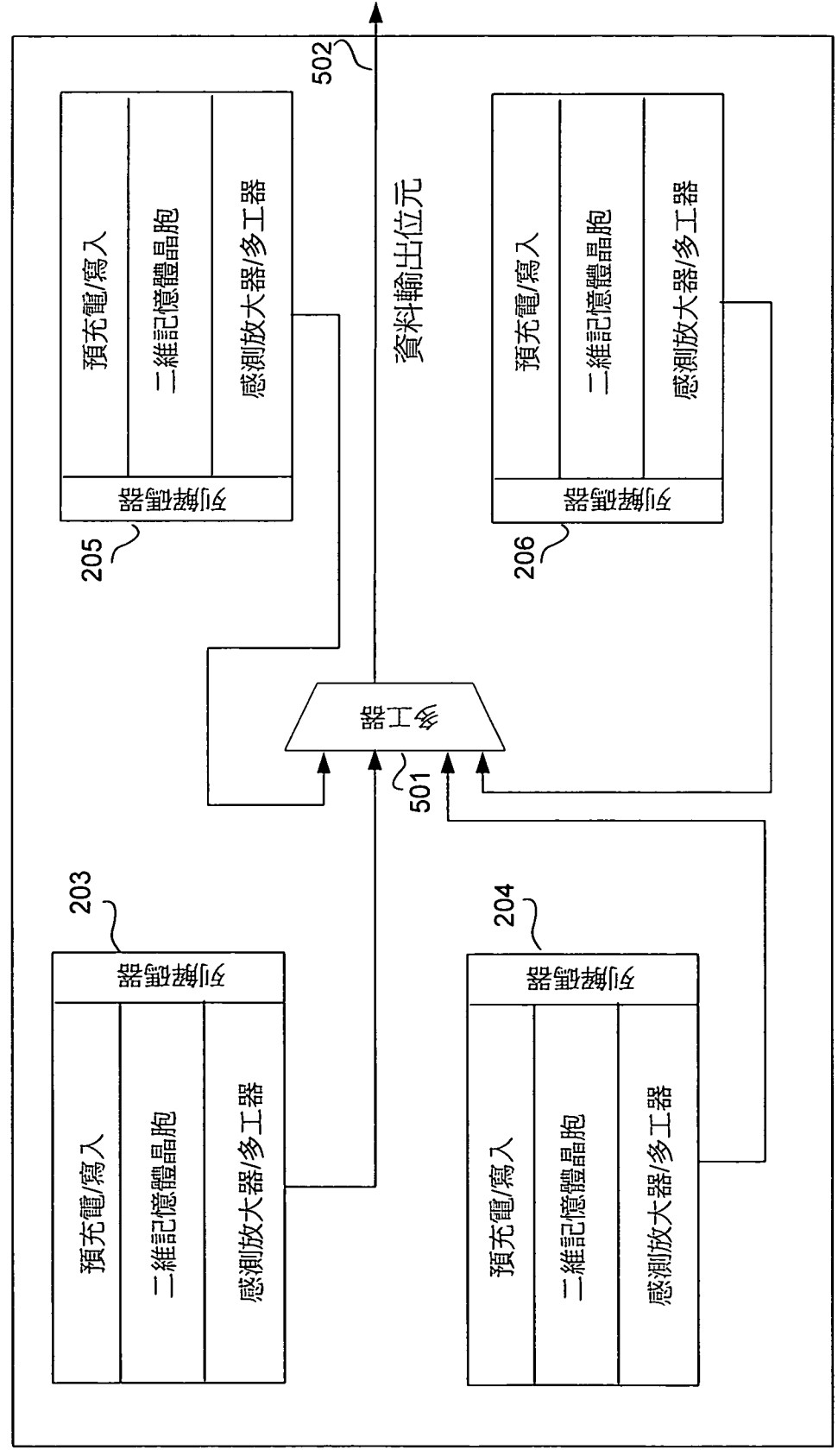
400 ↗



第 4 圖

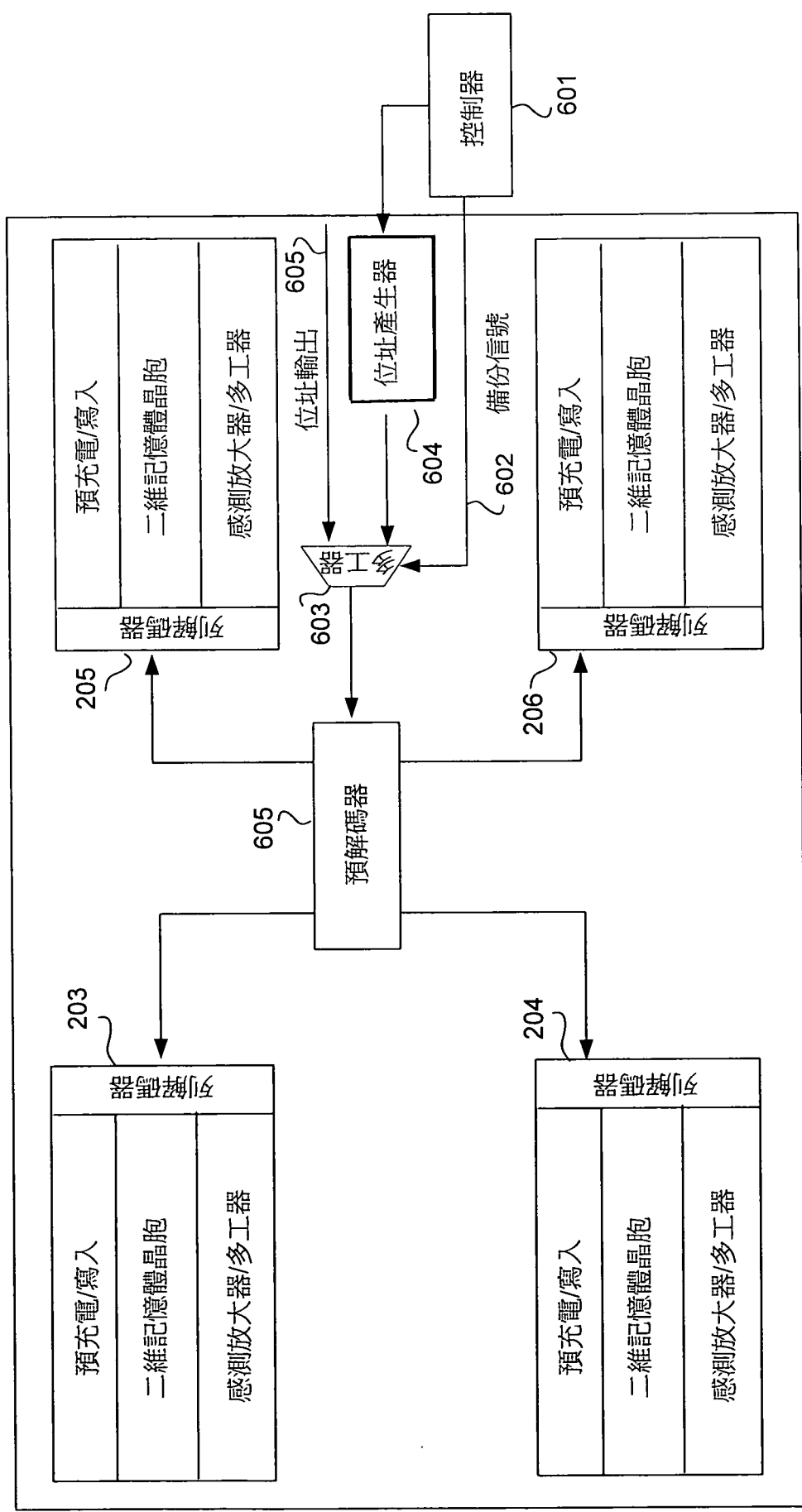
500 ↷

第 5 圖

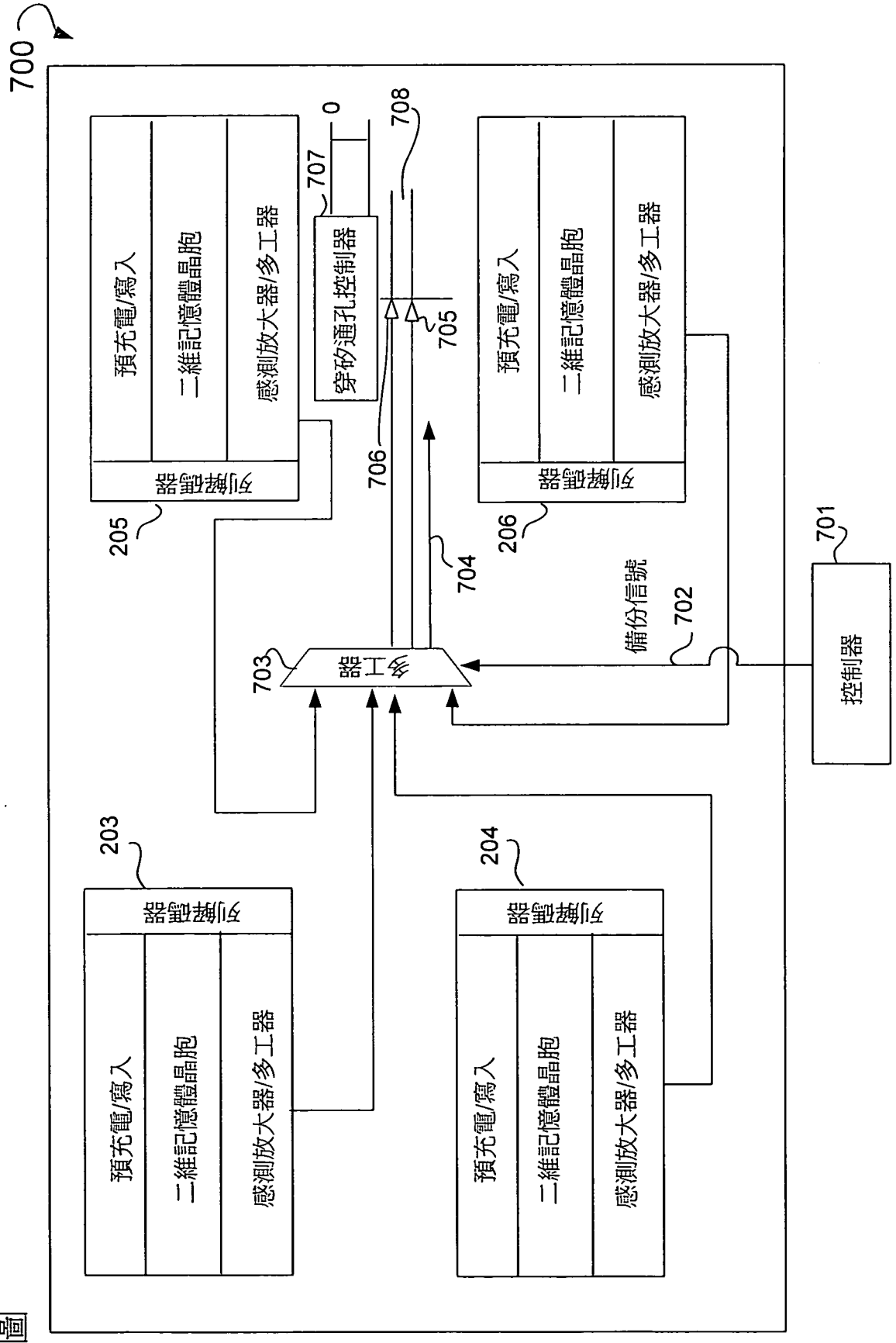


600 ↷

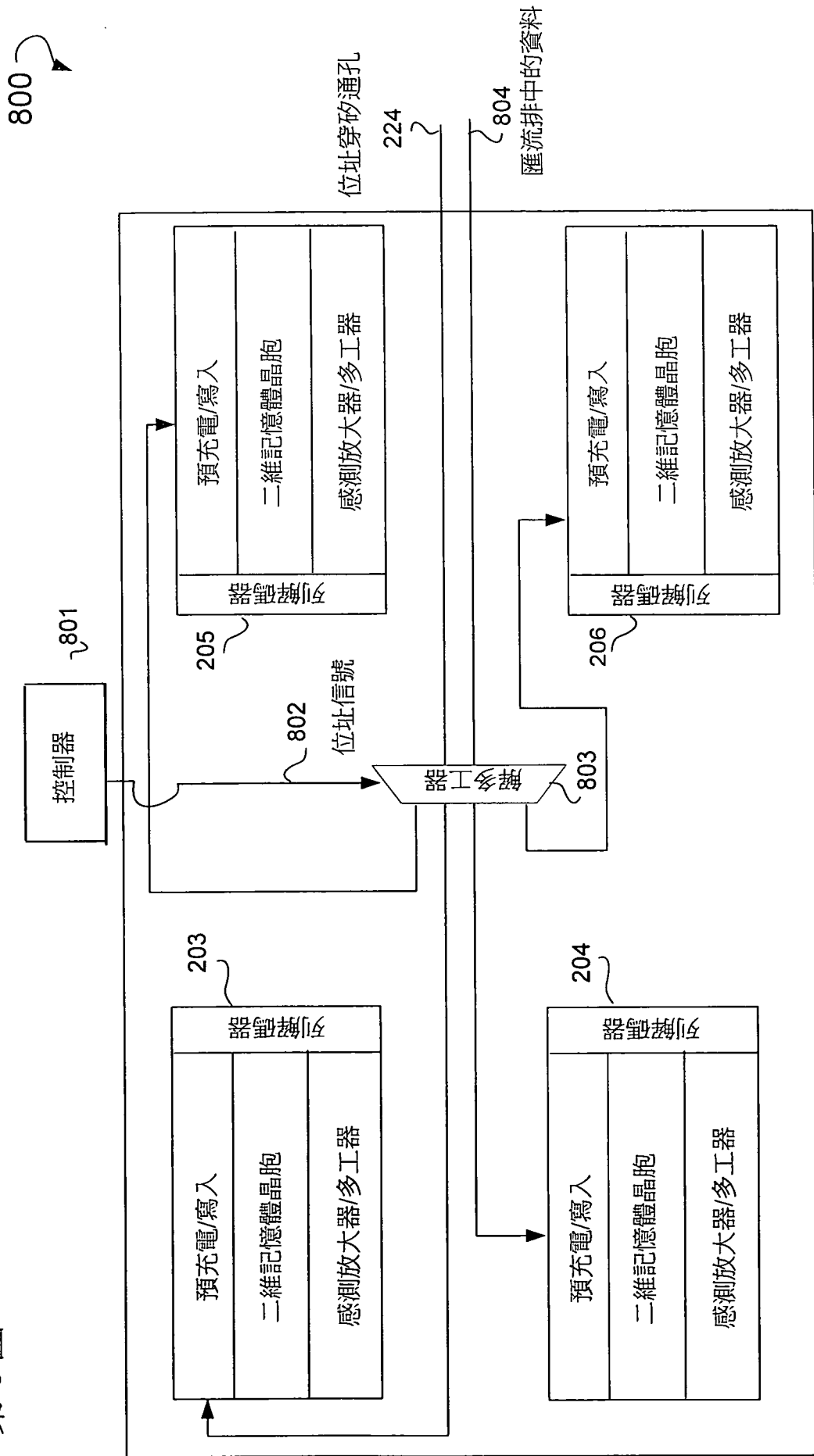
第6圖



第7圖

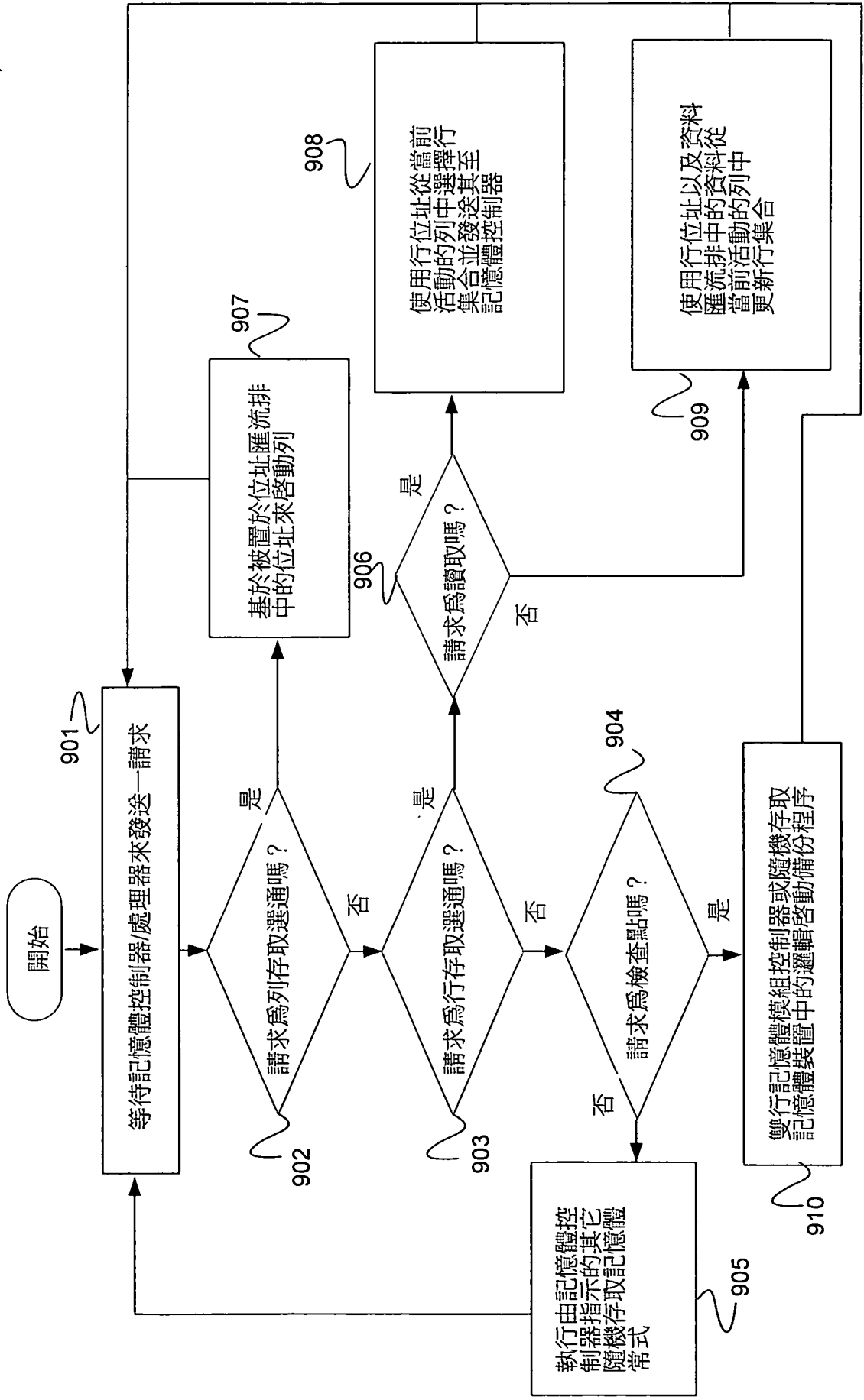


第 8 圖



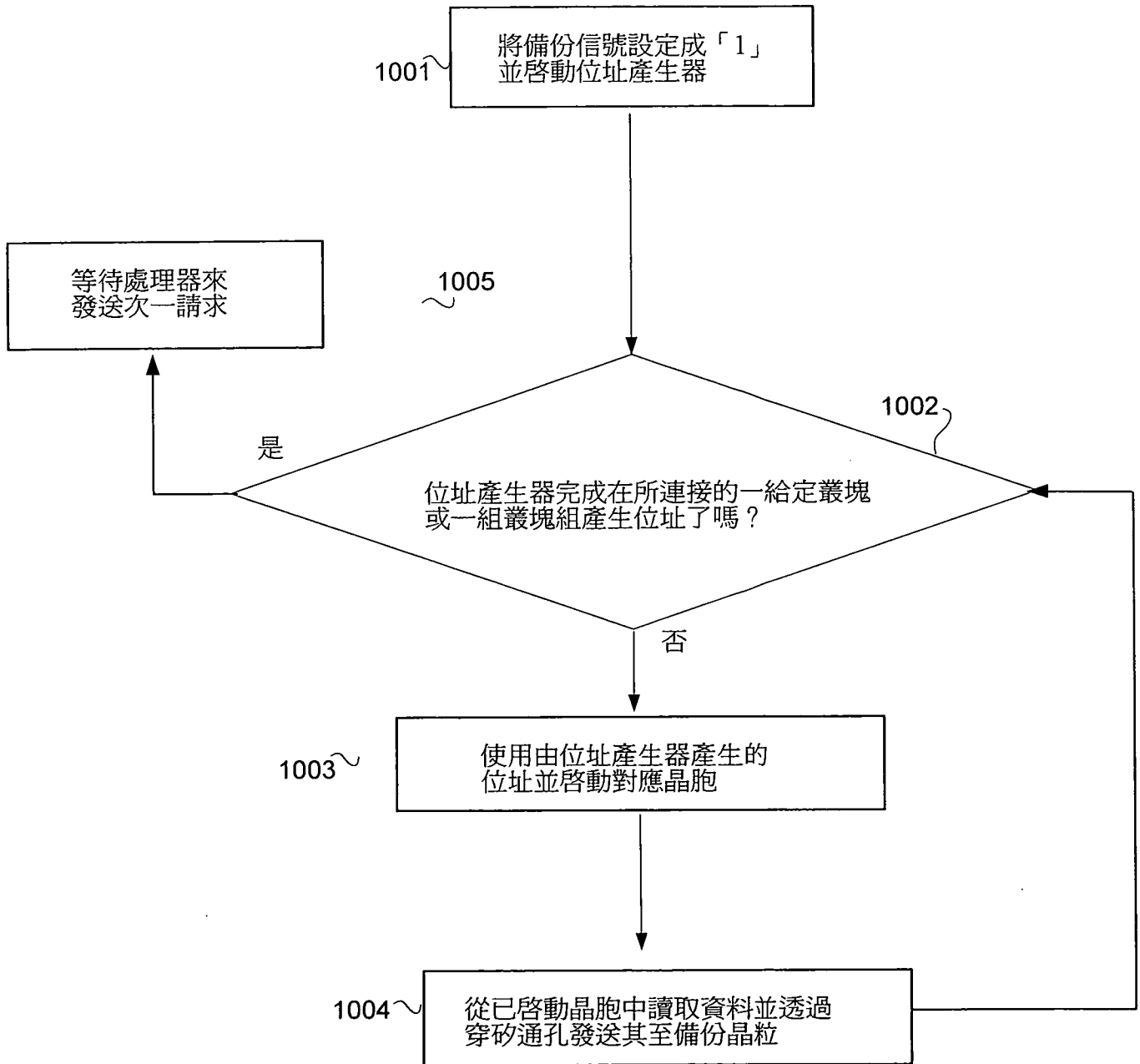
第9圖

900 ↷

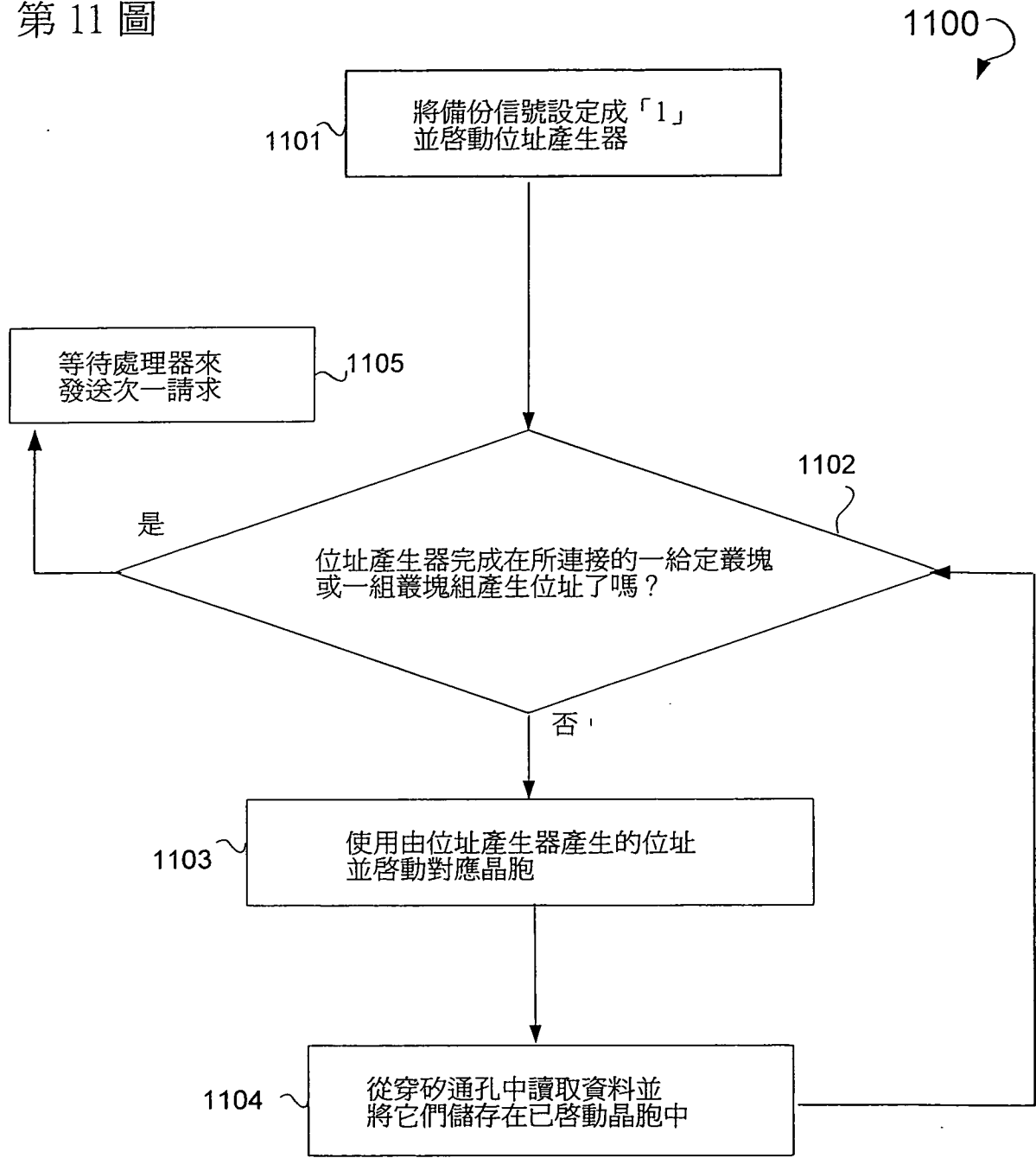


第 10 圖

1000 ↷



第 11 圖



第 12 圖

