

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成25年4月4日(2013.4.4)

【公開番号】特開2011-243622(P2011-243622A)

【公開日】平成23年12月1日(2011.12.1)

【年通号数】公開・登録公報2011-048

【出願番号】特願2010-112012(P2010-112012)

【国際特許分類】

H 01 L 21/822 (2006.01)

H 01 L 27/04 (2006.01)

H 03 B 5/12 (2006.01)

【F I】

H 01 L 27/04 L

H 01 L 27/04 C

H 01 L 27/04 F

H 03 B 5/12 B

H 03 B 5/12 G

【手続補正書】

【提出日】平成25年2月15日(2013.2.15)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板と、

前記半導体基板に形成されたLCタンクVCOとを備え、

前記LCタンクVCOは、

第1のノードに接続された第1のスパイラルインダクタと、

第2のノードに接続された第2のスパイラルインダクタと、

前記第1のノードに接続された第1のMOSバラクタと、

前記第2のノードに接続された第2のMOSバラクタと、

前記第1のノードに接続されたドレインおよび前記第2のノードに接続されたゲートを有する第1のMOSトランジスタと、

前記第2のノードに接続されたドレインおよび前記第1のノードに接続されたゲートを有する第2のMOSトランジスタとを含み、

前記第1および第2のMOSバラクタは、前記半導体基板に垂直な方向から見たときに、前記第1のスパイラルインダクタと前記第2のスパイラルインダクタの間に配置され、

前記第1および第2のMOSトランジスタは、前記第1および第2のMOSバラクタの間に配置される、半導体装置。

【請求項2】

前記第1および第2のMOSバラクタ並びに前記第1および第2のMOSトランジスタは、前記半導体基板に垂直な方向から見たとき、第1および第2の直線で挟まれたゾーン内のいずれかの位置に配置され、

前記第1の直線は、前記第1のスパイラルインダクタの中心と前記第2のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第1のスパイラルインダクタの中心を通る直線と交差する前記第1のスパイラルインダクタの外縁上的一方の点と、前記第1の

スパイラルインダクタの中心と前記第2のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第2のスパイラルインダクタの中心を通る直線と交差する前記第2のスパイラルインダクタの外縁上の方の点とを結ぶ直線であり、

前記第2の直線は、前記第1のスパイラルインダクタの中心と前記第2のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第1のスパイラルインダクタの中心を通る直線と交差する前記第1のスパイラルインダクタの外縁上の方の点と、前記第1のスパイラルインダクタの中心と前記第2のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第2のスパイラルインダクタの中心を通る直線と交差する前記第2のスパイラルインダクタの外縁上の方の点とを結ぶ直線である、請求項1記載の半導体装置。

【請求項3】

前記第1および第2のMOSバラクタ並びに前記第1および第2のMOSトランジスタは、前記半導体基板に垂直な方向から見たとき、第1および第2の直線で挟まれたゾーン内のいずれかの位置に配置され、

前記第1の直線は、前記第1のスパイラルインダクタの中心と前記第2のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第1のスパイラルインダクタの中心を通る直線と交差する前記第1のスパイラルインダクタの内縁上の方の点と、前記第1のスパイラルインダクタの中心と前記第2のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第2のスパイラルインダクタの中心を通る直線と交差する前記第2のスパイラルインダクタの内縁上の方の点とを結ぶ直線であり、

前記第2の直線は、前記第1のスパイラルインダクタの中心と前記第2のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第1のスパイラルインダクタの中心を通る直線と交差する前記第1のスパイラルインダクタの内縁上の方の点と、前記第1のスパイラルインダクタの中心と前記第2のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第2のスパイラルインダクタの中心を通る直線と交差する前記第2のスパイラルインダクタの内縁上の方の点とを結ぶ直線である、請求項1記載の半導体装置。

【請求項4】

前記第1および第2のMOSバラクタ並びに前記第1および第2のMOSトランジスタは、前記半導体基板に垂直な方向から見たとき、第1～第4の直線で囲まれたゾーン内のいずれかの位置に配置され、

前記第1の直線は、前記第1のスパイラルインダクタの中心と前記第2のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第1のスパイラルインダクタ上の前記第2のスパイラルインダクタに最も近い点を通る直線であり、

前記第2の直線は、前記第1のスパイラルインダクタの中心と前記第2のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第2のスパイラルインダクタ上の前記第1のスパイラルインダクタに最も近い点を通る直線であり、

前記第3の直線は、前記第1のスパイラルインダクタの中心と前記第2のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第1のスパイラルインダクタの中心を通る直線と交差する前記第1のスパイラルインダクタの外縁上の方の点と、前記第1のスパイラルインダクタの中心と前記第2のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第2のスパイラルインダクタの中心を通る直線と交差する前記第2のスパイラルインダクタの外縁上の方の点とを結ぶ直線であり、

前記第4の直線は、前記第1のスパイラルインダクタの中心と前記第2のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第1のスパイラルインダクタの中心を通る直線と交差する前記第1のスパイラルインダクタの外縁上の方の点と、前記第1のスパイラルインダクタの中心と前記第2のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第2のスパイラルインダクタの中心を通る直線と交差する前記第2のスパイラルインダクタの外縁上の方の点とを結ぶ直線である、請求項1記載の半導体装置。

【請求項 5】

前記第1および第2のMOSバラクタ並びに前記第1および第2のMOSトランジスタは、前記半導体基板に垂直な方向から見たとき、第1～第4の直線で囲まれたゾーン内のいずれかの位置に配置され、

前記第1の直線は、前記第1のスパイラルインダクタの中心と前記第2のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第1のスパイラルインダクタ上の前記第2のスパイラルインダクタに最も近い点を通る直線であり、

前記第2の直線は、前記第1のスパイラルインダクタの中心と前記第2のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第2のスパイラルインダクタ上の前記第1のスパイラルインダクタに最も近い点を通る直線であり、

前記第3の直線は、前記第1のスパイラルインダクタの中心と前記第2のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第1のスパイラルインダクタの中心を通る直線と交差する前記第1のスパイラルインダクタの内縁上の方の点と、前記第1のスパイラルインダクタの中心と前記第2のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第2のスパイラルインダクタの中心を通る直線と交差する前記第2のスパイラルインダクタの内縁上の方の点とを結ぶ直線であり、

前記第4の直線は、前記第1のスパイラルインダクタの中心と前記第2のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第1のスパイラルインダクタの中心を通る直線と交差する前記第1のスパイラルインダクタの内縁上の方の点と、前記第1のスパイラルインダクタの中心と前記第2のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第2のスパイラルインダクタの中心を通る直線と交差する前記第2のスパイラルインダクタの内縁上の方の点とを結ぶ直線である、請求項1記載の半導体装置。

【請求項 6】

前記第1および第2のスパイラルインダクタの内縁で囲まれる領域は、ダミーパターンを含まない、請求項1記載の半導体装置。

【請求項 7】

前記半導体装置は、

前記半導体基板の主面に配置される複数のバンプを備え、

前記複数のバンプは、前記半導体基板に垂直な方向から見たときに、前記第1のスパイラルインダクタおよび前記第2のスパイラルインダクタと重ならない領域に配置される、請求項1記載の半導体装置。

【請求項 8】

前記半導体装置は、さらに、

前記半導体基板に形成され、前記第1のノードに接続された第1の入力端子および前記第2のノードに接続された第2の入力端子を有する出力バッファを備え、

前記出力バッファは、前記半導体基板に垂直な方向から見たときに、前記第1のスパイラルインダクタと、前記第2のスパイラルインダクタの間の領域に配置される、請求項1記載の半導体装置。

【請求項 9】

前記LCタンクVCOは、さらに、

前記第1および第2のノードに接続される定電流源を備え、

前記定電流源は、前記半導体基板に垂直な方向から見たときに、前記第1のスパイラルインダクタと、前記第2のスパイラルインダクタの間の領域に配置される、請求項1記載の半導体装置。

【請求項 10】

前記第1および第2のスパイラルインダクタが第1の方向に沿って配置され、前記第1および第2のMOSバラクタは前記第1の方向に沿って配置される、請求項1記載の半導体装置。

【請求項 11】

前記第1および第2のMOSトランジスタは前記第1の方向に配置される、請求項10記載の半導体装置。

【請求項12】

前記第1および第2のMOSトランジスタはそれぞれのソースとして拡散領域を共有する、請求項11記載の半導体装置。

【請求項13】

前記第1の方向に沿って延び、前記第1のスパイラルインダクタ、前記第1のMOSバラクタ、前記第1のMOSトランジスタのドレインおよび前記第2のMOSトランジスタのゲートに接続される第1の配線と、

前記第1の方向に沿って延び、前記第2のスパイラルインダクタ、前記第2のMOSバラクタ、前記第2のMOSトランジスタのドレインおよび前記第1のMOSトランジスタのゲートに接続される第2の配線とを備える請求項11記載の半導体装置。

【請求項14】

前記第1および第2の配線は、互いに並行に配置される部分を有する請求項13記載の半導体装置。

【請求項15】

前記第1および第2の配線と並行に配置された部分を有し、前記第1および第2のMOSバラクタに電気的に接続される第3の配線を有する請求項13記載の半導体装置。