

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成25年4月4日 (2013.4.4)

【公開番号】特開2011-243622(P2011-243622A)

【公開日】平成23年12月1日 (2011.12.1)

【年通号数】公開・登録公報2011-048

【出願番号】特願2010-112012(P2010-112012)

【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 3 B 5/12 (2006.01)

【F I】

H 0 1 L 27/04 L

H 0 1 L 27/04 C

H 0 1 L 27/04 F

H 0 3 B 5/12 B

H 0 3 B 5/12 G

【手続補正書】

【提出日】平成25年2月15日 (2013.2.15)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板に形成された L C タンク V C O とを備え、

前記 L C タンク V C O は、

第 1 のノードに接続された第 1 のスパイラルインダクタと、

第 2 のノードに接続された第 2 のスパイラルインダクタと、

前記第 1 のノードに接続された第 1 の M O S パラクタと、

前記第 2 のノードに接続された第 2 の M O S パラクタと、

前記第 1 のノードに接続されたドレインおよび前記第 2 のノードに接続されたゲートを有する第 1 の M O S トランジスタと、

前記第 2 のノードに接続されたドレインおよび前記第 1 のノードに接続されたゲートを有する第 2 の M O S トランジスタとを含み、

前記第 1 および第 2 の M O S パラクタは、前記半導体基板に垂直な方向から見たときに、前記第 1 のスパイラルインダクタと前記第 2 のスパイラルインダクタの間に配置され、

前記第 1 および第 2 の M O S トランジスタは、前記第 1 および第 2 の M O S パラクタの間に配置される、半導体装置。

【請求項 2】

前記第 1 および第 2 の M O S パラクタ並びに前記第 1 および第 2 の M O S トランジスタは、前記半導体基板に垂直な方向から見たとき、第 1 および第 2 の直線で挟まれたゾーン内のいずれかの位置に配置され、

前記第 1 の直線は、前記第 1 のスパイラルインダクタの中心と前記第 2 のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第 1 のスパイラルインダクタの中心を通る直線と交差する前記第 1 のスパイラルインダクタの外縁上の一方の点と、前記第 1 の

スパイラルインダクタの中心と前記第 2 のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第 2 のスパイラルインダクタの中心を通る直線と交差する前記第 2 のスパイラルインダクタの外縁上の一方の点とを結ぶ直線であり、

前記第 2 の直線は、前記第 1 のスパイラルインダクタの中心と前記第 2 のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第 1 のスパイラルインダクタの中心を通る直線と交差する前記第 1 のスパイラルインダクタの外縁上の他方の点と、前記第 1 のスパイラルインダクタの中心と前記第 2 のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第 2 のスパイラルインダクタの中心を通る直線と交差する前記第 2 のスパイラルインダクタの外縁上の他方の点とを結ぶ直線である、請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 および第 2 の MOS パラクタ並びに前記第 1 および第 2 の MOS トランジスタは、前記半導体基板に垂直な方向から見たとき、第 1 および第 2 の直線で挟まれたゾーン内のいずれかの位置に配置され、

前記第 1 の直線は、前記第 1 のスパイラルインダクタの中心と前記第 2 のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第 1 のスパイラルインダクタの中心を通る直線と交差する前記第 1 のスパイラルインダクタの内縁上の一方の点と、前記第 1 のスパイラルインダクタの中心と前記第 2 のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第 2 のスパイラルインダクタの中心を通る直線と交差する前記第 2 のスパイラルインダクタの内縁上の一方の点とを結ぶ直線であり、

前記第 2 の直線は、前記第 1 のスパイラルインダクタの中心と前記第 2 のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第 1 のスパイラルインダクタの中心を通る直線と交差する前記第 1 のスパイラルインダクタの内縁上の他方の点と、前記第 1 のスパイラルインダクタの中心と前記第 2 のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第 2 のスパイラルインダクタの中心を通る直線と交差する前記第 2 のスパイラルインダクタの内縁上の他方の点とを結ぶ直線である、請求項 1 記載の半導体装置。

【請求項 4】

前記第 1 および第 2 の MOS パラクタ並びに前記第 1 および第 2 の MOS トランジスタは、前記半導体基板に垂直な方向から見たとき、第 1 ～ 第 4 の直線で囲まれたゾーン内のいずれかの位置に配置され、

前記第 1 の直線は、前記第 1 のスパイラルインダクタの中心と前記第 2 のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第 1 のスパイラルインダクタ上の前記第 2 のスパイラルインダクタに最も近い点を通る直線であり、

前記第 2 の直線は、前記第 1 のスパイラルインダクタの中心と前記第 2 のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第 2 のスパイラルインダクタ上の前記第 1 のスパイラルインダクタに最も近い点を通る直線であり、

前記第 3 の直線は、前記第 1 のスパイラルインダクタの中心と前記第 2 のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第 1 のスパイラルインダクタの中心を通る直線と交差する前記第 1 のスパイラルインダクタの外縁上の一方の点と、前記第 1 のスパイラルインダクタの中心と前記第 2 のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第 2 のスパイラルインダクタの中心を通る直線と交差する前記第 2 のスパイラルインダクタの外縁上の一方の点とを結ぶ直線であり、

前記第 4 の直線は、前記第 1 のスパイラルインダクタの中心と前記第 2 のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第 1 のスパイラルインダクタの中心を通る直線と交差する前記第 1 のスパイラルインダクタの外縁上の他方の点と、前記第 1 のスパイラルインダクタの中心と前記第 2 のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第 2 のスパイラルインダクタの中心を通る直線と交差する前記第 2 のスパイラルインダクタの外縁上の他方の点とを結ぶ直線である、請求項 1 記載の半導体装置。

【請求項 5】

前記第 1 および第 2 の MOS パラクタ並びに前記第 1 および第 2 の MOS トランジスタは、前記半導体基板に垂直な方向から見たとき、第 1 ～ 第 4 の直線で囲まれたゾーン内のいずれかの位置に配置され、

前記第 1 の直線は、前記第 1 のスパイラルインダクタの中心と前記第 2 のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第 1 のスパイラルインダクタ上の前記第 2 のスパイラルインダクタに最も近い点を通る直線であり、

前記第 2 の直線は、前記第 1 のスパイラルインダクタの中心と前記第 2 のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第 2 のスパイラルインダクタ上の前記第 1 のスパイラルインダクタに最も近い点を通る直線であり、

前記第 3 の直線は、前記第 1 のスパイラルインダクタの中心と前記第 2 のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第 1 のスパイラルインダクタの中心を通る直線と交差する前記第 1 のスパイラルインダクタの内縁上の一方の点と、前記第 1 のスパイラルインダクタの中心と前記第 2 のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第 2 のスパイラルインダクタの中心を通る直線と交差する前記第 2 のスパイラルインダクタの内縁上の一方の点とを結ぶ直線であり、

前記第 4 の直線は、前記第 1 のスパイラルインダクタの中心と前記第 2 のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第 1 のスパイラルインダクタの中心を通る直線と交差する前記第 1 のスパイラルインダクタの内縁上の他方の点と、前記第 1 のスパイラルインダクタの中心と前記第 2 のスパイラルインダクタの中心を結ぶ直線に垂直であり、かつ前記第 2 のスパイラルインダクタの中心を通る直線と交差する前記第 2 のスパイラルインダクタの内縁上の他方の点とを結ぶ直線である、請求項 1 記載の半導体装置。

【請求項 6】

前記第 1 および第 2 のスパイラルインダクタの内縁で囲まれる領域は、ダミーパターンを含まない、請求項 1 記載の半導体装置。

【請求項 7】

前記半導体装置は、

前記半導体基板の主面に配置される複数のバンクを備え、

前記複数のバンクは、前記半導体基板に垂直な方向から見たときに、前記第 1 のスパイラルインダクタおよび前記第 2 のスパイラルインダクタと重ならない領域に配置される、請求項 1 記載の半導体装置。

【請求項 8】

前記半導体装置は、さらに、

前記半導体基板に形成され、前記第 1 のノードに接続された第 1 の入力端子および前記第 2 のノードに接続された第 2 の入力端子を有する出力バッファを備え、

前記出力バッファは、前記半導体基板に垂直な方向から見たときに、前記第 1 のスパイラルインダクタと、前記第 2 のスパイラルインダクタの間の領域に配置される、請求項 1 記載の半導体装置。

【請求項 9】

前記 LC タンク VCO は、さらに、

前記第 1 および第 2 のノードに接続される定電流源を備え、

前記定電流源は、前記半導体基板に垂直な方向から見たときに、前記第 1 のスパイラルインダクタと、前記第 2 のスパイラルインダクタの間の領域に配置される、請求項 1 記載の半導体装置。

【請求項 10】

前記第 1 および第 2 のスパイラルインダクタが第 1 の方向に沿って配置され、前記第 1 および第 2 の MOS パラクタは前記第 1 の方向に沿って配置される、請求項 1 記載の半導体装置。

【請求項 11】

前記第 1 および第 2 の MOS トランジスタは前記第 1 の方向に配置される、請求項 1 0 記載の半導体装置。

【請求項 1 2】

前記第 1 および第 2 の MOS トランジスタはそれぞれのソースとして拡散領域を共有する、請求項 1 1 記載の半導体装置。

【請求項 1 3】

前記第 1 の方向に沿って延び、前記第 1 のスパイラルインダクタ、前記第 1 の MOS バラクタ、前記第 1 の MOS トランジスタのドレインおよび前記第 2 の MOS トランジスタのゲートに接続される第 1 の配線と、

前記第 1 の方向に沿って延び、前記第 2 のスパイラルインダクタ、前記第 2 の MOS バラクタ、前記第 2 の MOS トランジスタのドレインおよび前記第 1 の MOS トランジスタのゲートに接続される第 2 の配線とを備える請求項 1 1 記載の半導体装置。

【請求項 1 4】

前記第 1 および第 2 の配線は、互いに並行に配置される部分を有する請求項 1 3 記載の半導体装置。

【請求項 1 5】

前記第 1 および第 2 の配線と並行に配置された部分を有し、前記第 1 および第 2 の MOS バラクタに電氣的に接続される第 3 の配線を有する請求項 1 3 記載の半導体装置。