

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4535429号  
(P4535429)

(45) 発行日 平成22年9月1日(2010.9.1)

(24) 登録日 平成22年6月25日(2010.6.25)

(51) Int.Cl.

F 1

H01L 23/50 (2006.01)

H01L 23/50

D

B23K 35/26 (2006.01)

B23K 35/26

310A

H05K 3/34 (2006.01)

H05K 3/34

512C

請求項の数 11 (全 13 頁)

(21) 出願番号

特願2004-158626 (P2004-158626)

(22) 出願日

平成16年5月28日 (2004.5.28)

(62) 分割の表示

特願平9-346811の分割

原出願日

平成9年12月16日 (1997.12.16)

(65) 公開番号

特開2004-322213 (P2004-322213A)

(43) 公開日

平成16年11月18日 (2004.11.18)

審査請求日

平成16年12月16日 (2004.12.16)

(73) 特許権者 302062931

ルネサスエレクトロニクス株式会社

神奈川県川崎市中原区下沼部1753番地

(74) 代理人 100080001

弁理士 筒井 大和

(72) 発明者 下川 英恵

神奈川県横浜市戸塚区吉田町292番地

株式会社日立製作所 生産技術研究所内

(72) 発明者 首我 太佐男

神奈川県横浜市戸塚区吉田町292番地

株式会社日立製作所 生産技術研究所内

(72) 発明者 奥平 弘明

神奈川県横浜市戸塚区吉田町292番地

株式会社日立製作所 生産技術研究所内

最終頁に続く

(54) 【発明の名称】半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体装置の製造方法であって、前記半導体装置の電極をCu系部材で形成する工程と、前記Cu系部材で形成された電極上にSn-(1~20)重量%(ただし、4重量%以上15重量%以下の範囲を除く)Bi系層を設ける工程とを有する半導体装置の製造方法。

【請求項 2】

請求項1記載の半導体装置の製造方法であって、前記電極上にSn-(1~20)重量%(ただし、4重量%以上15重量%以下の範囲を除く)Bi系層を設ける工程では、前記Sn-(1~20)重量%(ただし、4重量%以上15重量%以下の範囲を除く)Bi系層を1層形成することを特徴とする半導体装置の製造方法。

10

【請求項 3】

請求項1又は2記載の半導体装置の製造方法であって、前記電極上にSn-(1~20)重量%(ただし、4重量%以上15重量%以下の範囲を除く)Bi系層を設ける工程では、前記Sn-(1~20)重量%(ただし、4重量%以上15重量%以下の範囲を除く)Bi系層を前記電極に直接形成することを特徴とする半導体装置の製造方法。

【請求項 4】

請求項1又は2記載の半導体装置の製造方法であって、前記電極上にSn-(1~20)重量%(ただし、4重量%以上15重量%以下の範囲を除く)Bi系層を設ける工程では、前記電極上にCu層を設けた後、前記Cu層上に前記Sn-(1~20)重量%(ただし

20

、4重量%以上15重量%以下の範囲を除く)Bi系層を設けることを特徴とする半導体装置の製造方法。

**【請求項5】**

半導体装置の製造方法であって、

前記半導体装置の電極をFe-Ni系部材で形成する工程と、

前記Fe-Ni系部材で形成された電極上にSn-(1~20)重量%(ただし、4重量%以上15重量%以下の範囲を除く)Bi系層を設ける工程とを有する半導体装置の製造方法

**【請求項6】**

請求項5記載の半導体装置の製造方法であって、

前記電極をFe-Ni系部材で形成する工程では、前記Fe-Ni系部材は42アロイにより形成されることを特徴とする半導体装置の製造方法。

10

**【請求項7】**

請求項5又は6記載の半導体装置の製造方法であって、

前記電極上にSn-(1~20)重量%(ただし、4重量%以上15重量%以下の範囲を除く)Bi系層を設ける工程では、前記Sn-(1~20)重量%(ただし、4重量%以上15重量%以下の範囲を除く)Bi系層を1層形成することを特徴とする半導体装置の製造方法。

**【請求項8】**

請求項5乃至7のいずれかに記載の半導体装置の製造方法であって、

前記電極上にSn-(1~20)重量%(ただし、4重量%以上15重量%以下の範囲を除く)Bi系層を設ける工程では、前記Sn-(1~20)重量%(ただし、4重量%以上15重量%以下の範囲を除く)Bi系層を前記電極に直接形成することを特徴とする半導体装置の製造方法。

20

**【請求項9】**

請求項5乃至7のいずれかに記載の半導体装置の製造方法であって、

前記電極上にSn-(1~20)重量%(ただし、4重量%以上15重量%以下の範囲を除く)Bi系層を設ける工程では、前記電極上にCu層を設けた後、前記Cu層上に前記Sn-(1~20)重量%(ただし、4重量%以上15重量%以下の範囲を除く)Bi系層を設けることを特徴とする半導体装置の製造方法。

**【請求項10】**

請求項1乃至9のいずれかに記載の半導体装置の製造方法であって、

前記Sn-(1~20)重量%(ただし、4重量%以上15重量%以下の範囲を除く)Bi系層はめっきにより設けることを特徴とする半導体装置の製造方法。

30

**【請求項11】**

請求項1乃至9のいずれかに記載の半導体装置の製造方法であって、

前記Sn-(1~20)重量%(ただし、4重量%以上15重量%以下の範囲を除く)Bi系層はディップ又は蒸着又はローラーコート又は金属粉末の塗布により形成することを特徴とする半導体装置の製造方法。

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

本発明は、リードフレーム等の電極に対して毒性の少ないPbフリーはんだ合金を用いて適するように接続するPbフリーはんだ接続構造体およびこれを用いた電子機器に関するものである。

40

**【背景技術】**

**【0002】**

従来、有機基板等の回路基板にLSI等の電子部品を接続して電子回路基板を製造するには、Sn-Pb共晶はんだ、及びこのSn-Pb共晶はんだ近傍で、融点も類似なSn-Pbはんだ、或いは、これらに少量のBiやAgを添加したはんだ合金が用いられている。これらのはんだには、Pbが約40重量%含まれている。いずれのこれらのはんだ合金も、融点はほぼ183であり、220~240でのはんだ付けが可能である。

**【0003】**

50

また、はんだ付けされるQFP(Quad Flat Package) - LSI等の電子部品の電極は、Fe-Ni系合金である42アロイ表面に90重量%Sn - 10重量%Pb(以下Sn-10Pbと略す)層をめっき等で施した電極が一般的に用いられている。これは、はんだぬれ性が良好であり、且つ保存性が良く、ウィスカーの発生の問題がないためである。

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0004】

しかし、上記のSn-Pb系はんだ中に含まれているPbは人体に有毒な重金属であり、Pbを含む製品を廃棄することによる地球環境の汚染、生物への悪影響が問題となっている。この電気製品による地球環境の汚染は、野ざらしに放置されたPbを含む電気製品から、雨等によってPbが溶出することによって起こる。Pbの溶出は、最近の酸性雨によって加速される傾向にある。従って、環境汚染を低減するためには、大量に使用されている上記のSn-Pb共晶系はんだの代替としてPbを含まない低毒性のPbフリーはんだ材料、及び部品電極上で使用されているSn-10Pb層の代替材料としてPbを含まない部品電極構造が必要である。Pbフリーはんだ材料としては低毒性、材料供給性、コスト、ぬれ性、機械的性質、接続信頼性等と観点からSn-Ag-Bi系はんだが有力候補となっている。また、はんだ付けにおいては、通常、220~240付近に加熱し、部品、基板の電極とはんだとの間に化合物を生成させることによって、接続を行っている。従って、形成される界面は、はんだ材料と部品側の電極材料の組み合わせによって異なるため、安定な接続界面を得るためにには、そのはんだに適する電極材料が必要である。

#### 【0005】

本発明の目的は、リードフレーム等の電極に対して毒性の少ないSn-Ag-Bi系のPbフリーはんだ合金を用いて十分な接続強度を有し、且つ安定な接続界面が得られるようとしたPbフリーはんだ接続構造体を提供することにある。また、本発明の他の目的は、毒性の少ないSn-Ag-Bi系のPbフリーはんだ合金を用いて、電子部品、基板間の熱膨張係数の差、はんだ付け後の割基板作業、或いはプローピングテスト時の基板の反り、ハンドリング等によってはんだ接続部に発生する応力に耐え得る十分な接続強度を有し、且つ経時的にも安定な界面を得ることができるようとした電子機器を提供することにある。

#### 【0006】

また、本発明の他の目的は、毒性の少ないSn-Ag-Bi系のPbフリーはんだ合金を用いて、十分なぬれ性を確保して十分な接続強度を有し、また耐ウィスカーチ性等も確保できるようにしたPbフリーはんだ接続構造体および電子機器を提供することにある。

#### 【課題を解決するための手段】

#### 【0007】

上記目的を達成するために、本発明は、Sn-Ag-Bi系のPbフリーはんだをSn-Bi系層を介して電極に接続したことを特徴とするPbフリーはんだ接続構造体である。

#### 【0008】

また、本発明は、前記Pbフリーはんだ接続構造体におけるSn-Bi系層中のBi量は、1~20重量%であることを特徴とする。

#### 【0009】

また、本発明は、前記Pbフリーはんだ接続構造体において、前記Sn-Bi系層と前記電極との間にCu層を有することを特徴とする。

#### 【0010】

また、本発明は、前記Pbフリーはんだ接続構造体において、前記電極がCu材で形成されていることを特徴とする。

#### 【0011】

また、本発明は、前記Pbフリーはんだ接続構造体における電極は、Fe-Ni系合金またはCu系のリードであることを特徴とする。

10

20

30

40

50

**【0012】**

また、本発明は、前記Pbフリーはんだ接続構造体におけるSn-Ag-Bi系のPbフリーはんだは、Snを主成分として、Biが5～25重量%、Agが1.5～3重量%、Cuが0～1重量%を含有することを特徴とする。

**【0013】**

また、本発明は、電子部品に形成された第1の電極と、回路基板に形成された第2の電極とを電気的に接続する電子機器であって、前記第1の電極にSn-Bi系層を施し、該Sn-Bi系層を施した第1の電極と前記第2の電極とをSn-Ag-Bi系のPbフリーはんだで接続したことを特徴とする電子機器である。

**【0014】**

また、本発明は、前記電子機器におけるSn-Bi系層中のBi量は、1～20重量%であることを特徴とする。

**【0015】**

また、本発明は、前記電子機器において、前記Sn-Bi系層と第1の電極との間にCu層を有することを特徴とする。

**【0016】**

また、本発明は、前記電子機器において、前記Sn-Bi系層の第1の電極側がCu材であることを特徴とする。

**【0017】**

また、本発明は、前記電子機器における第1の電極は、Fe-Ni系合金またはCu系のリードであることを特徴とする。

**【0018】**

また、本発明は、前記電子機器におけるSn-Ag-Bi系のPbフリーはんだは、Snを主成分として、Biが5～25重量%、Agが1.5～3重量%、Cuが0～1重量%を含有することを特徴とする。

**【0019】**

また、本発明は、電極に接続されるPbフリーはんだとして、Snを主成分として、Biが5～25重量%、Agが1.5～3重量%、Cuが0～1重量%を含有するSn-Ag-Bi系であることを特徴とするPbフリーはんだ接続構造体である。

**【0020】**

以上説明したように、前記構成によれば、リードフレーム等の電極に対して毒性の少ないSn-Ag-Bi系のPbフリーはんだ合金を用いて十分な接続強度を有し、且つ安定な接続界面を得ることができる。

**【0021】**

また、前記構成によれば、毒性の少ないSn-Ag-Bi系のPbフリーはんだ合金を用いて、電子部品、基板間の熱膨張係数の差、はんだ付け後の割基板作業、或いはプローピングテスト時の基板の反り、ハンドリング等によってはんだ接続部に発生する応力に耐え得る十分な接続強度を有し、且つ経時的にも安定な界面を得ることができる。

**【0022】**

また、前記構成によれば、毒性の少ないSn-Ag-Bi系のPbフリーはんだ合金を用いて、例えば220～240での十分なぬれ性を確保して十分なフィレットを形成して十分な接続強度を有し、また耐ウィスカ－性等も確保することができる。

**【発明の効果】****【0023】**

本発明によれば、Pbフリー材料として優れるSn-Ag-Bi系はんだに適する電極構造を実現することができる効果を奏する。

**【0024】**

また、本発明によれば、リードフレーム等の電極に対して毒性の少ないSn-Ag-Bi系のPbフリーはんだ合金を用いて十分な接続強度を有し、且つ安定な接続界面を得ることができるPbフリーはんだ接続構造体を実現することができる効果を奏する。

10

20

30

40

50

## 【0025】

また、本発明によれば、毒性の少ないSn-Ag-Bi系のPbフリーはんだ合金を用いて、電子部品、基板間の熱膨張係数の差、はんだ付け後の割基板作業、或いはプローピングテスト時の基板の反り、ハンドリング等によってはんだ接続部に発生する応力に耐え得る十分な接続強度を有し、且つ経時的にも安定な界面を得ることができるPbフリーはんだ接続構造体を備えた電子機器を実現することができる効果を奏する。

## 【0026】

また、本発明によれば、毒性の少ないSn-Ag-Bi系のPbフリーはんだ合金を用いて、例えば220～240での十分なぬれ性を確保して十分なフィレットを形成して十分な接続強度を有し、また耐ウィスカ－性等も確保することができる。 10

## 【0027】

また、本発明によれば、電子部品をSn-Ag-Bi系はんだではんだ付けすることにより、十分な接続強度を有する界面が得られ、且つ、実用上十分なぬれ性も確保することができる。またウィスカ－性についても問題無い。従って、環境にやさしいPbフリーの電気製品を従来と同じ設備、プロセスを使用して実現することができる効果を奏する。

## 【発明を実施するための最良の形態】

## 【0028】

本発明に係る実施の形態について説明する。

## 【0029】

本発明に係る実施の形態は、半導体装置(LSI)などの電子部品に形成されたQFP形リードやTSOP形リード等で形成された第1の電極と回路基板に形成された第2の電極との間を毒性の少ないPbフリーはんだ材料を用いて接続することによって電子機器を構成するものである。Pbフリーはんだ接続構造体としては、例えば、上記第1の電極、または上記第2の電極に、毒性の少ないPbフリーはんだ材料を用いて接続する構造体がある。 20

## 【0030】

上記毒性の少ないPbフリーはんだ材料としては、Sn-Ag-Bi系はんだを用いる。

## 【0031】

ところで、毒性の少ないSn-Ag-Bi系のPbフリーはんだ合金を用いて、電子部品、回路基板間の熱膨張係数の差、はんだ付け後の割基板作業、或いはプローピングテスト時の基板の反り、ハンドリング等によってはんだ接続部に発生する応力に耐え得る十分な接続強度を有し、且つ経時的にも安定な界面を得ることが必要となる。 30

## 【0032】

また、毒性の少ないSn-Ag-Bi系のPbフリーはんだ合金を用いて、回路基板や電子部品の耐熱性から適切なはんだ付け温度である220～240での十分なぬれ性を確保して十分なフィレット形状を形成して十分な接続強度を有するようにする必要がある。もし、ぬれ性が悪いと十分なフィレット形状が形成されずに十分な接続強度が得られなかったり、強いフラックスが必要となって絶縁信頼性に悪影響を及ぼすことになる。

## 【0033】

また、めっき等により作成した電極表面からウィスカ－が発生し、成長すると電極間のショートが起きることからして、耐ウィスカ－性等も確保することが必要となる。 40

## 【0034】

本発明に係る上記電極構造として、十分な接続強度を得るために、図1および図2に示すように、リードからなる電極1の表面にSn-Bi系層2を施すようにした。そして、次に、本発明に係る電極構造の選定について説明する。この選定は、上記要求に基づいて、主に接続強度、ぬれ性、ウィスカ－性の評価により行った。

## 【0035】

始めにSn-Ag-Bi系はんだと各種電極材料との接続強度を調べた結果を示す。図3に測定方法の概略を示したが、従来のSn-10Pb層の代替材料としてPbのない系 50

で可能性があると考えられる材料(Sn、Sn-Bi、Sn-Zn、Sn-Agめっき)を、Fe-Ni系合金(42アロイ)で形成された電極であるリード上に施したモデルリード4を作成した。この他に、従来のSn-10Pbめっきとの組み合わせについても評価を行った。モデルリード4の形状は、幅3mm、長さ38mmであり、はんだ付け部の長さが22mmになるように直角に折り曲げてある。めっき厚みは各組成ともに約10μmとした。このモデルリード4を82.2重量%Sn-2.8重量%Ag-15重量%Bi(以下Sn-2.8Ag-15Biと略す)のPbフリーはんだ5を用いて、回路基板であるガラスエポキシ基板6上のCuパッド(Cu電極)7にはんだ付けした。ガラスエポキシ基板6のCuパッド(Cu電極)7の大きさは3.5mm×25mmであり、はんだ5は0.1mm×25mm×3.5mmのはんだ箔で供給した。即ち、ガラスエポキシ基板6上のCuパッド7へ、上記のはんだ箔5を載せ、この上に上記の直角に折り曲げたモデルリード4を載せた。はんだ付けは大気中で、予熱を140 60秒、最高温度220 の条件で行った。また、フラックスは、ロジン系で、塩素を含有したフラックスを用いた。はんだ付け後は、有機溶剤で洗浄した。引っ張り試験は、はんだ付け直後と、経時変化による接続部強度劣化を考慮して125 168時間の高温放置を行ってからと、リードのぬれ性が劣化した場合の界面強度を調べるためにモデルリードを150 168時間放置してからはんだ付けした場合と3種類行った。引っ張り試験は、基板を固定し、モデルリードの先端をつかんで垂直方向に5mm/分の速度で引っ張った。このときの、最大強度、及び一定となる引張強度を、それぞれフィレット部強度、フラット部強度として各組成のモデルリードについて評価した。この試験は各条件につき10回を行い、平均をとった。

### 【0036】

各組成のモデルリードのフィレット部強度の評価結果を図4に示す。通常のQFP-LSI等のプラスチックパッケージ部品ではプリント基板の熱膨張係数の差を考慮すると、フィレット部強度は5kgf程度以上必要である。これから、Sn、及び、Biを23重量%含有しているSn-23Bi以外のSn-Bi系層をFe-Ni系合金(42アロイ)上に施したモデルリードでは、5kgf以上のフィレット部強度が得られたが、Sn-Zn, Sn-Ag, Sn-Pb層の場合では十分な接続界面が得られないことがわかった。この他にも42アロイ上に約2μmのNiめっきを施し、これに、Auめっき、Pdめっき、Pdめっきの上に更にAuめっきを施した3種類のモデルリードを作成し、同様にはんだ付けし、界面強度を調べたが、図4に示したように十分なフィレット部強度が得られなかった。従って、電極であるリード上にSn-Bi系層を施すことが必要であることがわかった。

### 【0037】

上記の引っ張り試験を行った各組成のモデルリードのうち、十分な界面強度が得られたSn-Bi系めっきを施したリードについて、Sn-2.8Ag-15Biはんだに対するぬれ性をメニスコグラフ法によって検討した。フラックスは、ぬれ性を調べるため、活性の弱いものを用いた。試験片は上記モデルリードを1cmの長さに切って用いた。ぬれ性の試験条件は、はんだ浴温度が220 、浸漬速度は1mm/分、浸漬深さは2mm、浸漬時間は20秒とし、荷重が0に回復するまでの時間をぬれ時間、浸漬20秒後の荷重をぬれ荷重とした。また、ぬれ性はめっき直後のリードと、150 168時間放置したリードについて2種類行った。また、各条件について10回ずつ測定し、平均をとった。

### 【0038】

各組成のぬれ時間、ぬれ荷重をそれぞれ図5、6に示した。図5のぬれ時間の結果から、めっき初期のSn-Bi系めっきリードでは、Bi濃度が高い方がぬれ性が良いが、150 168時間の高温放置を行った場合では、Biが1重量%未満、及び23重量%でぬれ性が劣化することがわかった。Biが1重量%未満の場合は、図6に示したように、ぬれ荷重は確保されていたが、ぬれ時間が劣化していたことから、ぬれにくくなっているといえる。従って、Sn-Bi系層のなかでも、十分なぬれ性を得るためにBi量は1~20重量%であることが望ましいことがわかった。

## 【0039】

更に熱膨張係数の差が大きい材料間の接続、温度差が大きい環境で使用される場合等では、界面に発生する応力が大きくなるため、十分な信頼性を確保するためには界面の接続強度は10kgf程度以上でなければならない。従って、図4を見てみると、Fe-Ni系合金(42アロイ)に直接Sn-Bi系層を施したのでは、10kgf以上のフィレット部強度が得られないことがわかった。これは、界面での化合物層が十分形成されていなかったと考えられる。そこで、界面でのはんだとの反応性を高めるために、Fe-Ni系合金(42アロイ)上に平均7μm程度のCuめっき層、この上にSn-Bi系めっき層を施し界面強度の測定を行った。この時のフィレット部強度の結果をCu層がない場合も合わせて図7に示したが、Bi量が23重量%の場合を除けば、10kgf以上の接続強度が得られ、下地のCu層の効果が確認できた。また、この電極構造を取ることにより、図7に一緒に示したように、Sn-Pb共晶はんだを42アロイリード上に直接Sn-10Pb層を施したリードにはんだ付けした従来の場合に得られるはんだ付け直後の界面強度、12.1kgfと同程度以上の界面強度を得ることができた。また、図8に示したように、Sn-Bi層の下にCu層を施すことによりフラット部強度も向上させることができた。ここで、このCu層は42アロイのリードフレームを用いた場合には、上記のように42アロイ上にCu層を施せばよいが、Cu系リードフレームを用いた場合は、これをそのままCu層としても良いし、また、剛性を向上させるために他の元素をリードフレーム材料中に添加することもあるので、この影響をなくすために、更にCu層を形成してもよい。また、このCu層を施したモデルリードのぬれ性については、図5、6に一緒に示したが、Cu層の影響はほとんど無く、やはりBiが1重量%以下では、高温放置を行った場合にぬれ性が劣化していたが、1~20重量%では、十分なぬれ性を得ることができた。尚、図7、図8の例はSn-2.8Ag-15Biを用いたが、Bi量が少ない系、例えばSn-2Ag-7.5Bi-0.5Cu系でも、下地にCu層を入れることにより、界面強度向上の効果がある。

## 【0040】

上記のSn-Bi系層、Cu層は、めっきに限らず、ディップ、蒸着、ローラーコート、金属粉末による塗布によって形成することができる。

## 【0041】

このように、電極材料により異なる理由を調べるために、接続部の断面研磨を行って、界面の様子を調べた。また、引っ張り試験を行った試料の剥離面をSEMで観察した。この代表的な組み合わせについての結果を説明する。

まず、従来使用されているFe-Ni系合金(42アロイ)に直接Sn-10Pbめっきが施されているリードをSn-Ag-Bi系はんだで接合した場合の観察結果を図9に示したが、この組み合わせでは界面にはPbとBiが化合物を作つて集まつていて、剥離は42アロイとはんだとの界面で起こっていた。また、剥離したリードの42アロイ表面には、薄くSnが検出され、はんだ中のSnがリードの42アロイと化合物を形成していたと考えられる。従つて、上記のPbとBiの化合物が界面に集まることによって、Snと42アロイとの接続面積が小さくなり、接続強度が非常に弱くなつたと考えられる。

次に、Sn-10PbめっきをSn-4Biめっきに変えた場合の観察結果を図10に示したが、界面に形成される化合物層は薄く、剥離は同様に42アロイとはんだとの界面で起こっていた。しかし、Biは粒状の結晶のままで、Snと42アロイとの接続面積の低下をSn-10Pbの場合ほど起さないため、5kgf以上の接続強度を得ることができたと考えられる。この時の化合物層はオージェ分析から、約70nmのSn-Fe層であった。

更にSn-4Bi層の下にCu層を施した場合の観察結果を図11に示したが、界面には、厚いCuとSnの化合物層が形成されることがわかった。剥離は、この化合物層とはんだとの界面、または化合物層中で起こっていた。剥離面は、図10の42アロイリードに直接Sn-Bi層を形成したリードの場合はほとんど平らであったのに比べて、Cu層が存在する場合にはでこぼこしていた。このため、このような剥離面の違いが界面強度の

向上につながったと考えられる。

尚、以上の検討結果は Sn - Ag - Bi 系はんだの別の組成でも同様の結果が得られた。

上記の各組成のモデルリードについて、ウィスカーの発生を調べたが、Sn - Zn めっきを施したモデルリードでは表面にウィスカーの発生が見られた。また、Sn めっきについては従来からウィスカーセラミック性に問題があると言われている。しかし、Sn - Bi 系層についてはウィスカーセラミックの発生は見られず、耐ウィスカーセラミック性も問題なかった。

従って、本発明の電極構造であれば、Sn - Ag - Bi 系はんだに対して、接続強度、ぬれ性、耐イスカーセラミック性に優れる接続部を得ることができる。

#### 【0042】

はんだ材料について、主成分が Sn で、Bi が 5 ~ 25 重量%、Ag が 1.5 ~ 3 重量%、Cu が 0 ~ 1 重量% 含有する Sn - Ag - Bi 系はんだを選んだのは、この範囲内の組成のはんだは、220 ~ 240 ではんだ付けが可能であり、Cu に対して従来実績のある Sn - Ag 共晶とほぼ同等のぬれ性を有し、且つ、高温で十分な信頼性を有しているからである。即ち、Sn - Ag - Bi 系はんだでは Bi が約 10 重量% 以上で 138 附近で溶融する部分（3 元共晶）を有し高温での信頼性に影響を及ぼすことが心配されるが、この 3 元共晶析出量を実用上問題のないレベルに抑え、且つ 125 での高温強度も確保している。従って、この組成のはんだを用いて、上記の電極をはんだ付けすることによって、実用的であり、高信頼な電子機器を得ることができる。

#### 【実施例 1】

#### 【0043】

図 1 に QFP - LSI 用のリードの断面構造を示した。これは、リードの断面構造のある一部分を示したものであるが、Fe - Ni 系合金（42 アロイ）の電極であるリード 1 上に Sn - Bi 系層 2 が形成されている。この Sn - Bi 系層 2 はめっきによって形成し、厚みは 10 μm 程度とした。また、Sn - Bi めっき層中の Bi 濃度は 8 重量% とした。この電極構造を持つ上記の QFP - LSI を Sn - 2.8Ag - 15Bi - 0.5Cu はんだを用いて回路基板であるガラスエポキシ基板にはんだ付けした。はんだ付けは最高温度を 220 として、窒素リフロー炉を用いて行った。これにより、十分な接続強度を有する接続部を得ることができた。また、同様に Sn - 2Ag - 7.5Bi - 0.5Cu はんだを用いてガラスエポキシ基板に 240 で大気中でリフローした。リフローした継手は特に高温での信頼性が高い。

#### 【実施例 2】

#### 【0044】

図 2 に TSOUP 用のリードの断面構造を示した。これも、リードの断面構造のある一部分を示したものであるが、Fe - Ni 系合金（42 アロイ）の電極であるリード 1 上に Cu 層 3、その上に Sn - Bi 系層 2 が形成されている。この Cu 層 3、Sn - Bi 系層 2 はめっきによって形成した。Cu 層 3 の厚みは 8 μm 程度であり、Sn - Bi 系めっき層 2 の厚みは 10 μm 程度とした。また、Sn - Bi めっき層中の Bi 量は 5 重量% である。TSOP はリードの剛性が大きいため、実稼働時の部品自身の発熱、また、高温で使用される場合、界面に発生する応力が QFP - LSI と比較して大きくなる。このような場合には、この界面応力を耐えられるように十分な界面強度を有する界面を形成させる必要があり、Sn - Bi 系層 2 の下に Cu 層 3 が効果的である。

この TSOUP をプリント基板に Sn - Ag - Bi 系はんだを用いてベーパーリフロー炉ではんだ付けし、温度サイクル試験を行った。試験条件は -55 / 30 分、125 / 30 分の 1 時間 / 1 サイクル、及び、0 / 30 分、90 / 30 分の 1 時間 / 1 サイクルの 2 条件であり、500 サイクル、1000 サイクル後に断面観察を行ってクラックの発生状況を調べた。これを、42 アロイリード上に直接 Sn-10Pb 層が形成されているリードを有する同じ大きさの TSOUP を Sn - Pb 共晶はんだではんだ付けした場合と比較したが、-55 / 125 の温度サイクルではクラックの発生が早かったが、0 / 90 の温度サイクルでは、特に問題とはならず、実用上十分な接続界面が得られた。

#### 【実施例 3】

10

20

30

40

50

**【0045】**

本発明の電極構成は基板上の電極にも適用することができる。例えば、基板のはんだ付け性を向上させるためにはんだコートが効果的であるが、従来は S n - P b はんだ、特に S n - P b 共晶はんだ等の P b を含んだはんだを使用している。このため、コート用はんだの P b フリー化として、本発明の S n - B i 層を用いることができる。また、通常、基板の電極は C u で形成されているため、S n - A g - B i 系はんだを使用した場合に十分な接続強度を得ることができる。この構成を適用した例を示すが、回路基板であるガラスエポキシ基板上の C u パッド (C u 電極) に約 5 μm 程度の S n - 8 B i 層をローラーコートで作成した。このはんだ層を形成したために基板に対するぬれ性が向上し、且つ、接続強度も向上させることができた。

10

**【図面の簡単な説明】****【0046】**

【図 1】本発明に係る Q F P - L S I 用のリードの断面構造を示す図である。

【図 2】本発明に係る T S O P 用のリードの断面構造を示す図である。

【図 3】接続強度評価試験方法についての概略説明図である。

【図 4】本発明に係る各種メタライズリードのフィレット部強度についての評価結果を示す図である。

【図 5】本発明に係る各種メタライズリードのぬれ時間についての評価結果を示す図である。

【図 6】本発明に係る各種メタライズリードのぬれ荷重についての評価結果を示す図である。

20

【図 7】本発明に係る C u 層を形成した場合のフィレット部強度についての評価結果を示す図である。

【図 8】本発明に係る C u 層を形成した場合のフラット部強度についての評価結果を示す図である。

【図 9】従来の F e - N i 合金 (42 アロイ) に S n - 10 P b めっきを施したリードとの界面の観察結果を示す図で、(a) は断面を示す図、(b) は剥離部を、リード側とはんだ側とについて示す図である。

【図 10】本発明に係る F e - N i 合金 (42 アロイ) に S n - 4 B i めっきを施したりードとの界面の観察結果を示す図で、(a) は断面を示す図、(b) は剥離部を、リード側とはんだ側とについて示す図である。

30

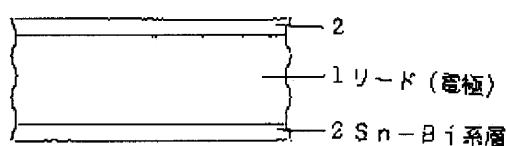
【図 11】本発明に係る F e - N i 合金 (42 アロイ) に C u 層、その上に S n - 4 B i めっきを施したりードとの界面の観察結果を示す図で、(a) は断面を示す図、(b) は剥離部を、リード側とはんだ側とについて示す図である。

**【符号の説明】****【0047】**

1 ... F e - N i 合金のリード (電極)、2 ... S n - B i 系層、3 ... C u 層、4 ... モデルリード、5 ... はんだ、6 ... ガラスエポキシ基板、7 ... C u パッド (C u 電極)

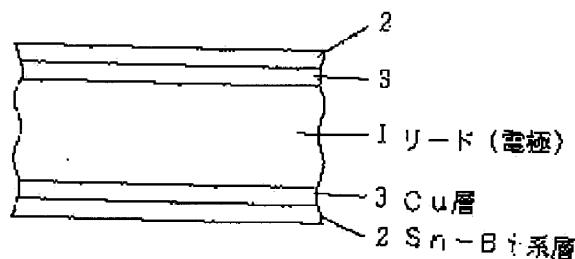
【図1】

図1



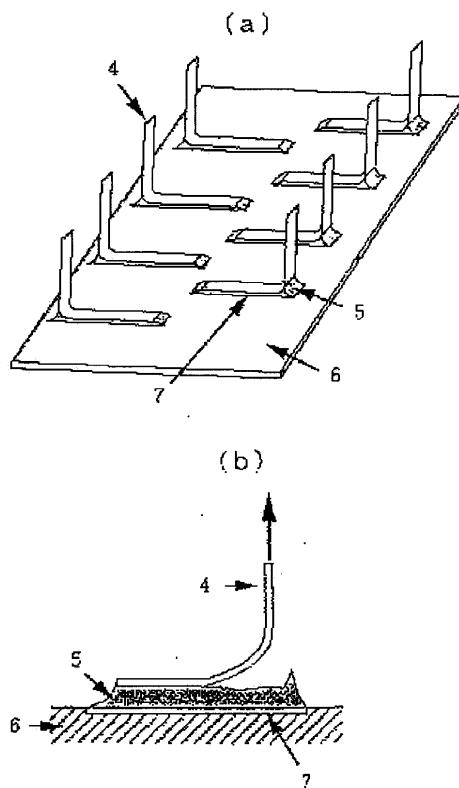
【図2】

図2



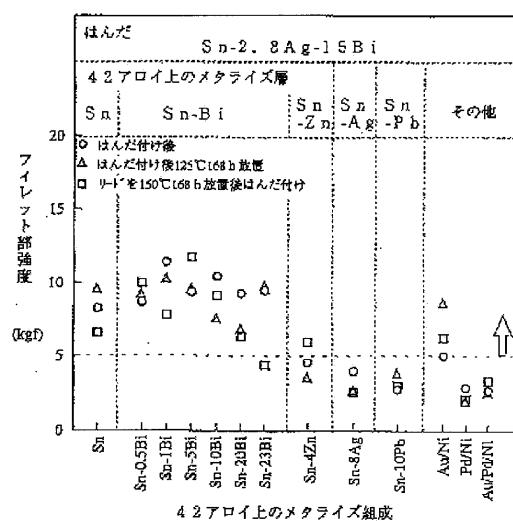
【図3】

図3



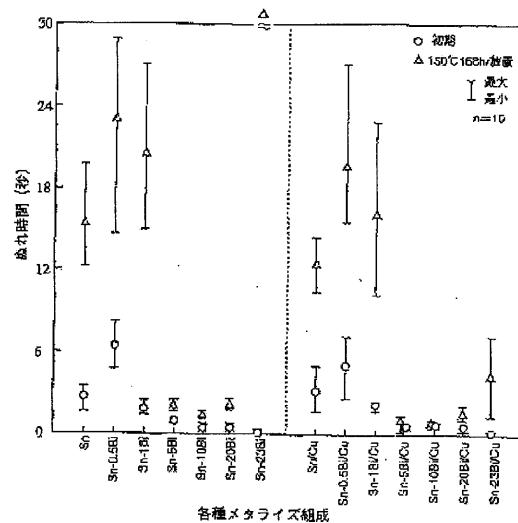
【図4】

図4



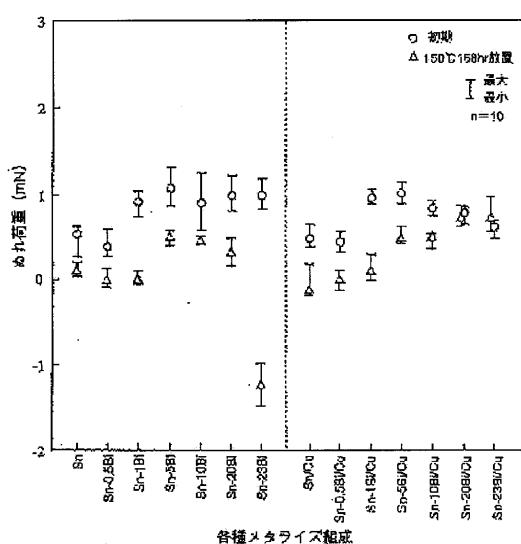
【図5】

図5



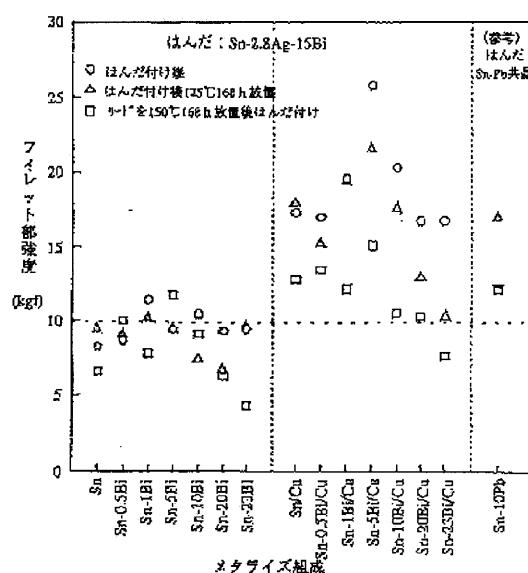
【図6】

6



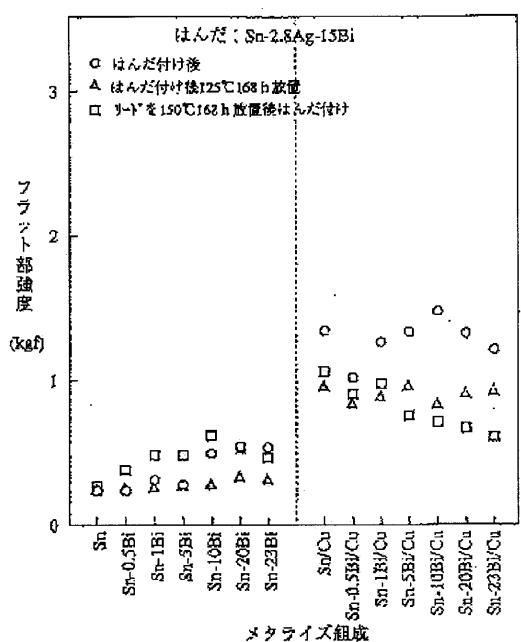
【図7】

7



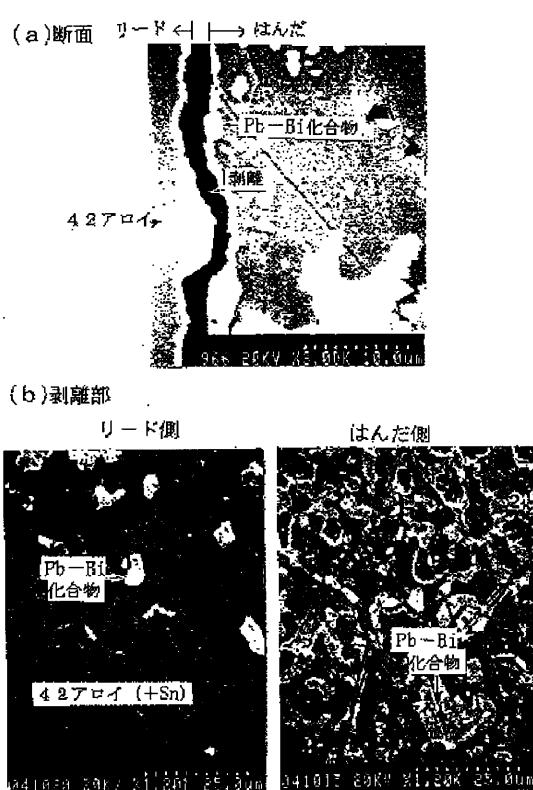
【 図 8 】

8



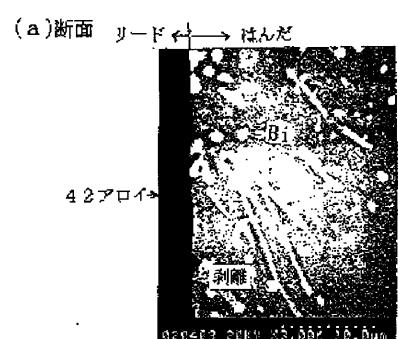
【 四 9 】

9

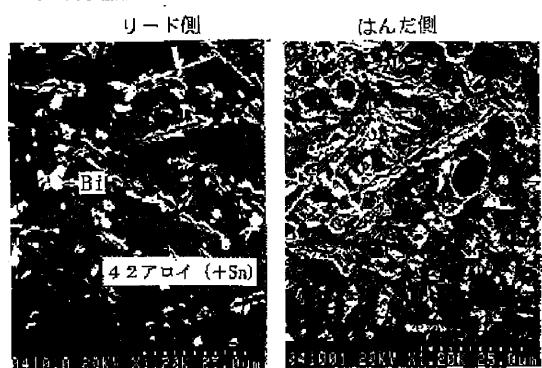


【図10】

図10

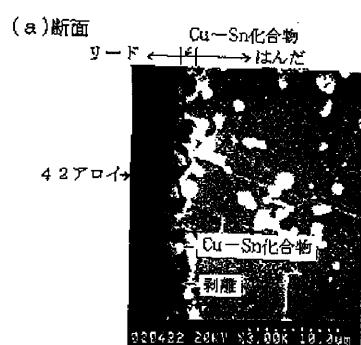


(b)剥離部

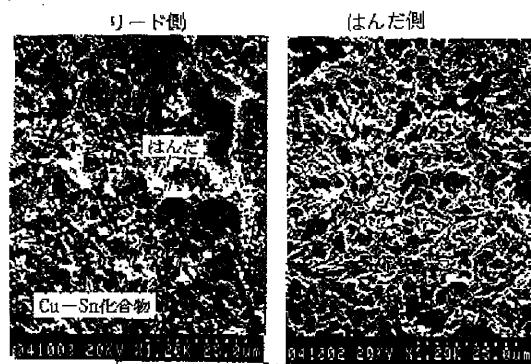


【図11】

図11



(b)剥離部



---

フロントページの続き

(72)発明者 石田 寿治

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所 生産技術研究所内

(72)発明者 中塚 哲也

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所 生産技術研究所内

(72)発明者 稲葉 吉治

東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業部内

(72)発明者 西村 朝雄

東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業部内

審査官 酒井 英夫

(56)参考文献 特開平10-093004(JP,A)

特開平10-041621(JP,A)

特開平11-001793(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/48 - 23/50 ,

H05K 3/34