(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0037728
(43) 공개일자 2020년04월09일

(51) 국제특허분류(Int. Cl.)
H03K 3/037 (2006.01) *H03K 3/3562* (2006.01)
(52) CPC특허분류
H03K 3/0372 (2013.01)
H03K 3/35625 (2013.01)
(21) 출원번호 10-2019-0105484
(22) 출원일자 2019년08월27일
심사청구일자 없음
(30) 우선권주장
62/739,799 2018년10월01일 미국(US)
16/372,398 2019년04월01일 미국(US)

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
바디, 바시쉿 엠.
미국 캘리포니아주 92127 샌디에고 알바 로드 17868
(74) 대리인
특허법인 고려

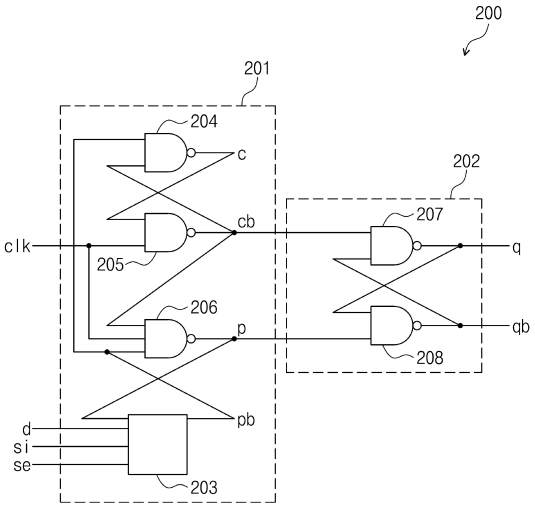
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **에스디비 기반 라이브러리들 및 저 전압 응용들에서의 사용을 위한 면적 효율적인 플롭**

(57) 요 약

플립-플롭은 게이트 회로 및 다섯 개의 로직 게이트들을 포함한다. 게이트 회로는 입력들로서 데이터 신호, 제1 중간 신호, 제1 제어 신호 및 제2 제어 신호를 수신하고, 그리고 제2 중간 신호를 출력하도록 구성될 수 있다. 제1 로직 게이트는 입력들로서 제2 중간 신호 및 제3 중간 신호를 수신하고, 그리고 제4 중간 신호를 출력하도록 구성될 수 있다. 제2 로직 게이트는 입력들로서 클럭 신호 및 제4 중간 신호를 수신하고, 그리고 제3 중간 신호를 출력하도록 구성될 수 있다. 제3 로직 게이트는 입력들로서 클럭 신호, 제2 중간 신호 및 제3 중간 신호를 수신하고, 그리고 제1 중간 신호를 출력하도록 구성될 수 있다. 제4 로직 게이트는 입력들로서 제3 중간 신호 및 제2 신호를 수신하고, 그리고 제1 신호를 출력하도록 구성될 수 있다. 제5 로직 게이트는 입력들로서 제1 중간 신호 및 제1 신호를 수신하고, 그리고 제2 신호를 출력하도록 구성될 수 있다.

대 표 도 - 도2a



명 세 서

청구범위

청구항 1

제1 신호 및 상기 제1 신호의 반전 신호인 제2 신호를 출력하도록 구성되는 1차 래치들의 쌍 및 2차 래치를 포함하고,

상기 1차 래치들의 쌍은:

입력들로서 데이터 신호, 제1 중간 신호, 제1 제어 신호 및 제2 제어 신호를 수신하고, 그리고 제2 중간 신호를 출력하도록 구성되는 게이트 회로;

입력들로서 상기 제2 중간 신호 및 제3 중간 신호를 수신하고, 그리고 제4 중간 신호를 출력하도록 구성되는 제1 로직 게이트;

입력들로서 클럭 신호 및 상기 제4 중간 신호를 수신하고, 그리고 상기 제3 중간 신호를 출력하도록 구성되는 제2 로직 게이트; 그리고

입력들로서 상기 클럭 신호, 상기 제2 중간 신호 및 상기 제3 중간 신호를 수신하고, 그리고 상기 제1 중간 신호를 출력하도록 구성되는 제3 로직 게이트를 포함하고, 그리고

상기 2차 래치는:

입력들로서 상기 제3 중간 신호 및 상기 제2 신호를 수신하고, 그리고 상기 제1 신호를 출력하도록 구성되는 제4 로직 게이트; 그리고

입력들로서 상기 제1 중간 신호 및 상기 제1 신호를 수신하고, 그리고 상기 제2 신호를 출력하도록 구성되는 제5 로직 게이트를 포함하는 플립-플롭.

청구항 2

제1항에 있어서,

상기 제1 중간 신호가 로우이거나;

상기 데이터 신호 및 상기 제2 제어 신호가 모두 로우이거나; 또는

상기 제1 제어 신호가 로우이고 그리고 상기 제2 제어 신호가 하이일 때에 상기 제2 중간 신호는 하이이고,

상기 제1 중간 신호 및 상기 데이터 신호가 하이이고 그리고 상기 제2 제어 신호가 로우이거나; 또는

상기 제1 제어 신호, 상기 제2 제어 신호 및 상기 제1 중간 신호가 하이일 때에 상기 제2 중간 신호가 로우이고, 그리고

상기 제1, 제2, 제3, 제4 및 제5 논리 게이트들은 NAND 게이트들인 플립-플롭.

청구항 3

제2항에 있어서,

상기 게이트 회로는:

제1 전원 공급 전압에 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 상기 데이터 신호에 결합된 게이트 터미널을 포함하는 제1 PMOS 트랜지스터;

상기 제1 PMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 상기 제2 중간 신호에 결합된 제2 소스/드레인 영역, 그리고 상기 제2 제어 신호에 결합된 게이트 터미널을 포함하는 제2 PMOS 트랜지스터;

상기 제1 전원 공급 전압에 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 상기 제1 제어 신호에

결합된 게이트 터미널을 포함하는 제3 PMOS 트랜지스터;

상기 제3 PMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 상기 제2 중간 신호를 출력하는 제2 소스/드레인 영역, 그리고 제5 중간 신호에 결합된 게이트 터미널을 포함하는 제4 PMOS 트랜지스터;

상기 제1 전원 공급 전압에 결합된 제1 소스/드레인 영역, 상기 제2 중간 신호를 출력하는 제2 소스/드레인 영역, 그리고 상기 제1 중간 신호에 결합된 게이트 터미널을 포함하는 제5 PMOS 트랜지스터;

상기 제2 중간 신호를 출력하는 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 상기 데이터 신호에 결합된 게이트 터미널을 포함하는 제1 NMOS 트랜지스터;

상기 제1 NMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 상기 제1 중간 신호에 결합된 게이트 터미널을 포함하는 제2 NMOS 트랜지스터;

상기 제2 NMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 제2 전원 공급 전압에 결합된 제2 소스/드레인 영역, 그리고 상기 제5 중간 신호에 결합된 게이트 터미널을 포함하는 제3 NMOS 트랜지스터;

상기 제2 NMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 상기 제2 전원 공급 전압에 결합된 제2 소스/드레인 영역, 그리고 상기 제1 제어 신호에 결합된 게이트 터미널을 포함하는 제4 NMOS 트랜지스터;

상기 제2 중간 신호를 출력하는 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 상기 제2 제어 신호에 결합된 게이트 터미널을 포함하는 제5 NMOS 트랜지스터;

상기 제5 NMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제6 NMOS 트랜지스터, 제2 소스/드레인 영역, 그리고 상기 제1 제어 신호에 결합된 게이트 터미널을 포함하는 제6 NMOS 트랜지스터; 그리고

상기 제6 NMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 상기 제2 전원 공급 전압에 결합된 제2 소스/드레인 영역, 그리고 상기 제1 중간 신호에 결합된 게이트 터미널을 포함하는 제7 NMOS 트랜지스터를 포함하는 플립-플롭.

청구항 4

제1항에 있어서,

상기 플립-플롭은 단일 디퓨전 브레이크(SDB)(Single Diffusion Break) 기판 또는 대체 디퓨전 브레이크(ADB)(Alternative Diffusion Break) 기판의 위에 배치되는 플립-플롭.

청구항 5

제1항에 있어서,

상기 제1, 제2, 제3, 제4 및 제5 논리 게이트들은 NOR 게이트들이고,

상기 제2 및 제3 논리 게이트들은 상기 클럭 신호의 반전 신호를 수신하도록 더 구성되고,

상기 게이트 회로는:

제1 전원 공급 전압에 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 상기 제2 제어 신호에 결합된 게이트 터미널을 포함하는 제1 PMOS 트랜지스터;

상기 제1 PMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 상기 제1 중간 신호에 결합된 게이트 터미널을 포함하는 제2 PMOS 트랜지스터;

상기 제2 PMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 상기 제2 중간 신호에 결합된 제2 소스/드레인 영역, 그리고 상기 데이터 신호에 결합된 게이트 터미널을 포함하는 제3 PMOS 트랜지스터;

상기 제1 전원 공급 전압에 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 상기 제1 제어 신호에 결합된 게이트 터미널을 포함하는 제4 PMOS 트랜지스터;

상기 제4 PMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 상기 제1 중간 신호에 결합된 게이트 터미널을 포함하는 제5 PMOS 트랜지스터;

상기 제5 PMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 상기 제2 중간 신호를 출력하는 제2 소스/드레인 영역, 그리고 제5 중간 신호를 출력하는 게이트 터미널을 포함하는 제6 PMOS 트랜지스터;

상기 제2 중간 신호를 출력하는 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 상기 제2 제어 신호에 결합된 게이트 터미널을 포함하는 제1 NMOS 트랜지스터;

상기 제1 NMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 제2 전원 공급 전압에 결합된 제2 소스/드레인 영역, 그리고 상기 제1 제어 신호에 결합된 게이트 터미널을 포함하는 제2 NMOS 트랜지스터;

상기 제2 중간 신호를 출력하는 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 상기 제5 중간 신호에 결합된 게이트 터미널을 포함하는 제3 NMOS 트랜지스터;

상기 제3 NMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 상기 제2 전원 공급 전압에 결합된 제2 소스/드레인 영역, 그리고 상기 데이터 신호에 결합된 게이트 터미널을 포함하는 제4 NMOS 트랜지스터; 그리고

상기 제2 중간 신호에 결합된 제1 소스/드레인 영역, 상기 제2 전원 공급 전압에 결합된 제2 소스/드레인 영역, 그리고 상기 제1 중간 신호에 결합된 게이트 터미널을 포함하는 제5 NMOS 트랜지스터를 포함하는 플립-플롭.

청구항 6

단일 디퓨전 브레이크(SDB)(Single Diffusion Break) 기판 또는 대체 디퓨전 브레이크(ADB)(Alternative Diffusion Break) 기판의 위에 배치되고, 그리고 제1 신호 및 상기 제1 신호의 반전 신호인 제2 신호를 출력하도록 구성되는 1차 래치들의 쌍 및 2차 래치를 포함하는 플립-플롭을 포함하고,

상기 1차 래치들의 쌍은:

입력들로서 데이터 신호, 제1 중간 신호, 제1 제어 신호 및 제2 제어 신호를 수신하고, 그리고 제2 중간 신호를 출력하도록 구성되는 게이트 회로;

입력들로서 상기 제2 중간 신호 및 제3 중간 신호를 수신하고, 그리고 제4 중간 신호를 출력하도록 구성되는 제1 로직 게이트;

입력들로서 클럭 신호 및 상기 제4 중간 신호를 수신하고, 그리고 상기 제3 중간 신호를 출력하도록 구성되는 제2 로직 게이트; 그리고

입력들로서 상기 클럭 신호, 상기 제2 중간 신호 및 상기 제3 중간 신호를 수신하고, 그리고 상기 제1 중간 신호를 출력하도록 구성되는 제3 로직 게이트를 포함하고,

상기 2차 래치는:

입력들로서 상기 제3 중간 신호 및 상기 제2 신호를 수신하고, 그리고 상기 제1 신호를 출력하도록 구성되는 제4 로직 게이트; 그리고

입력들로서 상기 제1 중간 신호 및 상기 제1 신호를 수신하고, 그리고 상기 제2 신호를 출력하도록 구성되는 제5 로직 게이트를 포함하는 장치.

청구항 7

제6항에 있어서,

상기 제1 중간 신호가 로우이거나;

상기 데이터 신호 및 상기 제2 제어 신호 모두가 로우이거나; 또는

상기 제1 제어 신호가 로우이고 그리고 상기 제2 제어 신호가 하이일 때에 상기 제2 중간 신호는 하이이고, 그리고

상기 제1 중간 신호 및 상기 데이터 신호가 하이이고 그리고 상기 제2 제어 신호가 로우이거나; 또는

상기 제1 제어 신호, 상기 제2 제어 신호 및 상기 제1 중간 신호가 하이일 때에 상기 제2 중간 신호는 로우인 장치.

청구항 8

제7항에 있어서,

상기 제1, 제2, 제3, 제4 및 제5 로직 게이트들은 NAND 게이트들이고,

상기 게이트 회로는:

제1 전원 공급 전압에 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 상기 데이터 신호에 결합된 게이트 터미널을 포함하는 제1 PMOS 트랜지스터;

상기 제1 PMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 상기 제2 중간 신호에 결합된 제2 소스/드레인 영역, 그리고 상기 제2 제어 신호에 결합된 게이트 터미널을 포함하는 제2 PMOS 트랜지스터;

상기 제1 전원 공급 전압에 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 상기 제1 제어 신호에 결합된 게이트 터미널을 포함하는 제3 PMOS 트랜지스터;

상기 제3 PMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 상기 제2 중간 신호를 출력하는 제2 소스/드레인 영역, 그리고 제5 중간 신호에 결합된 게이트 터미널을 포함하는 제4 PMOS 트랜지스터;

상기 제1 전원 공급 전압에 결합된 제1 소스/드레인 영역, 상기 제2 중간 신호를 출력하는 제2 소스/드레인 영역, 그리고 상기 제1 중간 신호에 결합된 게이트 터미널을 포함하는 제5 PMOS 트랜지스터;

상기 제2 중간 신호를 출력하는 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 상기 데이터 신호에 결합된 게이트 터미널을 포함하는 제1 NMOS 트랜지스터;

상기 제1 NMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 상기 제1 중간 신호에 결합된 게이트 터미널을 포함하는 제2 NMOS 트랜지스터;

상기 제2 NMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 제2 전원 공급 전압에 결합된 제2 소스/드레인 영역, 그리고 상기 제5 중간 신호에 결합된 게이트 터미널을 포함하는 제3 NMOS 트랜지스터;

상기 제2 NMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 상기 제2 전원 공급 전압에 결합된 제2 소스/드레인 영역, 그리고 상기 제1 제어 신호에 결합된 게이트 터미널을 포함하는 제4 NMOS 트랜지스터;

상기 제2 중간 신호를 출력하는 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 상기 제2 제어 신호에 결합된 게이트 터미널을 포함하는 제5 NMOS 트랜지스터;

상기 제5 NMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제6 NMOS 트랜지스터, 제2 소스/드레인 영역, 그리고 상기 제1 제어 신호에 결합된 게이트 터미널을 포함하는 제6 NMOS 트랜지스터; 그리고

상기 제6 NMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 상기 제2 전원 공급 전압에 결합된 제2 소스/드레인 영역, 그리고 상기 제1 중간 신호에 결합된 게이트 터미널을 포함하는 제7 NMOS 트랜지스터를 포함하는 장치.

청구항 9

제6항에 있어서,

상기 제1, 제2, 제3, 제4 및 제5 로직 게이트들은 NOR 게이트들이고,

상기 제2 및 제3 로직 게이트들은 상기 클럭 신호의 반전 신호를 수신하도록 구성되고,

상기 게이트 회로는:

제1 전원 공급 전압에 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 상기 제2 제어 신호에 결합된 게이트 터미널을 포함하는 제1 PMOS 트랜지스터;

상기 제1 PMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 상기 제1 중간 신호에 결합된 게이트 터미널을 포함하는 제2 PMOS 트랜지스터;

상기 제2 PMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 상기 제2 중간 신호에 결합된 제2 소스/드레인 영역, 그리고 상기 데이터 신호에 결합된 게이트 터미널을 포함하는 제3 PMOS 트랜지스터;

상기 제1 전원 공급 전압에 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 상기 제1 제어 신호에 결합된 게이트 터미널을 포함하는 제4 PMOS 트랜지스터;

상기 제4 PMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 상기 제1 중간 신호에 결합된 게이트 터미널을 포함하는 제5 PMOS 트랜지스터;

상기 제5 PMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 상기 제2 중간 신호를 출력하는 제2 소스/드레인 영역, 그리고 제5 중간 신호를 출력하는 게이트 터미널을 포함하는 제6 PMOS 트랜지스터;

상기 제2 중간 신호를 출력하는 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 상기 제2 제어 신호에 결합된 게이트 터미널을 포함하는 제1 NMOS 트랜지스터;

상기 제1 NMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 제2 전원 공급 전압에 결합된 제2 소스/드레인 영역, 그리고 상기 제1 제어 신호에 결합된 게이트 터미널을 포함하는 제2 NMOS 트랜지스터;

상기 제2 중간 신호를 출력하는 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 상기 제5 중간 신호에 결합된 게이트 터미널을 포함하는 제3 NMOS 트랜지스터;

상기 제3 NMOS 트랜지스터의 상기 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 상기 제2 전원 공급 전압에 결합된 제2 소스/드레인 영역, 그리고 상기 데이터 신호에 결합된 게이트 터미널을 포함하는 제4 NMOS 트랜지스터; 그리고

상기 제2 중간 신호에 결합된 제1 소스/드레인 영역, 상기 제2 전원 공급 전압에 결합된 제2 소스/드레인 영역, 그리고 상기 제1 중간 신호에 결합된 게이트 터미널을 포함하는 제5 NMOS 트랜지스터를 포함하는 장치.

청구항 10

입력들로서 데이터 입력 신호, 제1 중간 신호, 제1 제어 신호 및 제2 제어 신호를 수신하고, 그리고 제2 중간 신호를 출력하도록 구성되는 게이트 회로;

입력들로서 상기 제2 중간 신호 및 제3 중간 신호를 수신하고, 그리고 제4 중간 신호를 출력하도록 구성되는 제1 로직 게이트;

입력들로서 클럭 신호 및 제4 중간 신호를 수신하고, 그리고 상기 제3 중간 신호를 출력하도록 구성되는 제2 로직 게이트;

입력들로서 상기 클럭 신호, 상기 제2 중간 신호 및 상기 제3 중간 신호를 수신하고, 그리고 상기 제1 중간 신호를 출력하도록 구성되는 제3 로직 게이트;

입력들로서 상기 제3 중간 신호 및 제2 신호를 수신하고, 그리고 제1 신호를 출력하도록 구성되는 제4 로직 게이트; 그리고

입력들로서 상기 제1 중간 신호 및 상기 제1 신호를 수신하고, 그리고 상기 제2 신호를 출력하도록 구성되는 제5 로직 게이트를 포함하는 플립-플롭.

발명의 설명

기 술 분 야

[0001] 여기에 기재된 주제는 일반적으로 반도체 장치들에 관한 것이다. 더 상세하게는, 여기에 기재된 주제는 플립-플롭이 단일 디퓨전 브레이크(SDB)(Single Diffusion Break) 기술로 배치될 때에 사용되는 공간(영역)의 양을 최적화하는 플립-플롭 회로 및 레이아웃에 관한 것이다.

배 경 기 술

[0002] 기술 노드들(technology nodes)이 줄어듦에 따라, 플립-플롭과 같은 반도체 장치의 영역을 줄이는 것은 점점 더 어려워지고 있다. 플립-플롭 영역 스케일링은 영역 및 조립된 플립-플롭을 만드는데 사용되는 접촉 폴리 피치들(CPP)(Contacted Poly Pitches)의 수의 관점에서 새로운 기술 노드들을 위한 핵심 매트릭(metric)일 수 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 목적은 점유하는 영역 및 내부 전력을 절감하는 플립-플롭들의 패밀리를 제공하는 데에 있다.

과제의 해결 수단

[0004] 예시적인 실시 예는 제1 신호 및 제1 신호의 반전 신호인 제2 신호를 출력하도록 구성되는 1차 래치들의 쌍 및 2차 래치를 포함할 수 있는 플립-플롭을 제공한다. 1차 래치들의 쌍은 게이트 회로, 제1 로직 게이트, 제2 로직 게이트, 그리고 제3 로직 게이트를 포함한다. 2차 래치는 제4 로직 게이트 및 제5 로직 게이트를 포함한다. 게이트 회로는 입력들로서 데이터 신호, 제1 중간 신호, 제1 제어 신호 및 제2 제어 신호를 수신하고, 그리고 제2 중간 신호를 출력하도록 구성될 수 있다. 제1 로직 게이트는 입력들로서 제2 중간 신호 및 제3 중간 신호를 수신하고, 그리고 제4 중간 신호를 출력하도록 구성될 수 있다. 제2 로직 게이트는 입력들로서 클럭 신호 및 제4 중간 신호를 수신하고, 그리고 제3 중간 신호를 출력하도록 구성될 수 있다. 제3 로직 게이트는 입력들로서 클럭 신호, 제2 중간 신호 및 제3 중간 신호를 수신하고, 그리고 제1 중간 신호를 출력하도록 구성될 수 있다. 제4 로직 게이트는 입력들로서 제3 중간 신호 및 제2 신호를 수신하고, 그리고 제1 신호를 출력하도록 구성될 수 있다. 제5 로직 게이트는 입력들로서 제1 중간 신호 및 제1 신호를 수신하고, 그리고 제2 신호를 출력하도록 구성될 수 있다.

[0005] 다른 예시적인 실시 예는 단일 디퓨전 브레이크(SDB)(Single Diffusion Break) 기판, 이중 디퓨전 브레이크(DDB)(Double Diffusion Break) 기판, 또는 대체 디퓨전 브레이크(ADB)(Alternative Diffusion Break) 기판의 위에 배치되는 플립-플롭을 포함할 수 있는 장치를 제공한다. 플립-플롭은 되고, 그리고 제1 신호 및 제1 신호의 반전 신호인 제2 신호를 출력하도록 구성되는 1차 래치들의 쌍 및 2차 래치를 포함할 수 있다. 1차 래치들의 쌍은 게이트 회로, 제1 로직 게이트, 제2 로직 게이트, 그리고 제3 로직 게이트를 포함할 수 있다. 2차 래치는 제4 로직 게이트 및 제5 로직 게이트를 포함할 수 있다. 게이트 회로는 입력들로서 데이터 신호, 제1 중간 신호, 제1 제어 신호 및 제2 제어 신호를 수신하고, 그리고 제2 중간 신호를 출력하도록 구성될 수 있다. 제1 로직 게이트는 입력들로서 제2 중간 신호 및 제3 중간 신호를 수신하고, 그리고 제4 중간 신호를 출력하도록 구성될 수 있다. 제2 로직 게이트는 입력들로서 클럭 신호 및 제4 중간 신호를 수신하고, 그리고 제3 중간 신호를 출력하도록 구성될 수 있다. 제3 로직 게이트는 입력들로서 클럭 신호, 제2 중간 신호 및 제3 중간 신호를 수신하고, 그리고 제1 중간 신호를 출력하도록 구성될 수 있다. 제4 로직 게이트는 입력들로서 제3 중간 신호 및 제2 신호를 수신하고, 그리고 제1 신호를 출력하도록 구성될 수 있다. 제5 로직 게이트는 입력들로서 제1 중간 신호 및 제1 신호를 수신하고, 그리고 제2 신호를 출력하도록 구성될 수 있다.

[0006] 또 다른 예시적인 실시 예는 게이트 회로, 제1 로직 게이트, 제2 로직 게이트, 제3 로직 게이트, 제4 로직 게이트, 그리고 제5 로직 게이트를 포함할 수 있는 플립-플롭을 제공한다. 게이트 회로는 입력들로서 데이터 입력 신호, 제1 중간 신호, 제1 제어 신호 및 제2 제어 신호를 수신하고, 그리고 제2 중간 신호를 출력하도록 구성될 수 있다. 제1 로직 게이트는 입력들로서 제2 중간 신호 및 제3 중간 신호를 수신하고, 그리고 제4 중간 신호를 출력하도록 구성될 수 있다. 제2 로직 게이트는 입력들로서 클럭 신호 및 제4 중간 신호를 수신하고, 그리고 제3 중간 신호를 출력하도록 구성될 수 있다. 제3 로직 게이트는 입력들로서 클럭 신호, 제2 중간 신호 및 제3 중간 신호를 수신하고, 그리고 제1 중간 신호를 출력하도록 구성될 수 있다. 제4 로직 게이트는 입력들로서 제3 중간 신호 및 제2 신호를 수신하고, 그리고 제1 신호를 출력하도록 구성될 수 있다. 제5 로직 게이트는 입력들로서 제1 중간 신호 및 제1 신호를 수신하고, 그리고 제2 신호를 출력하도록 구성될 수 있다.

발명의 효과

[0007] 본 발명에 따르면, 영역 및 전력을 절감하는 플립-플롭들의 패밀리가 제공된다. 또한, 플립-플롭들의 패밀리는 넓은 가변성들을 제공하여, 완전 표준 셀 라이브러리를 달성한다.

도면의 간단한 설명

[0008] 다음의 섹션에서, 여기에 기재된 주제의 측면들이 도면들에 도시된 모범적인 실시 예들을 참조하여 설명될 것이다.

도 1a는 전송 게이트 로직에 기반하는 플립-플롭의 실시 예를 위한 도면이다.

도 1b는 NAND-기반 플립-플롭의 도면이다.

도 1c는 NOR-기반 플립-플롭의 도면이다.

도 2a는 여기에 기재된 주제에 따른 플립-플롭의 예시적인 실시 예의 도면이다.

도 2b는 여기에 기재된 주제에 따른 입력 게이트 회로의 도면이다.

도 2c는 데이터 입력 신호, 중간 신호, 스캔 입력 신호, 그리고 스캔 인에이블 신호의 함수로서 입력 게이트 회로에 의해 제공되는 중간 신호의 진리표를 보여준다.

도 3a 및 도 3b는 여기에 기재된 주제에 따른 SDB 기판상의 도 2a의 입력 게이트 회로의 예시적인 트랜지스터 배열들을 각각 보여준다.

도 4는 여기에 기재된 주제에 따른 입력 신호를 포함하는 플립-플롭의 예시적인 실시 예의 도면이다.

도 5는 여기에 기재된 주제에 따른 resertb 입력 신호를 포함하는 플립-플롭의 예시적인 실시 예의 도면이다.

도 6은 여기에 기재된 주제에 따른 set 입력 신호 및 reset 입력 신호를 포함하는 플립-플롭(600)의 예시적인 실시 예의 도면이다.

도 7a는 여기에 기재된 주제에 따른 플립-플롭의 예시적인 실시 예의 도면이다.

도 7b는 여기에 기재된 주제에 따른 게이트 회로의 도면이다.

도 8은 여기에 기재된 주제에 따른 셋 입력 신호를 포함하는 플립-플롭의 예시적인 실시 예의 도면이다.

도 9는 여기에 기재된 주제에 따른 셋 입력 신호 및 리셋 입력 신호를 포함하는 플립-플롭의 예시적인 실시 예의 도면이다.

발명을 실시하기 위한 구체적인 내용

[0009] 다음의 상세한 설명에서, 다양한 구체적인 상세들이 본 기재의 충분한 이해를 제공하기 위해 제공된다. 그러나 기재된 측면들은 이러한 구체적인 상세들 없이도 이 분야에 숙련된 자들에 의해 실시될 수 있음이 이해될 것이다. 다른 예로서, 잘 알려진 방법들, 절차들, 구성 요소들 및 회로들은 여기에 기재된 주제를 모호하게 하지 않기 위해 상세히 설명되지 않았다.

[0010] 이 명세서의 전체에 걸쳐 “일 실시 예” 또는 “실시 예”에 대한 참조는 해당 실시 예와 연관되어 기술된 특정한 특색, 구조, 또는 특성이 여기에 기재된 적어도 하나의 실시 예에 포함될 수 있음을 의미한다. 따라서, 이 명세서의 전체에 걸친 다양한 위치들에서 “일 실시 예에서” 또는 “실시 예에서” 또는 “일 실시 예에 따른”의 문구들의 출현들은 모두 동일한 실시 예를 참조할 필요는 없을 수 있다. 또한, 특정한 특색들, 구조들, 또는 특성들은 하나 또는 그보다 많은 실시 예들에서 임의의 적절한 방법으로 조합될 수 있다. 이와 관련하여, 여기에서 사용되는 바와 같이, “모범적인”의 단어는 “하나의 예, 사례 또는 실례로 기능하는”을 의미한다. 여기에서 “모범적인” 것으로 기술된 어떠한 실시 예는 다른 실시 예들보다 반드시 선호되거나 또는 장점을 갖는 것으로 여겨지지 않는다. 또한, 여기에서 논의된 맥락에 의존하여, 단수 용어는 대응하는 복수 형태를 포함할 수 있고, 복수 용어는 대응하는 단수 형태를 포함할 수 있다. 여기에서 보여지고 논의되는 다양한 도면들(구성 요소도들을 포함하여)은 설명의 목적만을 위한 것이며, 비율로 한정되지 않음에 유의하여야 한다. 마찬가지로, 다양한 파형들 및 타이밍도들이 설명의 목적만을 위하여 보여진다. 예를 들어, 요소들의 일부의 크기들은 명확성을 위하여 다른 요소들보다 상대적으로 강조될 수 있다. 또한, 적절하다고 여겨지면, 도면들에서 반복되는 참

조 번호들은 대응하는 그리고/또는 유사한 요소들을 가리킬 수 있다.

[0011] 여기에서 사용되는 용어들은 특정한 모범적인 실시 예들을 설명하는 목적만을 위한 것이며, 청구된 주제를 한정하는 것을 의도하지 않는다. 여기에서 사용되는 바와 같이, 맥락이 명백히 다르게 가리키지 않으면, 단수 형태들은 복수 형태들 또한 포함하는 것을 의도한다. 이 명세서에서 사용될 때에 “포함한다” 그리고/또는 “포함하는”의 용어들은 언급된 특색들, 정수들, 단계들, 동작들, 요소들, 그리고/또는 구성 요소들의 존재를 명시하며, 하나 또는 그보다 많은 다른 특색들, 정수들, 단계들, 동작들, 요소들, 구성 요소들, 그리고/또는 이들의 조합들의 존재 또는 추가를 배제하지 않는다. 여기에서 사용되는 바와 같이, “제1”, “제2” 등의 용어는 이들이 선행하는 명사들에 대한 표지로 사용되며, 명백히 그렇게 정의되지 않으면 어떠한 형태의 순서(예를 들어, 공간적, 시간적, 논리적 등)를 암시하지 않는다. 또한, 동일한 참조 번호들은 둘 또는 그보다 많은 도면들에서 동일한 또는 유사한 기능을 갖는 부품들, 구성 요소들, 블록들, 회로들, 유닛들, 또는 모듈들을 참조하는데 사용될 수 있다. 그러나 이러한 사용은 설명의 단순화 및 논의의 용이화만을 위한 것이며, 이러한 구성 요소들 또는 유닛들의 구조 또는 구조적 상세들이 모든 실시 예들에 걸쳐 동일하거나 또는 이러한 공통으로 참조되는 부품들/모듈들이 여기에 기재된 특정한 실시 예들의 가르침들을 구현하는 유일한 방법임을 암시하지 않는다.

[0012] 다르게 정의되지 않으면, 여기에서 사용되는 모든 용어들(기술적 그리고 과학적 용어들을 포함하여)은 이 주제가 속한 분야에 통상의 기술을 가진 자에 의해 공통으로 이해되는 것과 동일한 의미를 갖는다. 공통으로 사용되는 사전들에서 정의된 것들과 같은 용어들은 연관 분야의 맥락에서 그들의 의미와 동일한 의미를 갖는 것으로 해석되어야 하며, 여기에서 명백히 그렇게 정의되지 않으면 이상화되거나 과도하게 형식적인 감각으로 해석되지 않을 것이다.

[0013] 여기에 기재된 주제는 단일 디퓨전 브레이크(SDB)(Single Diffusion Break) 표준-셀 기판에 배치될 때에 공간(영역) 및 전력을 줄이는 최적화된 도해(schematic) 및 레이아웃을 갖는 플립-플롭 구조에 관한 것이다. 플립-플롭 구조는 또한 이중 디퓨전 브레이크(DDB)(Double Diffusion Break), 다중 디퓨전 브레이크(MDB)(Multi-Diffusion Break), 그리고/또는 대체 디퓨전 브레이크(ADB)(Alternative Diffusion Break)로 배치될 수 있다. 플립-플롭 구조는 NAND-기반 플립-플롭들 및 NOR-기반 플립-플롭들 모두를 제공하며, 이러한 타입들의 플립-플롭들은 모두 q 및 qb 출력 신호들을 출력한다. 플립-플롭들의 두 타입들 모두는 완전 CMOS(Complementary Metal-Oxide Semiconductor) 로직을 사용하며, 따라서 두 타입의 플립-플롭들 모두는 저전압(LV)(Low-Voltage) 응용들에 사용될 수 있다. 이는 도 1a에 도시된 것과 같은, 낮은 전압들에서 회로 제한들을 가질 수 있는 전송-게이트-타입 플립-플롭들과 반대이다. 정규(regular) NAND 게이트들의 사용은 또한 수율 및 공정 균일성에 더 좋다. 추가적으로, 레이아웃은 CPP 수를 줄이고, 차단된(blocked) 메탈 트랙들의 수를 줄이고, 그리고 클럭 및 다른 내부 신호 노드들에서 내부 커패시턴스를 줄이도록 최적화될 수 있다.

[0014] 일 실시 예에서, 플립-플롭은 영역의 하나의 CPP를 절감하고 그리고 SDB 기판에 배치된 때에 CPP 유닛들의 관점에서 플립-플롭에 의해 사용되는 영역을 최적화하는 스캔-최적화(scan-optimized) 입력 게이트를 포함할 수 있다. SDB가 여기에 기재된 주제를 위한 영역 효율성을 제공하지만, 여기에 기재된 플립-플롭 회로 구성은 또한 트랜지스터들 사이에 놓여질 수 있는 디퓨전 브레이크들의 수에 대한 DDM, MDB 그리고/또는 ADB에 배치될 수 있다. 추가적으로, 일 실시 예에서, 플립-플롭은 '리셋b' 및 '셋b' 신호들의 효율적인 구현을 제공할 수 있으며, 따라서 회로 설계는 셋 및 리셋 입력 신호들의 음의 극성의 장점을 가지며 공간을 더 줄일 수 있다. 플립-플롭들의 추가적인 실시 예들은 1) q 및 qb 신호 지정을 전환하여 d의 입력 극성을 반전하고 그리고 셋 신호를 리셋 신호로 변경하고 그리고 리셋 신호를 셋 신호로 변경함으로써, 2) 버블 푸싱(bubble pushing)하여 플립-플롭을 NAND-기반 토폴로지로부터 NOR-기반 토폴로지로 변환함으로써, 3) 인버터들 그리고/또는 버퍼들을 입력 그리고/또는 출력 신호들에 삽입하여 필요한 극성 또는 출력 구동 세기들을 획득함으로써, 그리고 4) 응용 필요들에 의존하여 q 그리고/또는 qb 출력을 태핑(tapping)함으로써 생성될 수 있다. 이러한 기술들은 플립-플롭들 및 다른 가능한 실시 예들의 전체 패밀리를 위한 최적화된 영역 효율적인 레이아웃을 생성하는 것을 도울 수 있다.

[0015] 도 1a는 전송 게이트 로직에 기반하는 플립-플롭(100)의 실시 예를 위한 도면이다. 3상 인버터 또는 전송 게이트 배열이 이 플립-플롭 실시 예에서 사용될 수 있다. 플립-플롭(100)은 데이터 입력 신호(d)를 수신하고, 출력 신호(q)를 생성하며, 네 개의 전송 게이트들(101~104) 및 네 개의 인버터들(105~108)을 포함할 수 있다. 입력 신호(d)는 제1 전송 게이트(101)에 인가된다. 전송 게이트(101)의 출력은 인버터(105)의 입력에 인가된다. 인버터(105)의 출력은 전송 게이트(102)의 입력이고, 그리고 인버터(106)의 입력이다. 인버터(106)의 출력은 전송 게이트(103)의 입력이고, 그리고 전송 게이트(103)의 출력은 인버터(105)의 입력에 입력된다. 전송 게이트(102)의 출력은 인버터(107)에 입력된다. 인버터(107)의 출력은 인버터(107)의 입력에 입력된다. 인버터(108)의 출력은 전송 게이트(104)의 입력이고, 그리고 전송 게이트(104)의 출력은 인버터(106)의 입력에 입력된다. 플립-

플롭(100)의 출력 신호(q)는 인버터(107)에 의해 생성된다. 대안적인 실시 예에서, 3상 인버터가 전송 게이트들 대신에 사용될 수 있으며, 이는 설계가 낮은 전압들에 대해 더 강건하게 하지만 더 넓은 영역을 사용하는 반작용이 있을 수 있다. 플립-플롭에서 교차 결합(cross-couple)을 구현하는데 얼마나 많은 영역이 필요한지에 의존하여, 플립-플롭(100)의 버전들은 여기에 기재된 주제와 비교하여 영역 그리고/또는 전력 소비에서 비효율적일 수 있다.

[0016] 도 1b는 NAND-기반 플립-플롭(110)의 도면이다. 플립-플롭(110)은 데이터 입력 신호(d) 및 클럭 신호(clk)를 수신하고, 그리고 출력 신호들(q, qb)을 생성한다. 출력 신호(qb)는 출력 신호(q)의 반전 신호이다. 도 1a의 플립-플롭(100)은 두 개의 래치들을 포함하지만, 도 1b의 플립-플롭(110)은 세 개의 래치들을 포함한다. 즉, 플립-플롭(110)은 1차 래치들(111)(클럭 입력을 위한 하나의 래치 및 데이터 입력을 위한 하나의 래치)의 쌍 및 2차 래치(112)로서 총 세 개의 래치들을 포함하며, 1차 래치들(111)은 2차 래치(112)에 대해 단방향 제어를 갖는다. 1차 래치들(111)은 NAND 게이트들(113~116)을 포함하고, 2차 래치(112)는 NAND 게이트들(117, 118)을 포함한다.

[0017] NAND 게이트(113)는 입력들로서 중간 신호(pb) 및 중간 신호(cb)를 수신하고, 그리고 중간 신호(c)를 출력한다. NAND 게이트(114)는 입력들로서 클럭 신호(clk) 및 중간 신호(c)를 수신하고, 그리고 중간 신호(cb)를 출력한다. NAND 게이트(115)는 입력들로서 클럭 신호(clk), 중간 신호(pb) 및 중간 신호(cb)를 수신하고, 그리고 중간 신호(p)를 출력한다. NAND 게이트(116)는 입력들로서 데이터 입력 신호(d) 및 중간 신호(p)를 수신하고, 그리고 중간 신호(pb)를 출력한다. 여기에 기재된 플립-플롭(110) 및 다른 플립-플롭들을 위한 신호 이름들(p, pb, c, cb)은 대응하는 플립-플롭의 내부 신호들에 대해 임의로 선택되었다. 추가적으로, 여기에 기재된 플립-플롭(110) 및 다른 플립-플롭들을 위한 신호 이름들은 모든 동작 모드들에서 서로 반대가 아니다.

[0018] NAND 게이트(117)는 입력들로서 중간 신호(cb) 및 출력 신호(qb)를 수신하고, 그리고 출력 신호(q)를 출력한다. NAND 게이트(118)는 입력들로서 출력 신호(q) 및 중간 신호(p)를 수신하고, 그리고 출력 신호(qb)를 출력한다.

[0019] 도 1c는 NOR-기반 플립-플롭(120)의 도면이다. 플립-플롭(120)은 데이터 입력 신호(d) 및 클럭 신호(clk)를 수신하고, 그리고 출력 신호들(q, qb)을 생성한다. 출력 신호(qb)는 출력 신호(q)의 반전 신호이다. 도 1b의 플립-플롭(110)과 유사하게, 플립-플롭(120)은 클럭 입력 및 데이터 입력을 위한 래치들(121)의 1차 쌍 및 2차 래치(122)로서 총 세 개의 래치들을 포함한다. 1차 래치들(122)은 2차 래치(112)에 대해 단방향 제어를 갖는다. 두 개의 1차 래치들(121)은 NOR 게이트들(123~126)을 포함하고, 2차 래치(122)는 NOR 게이트들(127, 128)을 포함한다. 플립-플롭(120)은 또한 인버터9129)를 포함한다.

[0020] NOR 게이트(123)는 입력들로서 중간 신호(pb) 및 중간 신호(cb)를 수신하고, 그리고 중간 신호(c)를 출력한다. NOR 게이트(124)는 입력들로서 반전 클럭 신호(clkb) 및 중간 신호(c)를 수신하고, 그리고 중간 신호(cb)를 출력한다. NOR 게이트(125)는 입력들로서 반전 클럭 신호(clkb), 중간 신호(pb), 그리고 중간 신호(cb)를 수신하고, 그리고 중간 신호(p)를 출력한다. NOR 게이트(126)는 입력들로서 데이터 입력 신호(d) 및 중간 신호(p)를 수신하고, 그리고 중간 신호(pb)를 출력한다.

[0021] NOR 게이트(127)는 입력들로서 중간 신호(cb) 및 출력 신호(qb)를 수신하고, 그리고 출력 신호(q)를 출력한다. NOR 게이트(128)는 입력들로서 출력 신호(q) 및 중간 신호(p)를 수신하고, 그리고 출력 신호(qb)를 출력한다.

[0022] 플립-플롭(100)의 전송 게이트들의 교차-결합 레이아웃이 효율적이 되어 플립-플롭이 가능한 적은 영역을 점유하는 것이 중요하다. 플립-플롭들의 일부 실시 예들에서, 3상 인버터들이 전송 게이트들을 대체하는데 사용되어 완전-CMOS, 저-전압 동작을 제공할 수 있다. 그러나 이러한 3상-인버터-기반 플립-플롭들은 전송-게이트-기반 플립-플롭들보다 더 많은 트랜지스터들을 유발하며, 따라서 전송-게이트-기반 플립-플롭들보다 더 큰 영역을 점유할 수 있다.

[0023] 도 2a는 여기에 기재된 주제에 따른 플립-플롭(200)의 예시적인 실시 예의 도면이다. 플립-플롭(200)은 데이터 입력 신호(d), 클럭 신호(clk), 스캔 입력 신호(si), 그리고 스캔 인에이블 신호(se)를 수신하고, 그리고 출력 신호들(q, qb)을 생성할 수 있다. 플립-플롭(200)은 클럭 신호(clk) 및 데이터 입력 신호(d)를 위한 1차 래치들(201)의 쌍 및 2차 래치(202)를 포함할 수 있다. 래치들(201)의 1차 쌍은 2차 래치(202)에 대한 단방향 제어를 가질 수 있다. 래치들(201)의 1차 쌍은 입력 게이트(203) 및 NAND 게이트들(204~206)을 포함하고, 2차 래치(202)는 NAND 게이트들(207, 208)을 포함할 수 있다.

[0024] 입력 게이트 회로(203)는 입력들로서 데이터 입력(d), 스캔 입력 신호(si), 스캔 인에이블 신호(se), 그리고 중간 신호(p)를 수신하고, 그리고 중간 신호(pb)를 출력할 수 있다. NAND 게이트(204)는 입력들로서 중산 신호

(pb) 및 중간 신호(cb)를 수신하고, 그리고 중간 신호(c)를 출력할 수 있다. NAND 게이트(205)는 입력들로서 클럭 신호(clk) 및 중간 신호(c)를 수신하고, 그리고 중간 신호(cb)를 출력할 수 있다. NAND 게이트(206)는 입력들로서 클럭 신호(clk), 중간 신호(pb), 그리고 중간 신호(cb)를 수신하고, 그리고 중간 신호(p)를 출력할 수 있다.

[0025] NAND 게이트(207)는 입력들로서 중간 신호(cb) 및 출력 신호(q)를 수신하고, 그리고 출력 신호(q)를 출력할 수 있다. NAND 게이트(208)는 입력들로서 출력 신호(q) 및 중간 신호(p)를 수신하고, 그리고 출력 신호(qb)를 출력할 수 있다.

[0026] 도 2b는 여기에 기재된 주제에 따른 입력 게이트 회로(203)의 도면이다. 게이트 회로(203)는 PMOS 트랜지스터들(210~215) 및 NMOS 트랜지스터들(217~223)을 포함할 수 있다. 게이트 회로(203)는 스캔 멀티플렉서의 기능을 수행한다. 예를 들어, 스캔 인에이블 신호(se)에 의해 제어되는 데이터 입력(d) 및 스캔 입력 신호(si) 사이의 반전 멀티플렉싱이 후속의 NAND 게이트와 조합될 수 있다. 그러나 이것이 행해진다면, 게이트 회로(203)와 비교할 때 데이터 경로 상에 추가 반전이 있을 수 있다. 논리 함수를 게이트 회로(203)에 병합하는 것은 반전을 제거하고, 그리고 최소 영역에 구현될 수 있다. 설계자들에 의해 사용되는 플립-플롭들의 모든 패밀리 그리고 플립-플롭들 및 신호 극성들의 모든 가변들을 포함하는 완전 표준 셀 라이브러리를 제공하기 위해, 가용한 게이트 회로(203)의 구성 및 후속 NAND 게이트와 함께하는 반전 멀티플렉싱 게이트의 구성 모두를 가능하게 하는 것이 유용하다.

[0027] PMOS 트랜지스터(210)는 전원 공급 전압(Vdd)과 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 데이터 입력 신호(d)와 결합된 게이트 터미널을 가질 수 있다. PMOS 트랜지스터(211)는 PMOS 트랜지스터(210)의 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 중간 신호(pb)를 출력하는 제2 소스/드레인 영역, 그리고 스캔 인에이블 신호(se)와 결합된 게이트 터미널을 가질 수 있다. PMOS 트랜지스터(212)는 전원 공급 전압(Vdd)에 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 스캔 입력 신호(si)에 결합된 게이트 터미널을 가질 수 있다. PMOS 트랜지스터(213)는 PMOS 트랜지스터(212)의 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 중간 신호(pb)를 출력하는 제2 소스/드레인 영역, 그리고 스캔 인에이블 신호(se)의 반전인 신호(seb)에 결합된 게이트 터미널을 가질 수 있다. PMOS 트랜지스터(214)는 전원 공급 전압(Vdd)에 결합된 제1 소스/드레인 영역, 중간 신호(pb)를 출력하는 제2 소스/드레인 영역, 그리고 중간 신호(p)에 결합된 게이트 터미널을 가질 수 있다. PMOS 트랜지스터(215)는 전원 공급 전압(Vdd)에 결합된 제1 소스/드레인 영역, 신호(seb)를 출력하는 제2 소스/드레인 영역, 그리고 스캔 인에이블 신호(se)에 결합된 게이트 터미널을 가질 수 있다. 점선에 의해 표시되는 PMOS 트랜지스터(2214)는 PMOS 트랜지스터(214)와 동일한 방식으로 연결될 수 있지만, 그러나 PMOS 트랜지스터(2214)는 여분의 것이며 따라서 선택적이다. PMOS 트랜지스터(2214)를 사용하는 선택은 레이아웃 효율성에 기반할 수 있다. PMOS 트랜지스터(2214)는 회로 동작에 필요하지 않을 수 있다. 플립-플롭(200) 내의 커패시턴스 및 전력을 줄이기 위해, PMOS 트랜지스터(2214)는 더미 트랜지스터로 대체될 수 있다.

[0028] NMOS 트랜지스터(216)는 중간 신호(pb)를 출력하는 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 데이터 입력 신호(d)에 결합된 게이트 터미널을 포함할 수 있다. NMOS 트랜지스터(217)는 NMOS 트랜지스터(216)의 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 중간 신호(p)에 결합된 게이트 터미널을 포함할 수 있다. NMOS 트랜지스터(218)는 NMOS 트랜지스터(217)의 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 접지에 결합된 제2 소스/드레인 영역, 그리고 신호(seb)에 결합된 게이트 터미널을 포함할 수 있다. NMOS 트랜지스터(219)는 NMOS 트랜지스터(217)의 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 접지에 결합된 제2 소스/드레인 영역, 그리고 스캔 입력 신호(si)에 결합된 게이트 터미널을 포함할 수 있다. NMOS 트랜지스터(220)는 중간 신호(pb)를 출력하는 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 스캔 인에이블 신호(se)에 결합된 게이트 터미널을 포함할 수 있다. NMOS 트랜지스터(221)는 NMOS 트랜지스터(220)의 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 스캔 입력 신호(si)에 결합된 게이트 터미널을 포함할 수 있다. NMOS 트랜지스터(222)는 NMOS 트랜지스터(221)의 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 접지에 결합된 제2 소스/드레인 영역, 그리고 중간 신호(p)에 결합된 게이트 터미널을 포함할 수 있다. NMOS 트랜지스터(223)는 PMOS 트랜지스터(215)의 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 접지에 결합된 제2 소스/드레인 영역, 그리고 스캔 인에이블 신호(se)에 결합된 게이트 터미널을 포함할 수 있다.

[0029] 도 2c는 데이터 입력 신호(d), 중간 신호(p), 스캔 입력 신호(si), 그리고 스캔 인에이블 신호(se)의 함수로서 입력 게이트 회로(203)에 의해 제공되는 중간 신호(pb)의 진리표를 보여준다. 225에 의해 표시되는 진리표의 부분은 도 2b의 225에 의해 표시되는 입력 게이트 회로(203)의 부분에 의해 제공된다. 226 부분은 226에 의해 표

시된 입력 게이트 회로(230)의 부분에 의해 제공된다. 227 부분은 227에 의해 표시된 입력 게이트 회로(203)의 부분에 의해 제공된다. 228 부분(두 장소들)은 208에 의해 표시된 입력 게이트 회로(203)의 부분에 의해 제공된다. 229 부분은 229에서 입력 게이트 회로(203)의 부분에 의해 제공되고, 그리고 230 부분은 230에서 입력 게이트 회로(203)의 부분에 의해 제공된다.

[0030] 중간 신호(pb)에서 스캔 신호(si)가 데이터 입력(d) 및 신호(seb) 변화들을 균일하게 하면 글리치(glitch)가 발생하는 위험이 없으면, 230 부분(즉, NMOS 트랜지스터(203))는 생략될 수 있다. 여기에 기재된 대부분의 플립-플롭 회로들 및 설계들에 대해, 동시에 변화하는 스캔 신호(si) 및 스캔 인에이블 신호(se)가 글리치를 발생하는 것은 좋고 매우 낮은 위험을 갖는 가정이다. 따라서, 입력 NMOS 트랜지스터(210)는 종종 생략되고, 그리고 레이아웃 설계자의 선호에 의존하여 더미 또는 플로팅 게이트로 대체될 수 있다.

[0031] 도 3a 및 도 3b는 여기에 기재된 주제에 따른 SDB 기판 상의 도 2a의 입력 게이트 회로(203)의 예시적인 트랜지스터 배열들(300, 301)을 각각 보여준다. 도 2b의 트랜지스터들이 도 3a 및 도 3b에 도시된다. 추가적으로, 도 3a에서 더미 PMOS 트랜지스터에 걸친 하나의 점퍼 및 두 개의 컷들(301)이 도시되고, 도 3b에서 더미 PMOS 트랜지스터들에 걸친 두 개의 점퍼들 및 두 개의 컷들이 도시된다. 입력 게이트 회로에 대한 금속화(metallization)은 도 3a 또는 도 3b에서 도시되지 않는다.

[0032] 도 4는 여기에 기재된 주제에 따른 입력 신호(setb)를 포함하는 플립-플롭(400)의 예시적인 실시 예의 도면이다. 플립-플롭(400)은 도 2a에 도시된 플립-플롭(200)과 동일하게 구성되고 그리고 NAND 게이트(204) 및 NAND 게이트(207)에 입력될 수 있는 입력 신호(setb)를 추가적으로 가질 수 있다. 입력 신호(setb)의 추가는 플립-플롭(400)의 레이아웃에 두 개의 CPP 유닛들을 추가할 수 있다.

[0033] 플립-플롭(400)의 출력 신호들(q, qb)의 극성을 뒤집음으로써, 도 4의 플립-플롭(400)은 resetb 입력 신호를 갖는 스캔-인(scan-in) 플립-플롭으로 사용되도록 재구성될 수 있다.

[0034] 도 5는 여기에 기재된 주제에 따른 입력 신호(resetb)를 포함하는 플립-플롭의 예시적인 실시 예의 도면이다. 플립-플롭(500)은 데이터 입력 신호(d), 클럭 신호(clk), 스캔 입력 신호(si), 스캔 인에이블 신호(se), 그리고 반전 리셋 신호(resetb)를 수신하고, 그리고 출력 신호들(q, qb)을 생성할 수 있다.

[0035] 플립-플롭들(200, 400)과 유사하게, 플립-플롭(500)은 1차 래치 쌍(501) 및 2차 래치(502)를 포함할 수 있다. 1차 래치 쌍(501)은 NAND 게이트들(503~506)을 포함하고, 2차 래치(502)는 NAND 게이트들(507, 508)을 포함할 수 있다.

[0036] NAND 게이트(503)는 입력들로서 입력 신호(resetb), 중간 신호(pb), 그리고 중간 신호(cb)를 수신하고, 그리고 중간 신호(c)를 출력할 수 있다. NAND 게이트(504)는 입력들로서 클럭 신호(clk) 및 중간 신호(c)를 수신하고, 그리고 중간 신호(cb)를 출력할 수 있다. NAND 게이트(505)는 입력들로서 클럭 신호(clk), 중간 신호(pb), 그리고 중간 신호(cb)를 수신하고, 그리고 중간 신호(p)를 출력할 수 있다. NAND 게이트(506)는 입력들로서 데이터 입력 신호(d)의 반전 신호 또는 반전 스캔 입력 신호(si)의 반전 신호, 그리고 중간 신호(p)를 수신하고, 그리고 중간 신호(pb)를 출력할 수 있다. 멀티플렉서(509)는 데이터 입력 신호(d) 및 스캔 입력 신호(si)를 수신하고, 그리고 플립-플롭(500)이 정상 모드(데이터 입력 신호(d))인지 또는 스캔 모드(스캔 입력 신호(si))인지에 의존하여 이들 신호들 중 하나의 반전된 버전을 출력할 수 있다. 멀티플렉서(509)는 스캔 인에이블 신호(se)에 의해 제어된다.

[0037] NAND 게이트(507)는 입력들로서 입력 신호(resetb), 중간 신호(cb), 그리고 출력 신호(q)를 수신하고, 그리고 출력 신호(qb)를 출력할 수 있다. NAND 게이트(508)는 입력들로서 출력 신호(qb) 및 중간 신호(p)를 수신하고, 그리고 출력 신호(q)를 출력할 수 있다.

[0038] 도 6은 여기에 기재된 주제에 따른 셋 입력 신호(set) 및 리셋 입력 신호(reset)를 포함하는 플립-플롭(600)의 예시적인 실시 예의 도면이다. 플립-플롭(600)은 도 5의 플립-플롭(500)과 동일하게 구성되고, 그리고 두 개의 인버터들(611, 612)을 더 포함할 수 있다. 플립-플롭(600)은 데이터 입력 신호(d), 클럭 신호(clk), 스캔 입력 신호(si), 스캔 인에이블 신호(se), 셋 입력 신호(set), 반전 셋 신호(setb), 리셋 입력 신호(reset), 그리고 반전 리셋 신호(resetb)를 수신하고, 그리고 출력 신호들(q, qb)을 생성할 수 있다. 플립-플롭(600)에서, set/setb 신호들 또는 reset/resetb 신호들의 극성은 설계 선호에 따라 사용될 수 있다.

[0039] set 신호 및 reset 신호가 동시에 활성화되지 않으면 또는 극성 충돌이 중요하지 않으면, 도 6에 도시된 플립-플롭(600)은 좋은 구현을 제공한다. 그러나 일부 설계 스타일들은 RTL 코딩 스타일에 기반하여, set 신호 및 reset 신호가 모두 활성화될 때에 set 신호가 우선권을 가질 필요가 있다. 이러한 상황에서, 최선의 실시 예의

구현은 reset 신호의 입력 인버터를 논리 게이트로 전환하고, 이를 set 신호로 게이팅(gating)하는 것일 수 있다. 이는 set 신호 또는 setb 신호가 항상 reset 신호보다 우선권을 갖게 한다. 마찬가지로, 일부 설계 구현들에서 그리고 RTL 코딩 스타일들에서, reset 신호가 setb 신호보다 우선권을 갖는 시스템 요구가 있을 수 있다. 이러한 상황에서, set 신호의 입력 인버터를 로직 게이트로 전환하고, 그리고 reset 신호로 게이팅하여 신호를 차단하는 것이 추천된다.

[0040] 셋 입력 신호는(set)는 인버터(611)로 입력되고, 그리고 인버터(611)의 출력 신호(setb)는 NAND 게이트(504) 및 NAND 게이트(508)로 입력된다. 리셋 입력 신호(reset)는 인버터(612)로 입력되고, 그리고 인버터(612)의 출력 신호(resetb)는 NAND 게이트(503) 및 NAND 게이트(507)로 입력된다.

[0041] 도 7a는 여기에 기재된 주제에 따른 플립-플롭(700)의 예시적인 실시 예의 도면이다. 플립-플롭(700)은 데이터 입력 신호(d), 클럭 신호(clk), 스캔 입력 신호(si), 스캔 인에이블 신호(se), 그리고 반전 리셋 신호(resetb)를 수신하고, 그리고 출력 신호들(q, qb)을 생성할 수 있다. 플립-플롭(700)은 1차 래치(701) 및 2차 래치(702)를 포함할 수 있다. 1차 래치(701)는 입력 게이트 회로(703) 및 NOR 게이트들(704~706)을 포함하고, 그리고 2차 래치(702)는 NOR 게이트들(707, 708)을 포함할 수 있다.

[0042] 입력 게이트 회로(703)는 입력들로서 데이터 입력 신호(d), 중간 신호(p), 스캔 입력 신호(si), 그리고 스캔 인에이블 신호(se)를 수신하고, 그리고 중간 신호(pb)를 생성할 수 있다. NOR 게이트(704)는 입력들로서 리셋 입력 신호(reset), 중간 신호(pb), 그리고 중간 신호(cb)를 수신하고, 그리고 중간 신호(c)를 출력할 수 있다. NOR 게이트(705)는 입력들로서 반전 클럭 신호(clkb) 및 중간 신호(c)를 수신하고, 그리고 중간 신호(cb)를 출력할 수 있다. NOR 게이트(706)는 입력들로서 반전 클럭 신호(clkb), 중간 신호(pb), 그리고 중간 신호(cb)를 수신하고, 그리고 중간 신호(p)를 출력할 수 있다. 인버터(709)는 클럭 신호(clk)를 수신하고 그리고 반전 클럭 신호(clkb)를 출력할 수 있다.

[0043] 게이트 회로(703)는 스캔 멀티플렉서의 기능을 수행할 수 있다. 예를 들어, 게이트 회로(703)는 스캔 인에이블 신호(se)에 의해 제어되는 데이터 입력 신호(d) 및 스캔 입력 신호(si) 사이의 반전 멀티플렉싱 게이트로 기능하고, 그리고 후단의 NOR 게이트와 조합될 수 있다. 드러나 입력 게이트 회로(703)와 비교하여 데이터 경로에 추가적인 반전이 있을 수 있다. 논리 함수를 입력 게이트 회로(703)에 병합하는 것은 반전을 줄이고, 그리고 최소 영역에 구현될 수 있다. 게이트 회로(203)의 구성 그리고 후단의 NOR 게이트를 갖는 반전 멀티플렉싱 게이트의 구성 모두를 가용하게 하는 것은, 플립-플롭들의 모든 패밀리들 그리고 설계자들에 의해 사용되는 플립-플롭들 및 신호 극성들의 모든 가변들을 포함하는 완전 표준 셀(stdcell) 라이브러리를 제공하는데 유용할 수 있다.

[0044] NOR 게이트(707)는 입력들로서 리셋 입력 신호(reset), 중간 신호(cb), 그리고 출력 신호(q)를 수신하고, 그리고 출력 신호(q)를 출력할 수 있다. NOR 게이트(708)는 입력들로서 출력 신호(q) 및 중간 신호(p)를 수신하고, 그리고 출력 신호(qb)를 출력할 수 있다.

[0045] 도 7b는 여기에 기재된 주제에 따른 게이트 회로(703)의 도면이다. 게이트 회로(703)는 PMOS 트랜지스터들(710~716) 및 NMOS 트랜지스터들(717~721)을 포함할 수 있다.

[0046] PMOS 트랜지스터(710)는 전원 공급 전압(Vdd)에 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 스캔 인에이블 신호(se)에 결합된 게이트 터미널을 가질 수 있다. PMOS 트랜지스터(711)는 전원 공급 전압(Vdd)에 결합된 제1 소스/드레인 영역, PMOS 트랜지스터(710)의 제2 소스/드레인 영역에 결합된 제2 소스/드레인 영역, 그리고 스캔 입력 신호(si)에 결합된 게이트 터미널을 가질 수 있다. 스캔 입력 신호(si)가 데이터 입력 신호(d)를 등화할 때에 중간 신호(pb)에서 글리치가 발생할 위험이 없으면, PMOS 트랜지스터(711)는 필요하지 않을 수 있다. 여기에 기재된 대부분의 플립-플롭 회로들 및 설계들에 대해, 스캔 입력 신호(si) 및 스캔 인에이블 신호(se)가 동시에 변화하여 글리치를 유발하는 가정은 매우 낮은 위험을 갖는 좋은 것이다. 따라서, PMOS 트랜지스터(711)는 종종 생략될 수 있고, 그리고 레이아웃 설계자의 선호에 의존하여 더미 또는 플로팅 게이트로 대체될 수 있다.

[0047] PMOS 트랜지스터(712)는 PMOS 트랜지스터(710)의 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 중간 신호(p)에 결합된 게이트 터미널을 가질 수 있다. PMOS 트랜지스터(713)는 PMOS 트랜지스터(712)의 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 중간 신호(pb)를 출력하는 제2 소스/드레인 영역, 그리고 데이터 입력 신호(d)에 결합된 게이트 터미널을 가질 수 있다. PMOS 트랜지스터(714)는 전원 공급 전압(Vdd)에 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 스캔 입력 신호(si)에 결합된 게이트 터미널을 가질 수 있다. PMOS 트랜지스터(715)는 PMOS 트랜지스터(714)의 제2 소스/드레인 영역에 결

합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 중간 신호(p)에 결합된 게이트 터미널을 가질 수 있다. PMOS 트랜지스터(716)는 PMOS 트랜지스터(715)의 제2 소스/드레인에 결합된 제1 소스/드레인 영역, 중간 신호(pb)를 출력하는 제2 소스/드레인 영역, 그리고 스캔 인에이블 신호(se)의 반전 신호인 신호(seb)에 결합된 게이트 터미널을 가질 수 있다. PMOS 트랜지스터(717)는 전원 공급 전압(Vdd)에 결합된 제1 소스/드레인 영역, 신호(seb)를 출력하는 제2 소스/드레인 영역, 그리고 스캔 인에이블 신호(se)에 결합된 게이트 터미널을 가질 수 있다.

[0048] NMOS 트랜지스터(718)는 중간 신호(pb)를 출력하는 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 스캔 인에이블 신호(se)와 결합된 게이트 터미널을 포함할 수 있다. NMOS 트랜지스터(719)는 NMOS 트랜지스터(718)의 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 스캔 입력 신호(si)에 결합된 게이트 터미널을 포함할 수 있다. NMOS 트랜지스터(720)는 중간 신호(pb)를 출력하는 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 신호(seb)에 결합된 게이트 터미널을 포함할 수 있다. NMOS 트랜지스터(721)는 NMOS 트랜지스터(720)의 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 접지에 결합된 제2 소스/드레인 영역, 그리고 데이터 입력 신호(d)에 결합된 게이트 터미널을 포함할 수 있다. NMOS 트랜지스터(722)는 중간 신호(pb)를 출력하는 제1 소스/드레인 영역, 접지에 결합된 제2 소스/드레인 영역, 그리고 중간 신호(p)에 결합된 게이트 터미널을 포함할 수 있다. NMOS 트랜지스터(723)는 NMOS 트랜지스터(720)의 제2 소스/드레인 영역에 결합된 제1 소스/드레인 영역, 제2 소스/드레인 영역, 그리고 스캔 입력 신호(si)에 결합된 게이트 터미널을 포함할 수 있다. 점선으로 표시된 NMOS 트랜지스터(2722)는 NMOS 트랜지스터(722)와 동일한 방식으로 연결될 수 있지만, NMOS 트랜지스터(2722)는 여분의 것이며, 따라서 선택적이다. NMOS 트랜지스터(2722)를 사용하는 선택은 레이아웃 효율성에 기반할 수 있다. NMOS 트랜지스터(2722)는 회로 동작을 위해 불필요할 수 있다. 플립-플롭 내부의 커패시턴스 및 전력을 줄이기 위해, NMOS 트랜지스터(2722)는 더미 트랜지스터로 대체될 수 있다.

[0049] 출력 신호들(q, qb)의 극성을 뒤집음으로써, 플립-플롭(700)은 셋 입력 신호를 갖는 스캔-인(scan-in) 플립-플롭으로 사용되도록 구성될 수 있다. 도 8은 여기에 기재된 주제에 따른 셋 입력 신호(set)를 포함하는 플립-플롭(800)의 예시적인 실시 예의 도면이다. 플립-플롭(800)은 데이터 입력 신호(d), 클럭 신호(clk), 스캔 입력 신호(si), 스캔 인에이블 신호(se), 그리고 셋 신호(set)를 수신하고, 그리고 출력 신호들(q, qb)을 생성할 수 있다.

[0050] 플립-플롭(700)과 유사하게, 플립-플롭(8000은 1차 래치(801) 및 2차 래치(802)를 포함할 수 있다. 1차 래치(801)는 NOR 게이트들(803~806)을 포함하고, 그리고 2차 래치(802)는 NOR 게이트들(807, 808)을 포함할 수 있다.

[0051] NOR 게이트(803)는 입력들로서 셋 입력 신호(set), 중간 신호(pb) 및 중간 신호(cb)를 수신하고, 그리고 중간 신호(c)를 출력할 수 있다. NOR 게이트(804)는 입력들로서 반전 클럭 신호(clkb) 및 중간 신호(c)를 수신하고, 그리고 중간 신호(cb)를 출력할 수 있다. NOR 게이트(805)는 입력들로서 반전 클럭 신호(clkb), 중간 신호(pb) 및 중간 신호(cb)를 수신하고, 그리고 중간 신호(p)를 출력할 수 있다. NOR 게이트(806)는 입력들로서 데이터 입력 신호(d)의 반전 신호 또는 스캔 입력 신호(si)의 반전 신호, 그리고 중간 신호(p)를 수신하고, 그리고 중간 신호(pb)를 출력할 수 있다. 인버터(809)는 클럭 신호(clk)를 수신하고 그리고 반전 클럭 신호(clkb)를 출력할 수 있다. 멀티플렉서(810)는 데이터 입력 신호(d) 및 스캔 입력 신호(si)를 수신하고, 그리고 플립-플롭(800)이 정상 모드(데이터 입력 신호(d))인지 또는 스캔 모드(스캔 입력 신호(si))인지에 의존하여 하나의 신호의 반전 신호를 출력할 수 있다. 멀티플렉서(810)는 스캔 인에이블 신호(se)에 의해 제어될 수 있다.

[0052] NOR 게이트(807)는 입력들로서 셋 입력 신호(set), 중간 신호(cb) 및 출력 신호(q)를 수신하고, 그리고 출력 신호(qb)를 출력할 수 있다. NOR 게이트(808)는 입력들로서 출력 신호(qb) 및 중간 신호(p)를 수신하고, 그리고 출력 신호(q)를 출력할 수 있다.

[0053] 도 9는 여기에 기재된 주제에 따른 셋 입력 신호(set) 및 리셋 입력 신호(reset)를 포함하는 플립-플롭(900)의 예시적인 실시 예의 도면이다. 플립-플롭(900)은 데이터 입력 신호(d), 클럭 신호(clk), 셋 입력 신호(set) 및 리셋 입력 신호(reset)를 수신하고, 그리고 출력 신호들(q, qb)을 생성할 수 있다. 플립-플롭(900)은 1차 래치(901) 및 2차 래치(902)를 포함할 수 있다. 1차 래치(901)는 NOR 게이트들(903~906)을 포함하고, 그리고 2차 래치(902)는 NOR 게이트들(907, 908)을 포함할 수 있다.

[0054] NOR 게이트(903)는 입력들로서 리셋 입력 신호(reset), 중간 신호(pb) 및 중간 신호(cb)를 수신하고, 그리고 중간 신호(c)를 출력할 수 있다. NOR 게이트(904)는 입력들로서 셋 입력 신호(set), 반전 클럭 신호(clkb) 및 중간 신호(c)를 수신하고, 그리고 중간 신호(cb)를 출력할 수 있다. NOR 게이트(905)는 입력들로서 반전 클럭 신

호(clkb), 중간 신호(pb) 및 중간 신호(cb)를 수신하고, 그리고 중간 신호(p)를 출력할 수 있다. NOR 게이트(906)는 입력들로서 데이터 입력 신호(d), 셋 입력 신호(set) 및 중간 신호(p)를 수신하고, 그리고 중간 신호(pb)를 출력할 수 있다. 인버터(909)는 클럭 신호(clk)를 수신하고, 그리고 반전 클럭 신호(clkb)를 출력할 수 있다.

[0055] NOR 게이트(907)는 입력들로서 리셋 입력 신호(reset), 중간 신호(cb) 및 출력 신호(qb)를 수신하고, 그리고 출력 신호(q)를 출력할 수 있다. NOR 게이트(908)는 입력들로서 셋 입력 신호(set), 출력 신호(q) 및 중간 신호(p)를 수신하고, 그리고 출력 신호(qb)를 출력할 수 있다.

[0056] 여기에서 논의된 상세들에 기반하여, 플립-플롭들의 패밀리가 실제 표준 셀(stdcell) 라이브러리를 위해 생성될 수 있다. 여기에 기재된 주제에 따른 플립-플롭들의 대다수는 하나 내지 두 개의 CPP들만큼 영역을 절감하고, 그리고 또한 종래의 구현들과 비교하여 감소된 내부 플립-플롭 클럭 전력을 제공한다. 표 1은 응용 수요들에 기반하여 생성될 수 있는 플립-플롭들의 서로 다른 패밀리들의 일부를 요약하여 보여준다.

표 1

[0057]

1	스캔을 갖거나 갖지 않음.	
2	비동기식 Reset(또는 대신 Resetb)을 갖거나 갖지 않음.	
3	비동기식 Set(또는 대신 Setb)을 갖거나 갖지 않음.	
4	Set 및 Reset 모두를 가짐. 두 신호가 동시에 활성화될 때, 할당된 우선 순위 또는 선호되는 플롭 행동이 없음.	비동기식 Set/Reset
5	Set 및 Reset 모두를 가짐. Set이 우선 순위를 가짐.	비동기식 Set/Reset (Reset을 비활성화하고 그리고 Set에 우선 순위를 주는데 로직 게이트가 사용됨)
6	Set 및 Reset 모두를 가짐. Reset이 우선 순위를 가짐.	비동기식 Set/Reset (Set을 비활성화하고 그리고 Reset에 우선 순위를 주는데 로직 게이트가 사용됨)
7	양의 에지(Posedge) 또는 음의 에지(Negedge) 플롭	클럭 상의 인버터는 단방향. 그러나 Negedge 플롭들에 Nor 스타일 플롭의 사용이 더 효율적임.
8	q 및 qb와 같은 두 개의 별도 출력들	합성(synthesis) 및 PNR 도구들 특성화 및 타이밍 등이 이를 처리할 수 있으면.
9	서로 다른 구동 세기들	qb 출력에 인버터를 추가하여 강하게 구동되는 새로운 Q_out 출력을 얻음.
10	서로 다른 Vt 클래스들	
11	클럭 활성화들	하나의 추가적인 입력을 포함하도록 로직 게이트를 수정
12	동기식 Set/Reset	하나의 추가적인 입력을 포함하도록 로직 게이트를 수정
13	서로 다른 파운드리들에서 사용되는, SDB, DDB, MDB 또는 다른 대안적인 타입의 디튜전 브레이크 기술	
14	게이트 순서 또는 트랜지스터 순서를 바꾸어, 셋업/Tcko/홀드/영역/전력/회로 강건도 및 내부 마진들을 최적화. 서로 다른 관점들에 기반하여 최적일 수 있는 대안적인 도면들 및 레이아웃들을 제공	
15	위의 실시 예들의 모든 가능한 조합들	

[0058] 이 분야에 숙련된 자들에 의해 이해되는 바와 같이, 여기에 기술된 혁신적인 개념들은 응용들의 넓은 범위에 걸쳐 수정되고 변경될 수 있다. 따라서, 청구된 주제의 범위는 위에서 기술된 특정한 모범적은 가르침들로 한정되지 않아야 하며, 다음의 청구항들에 의해 정의된다.

부호의 설명

[0059] 100: 플립-플롭 101~104: 전송 게이트들

105~108: 인버터들 110: NAND-기반 플립-플롭

111: 1차 래치들 112: 2차 래치

113~118: NAND 게이트들 120: NOR-기반 플립-플롭

121: 1차 래치들 122: 2차 래치

123~128: NOR 게이트들 129: 인버터

200, 400: 플립-플롭 201: 1차 래치들

202: 2차 래치 203: 입력 게이트

204~208: NAND 게이트들 210~215: PMOS 트랜지스터들

216~222: NMOS 트랜지스터들 500, 600: 플립-플롭

501: 1차 래치 쌍 502: 2차 래치

503~508: NAND 게이트들 509: 멀티플렉서

611, 612: 인버터들 700: 플립-플롭

701: 1차 래치 702: 2차 래치

703: 입력 게이트 회로 704~708: NOR 게이트들

710~716: PMOS 트랜지스터들 717~721: NMOS 트랜지스터들

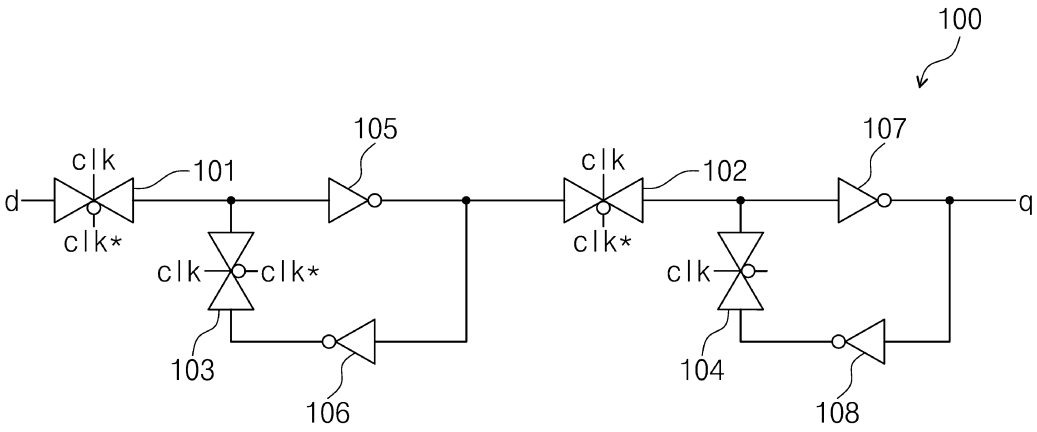
800, 900: 플립-플롭 801, 901: 1차 래치

802, 902: 2차 래치 803~808, 903~908: NOR 게이트들

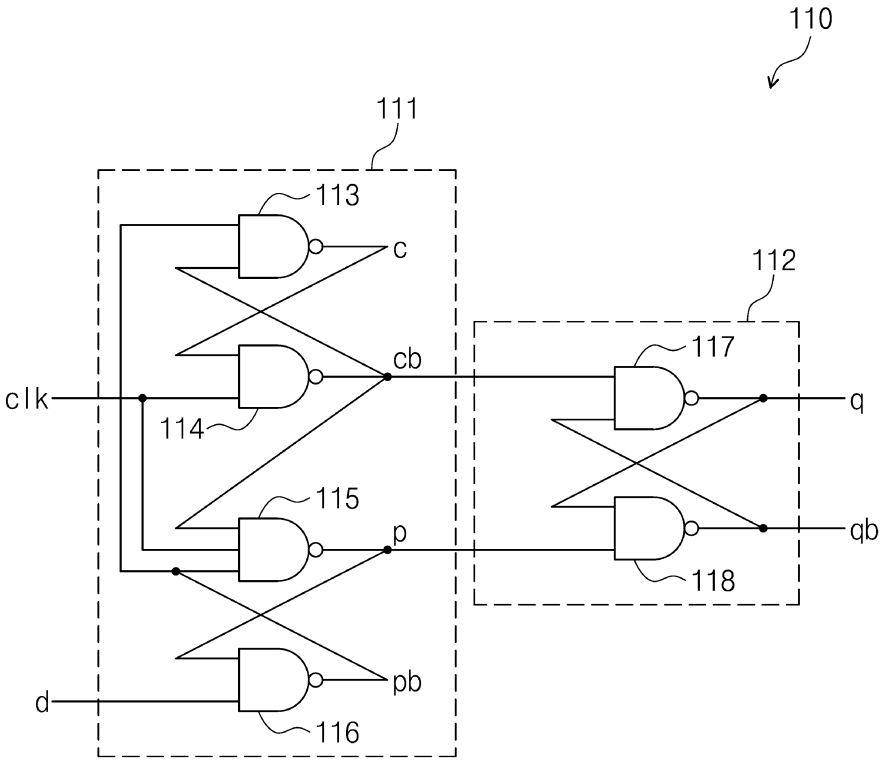
809, 909: 인버터 810: 멀티플렉서

도면

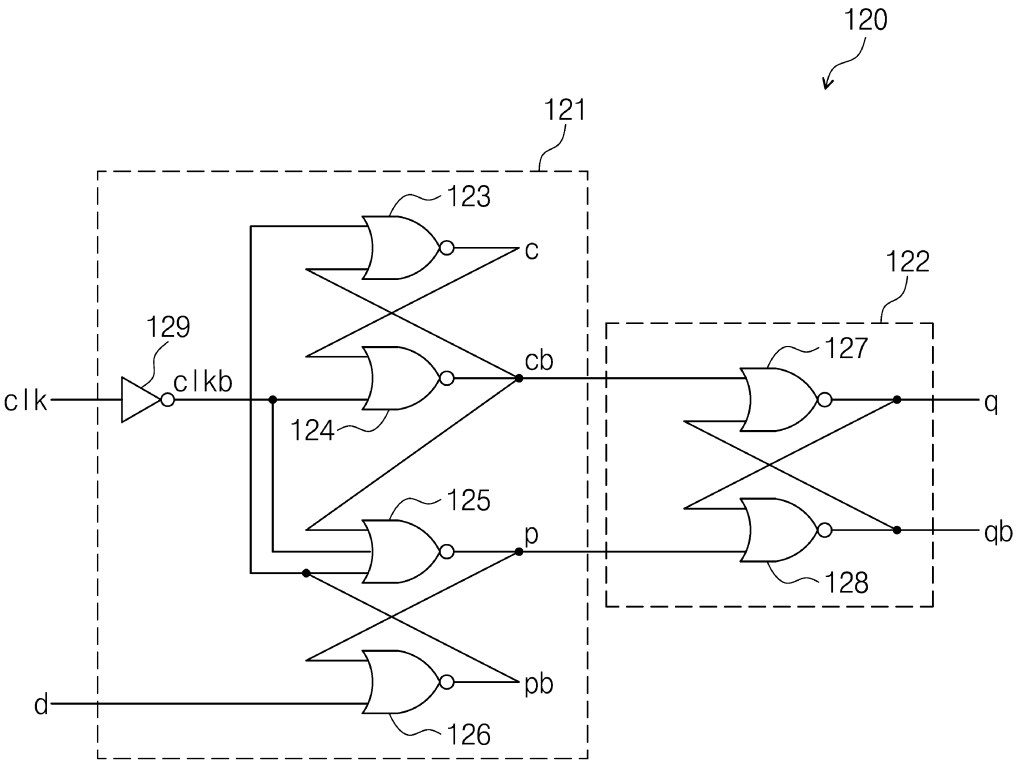
도면1a



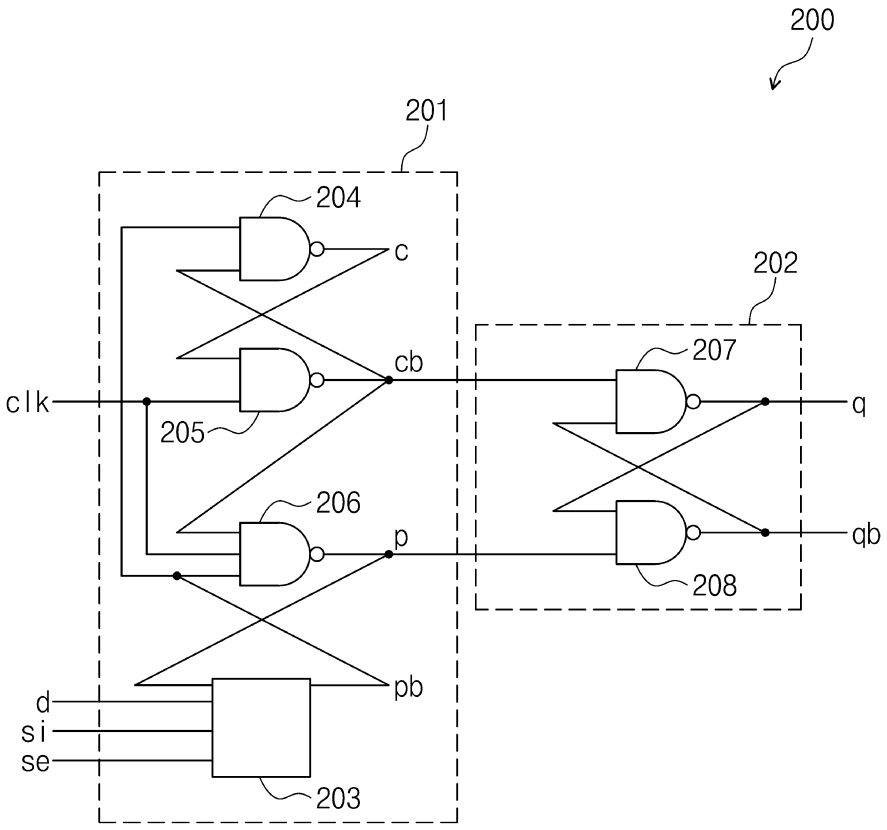
도면1b


110
111
113
c
112
117
cb
clk
q
114
115
p
qb
118
d
pb
116

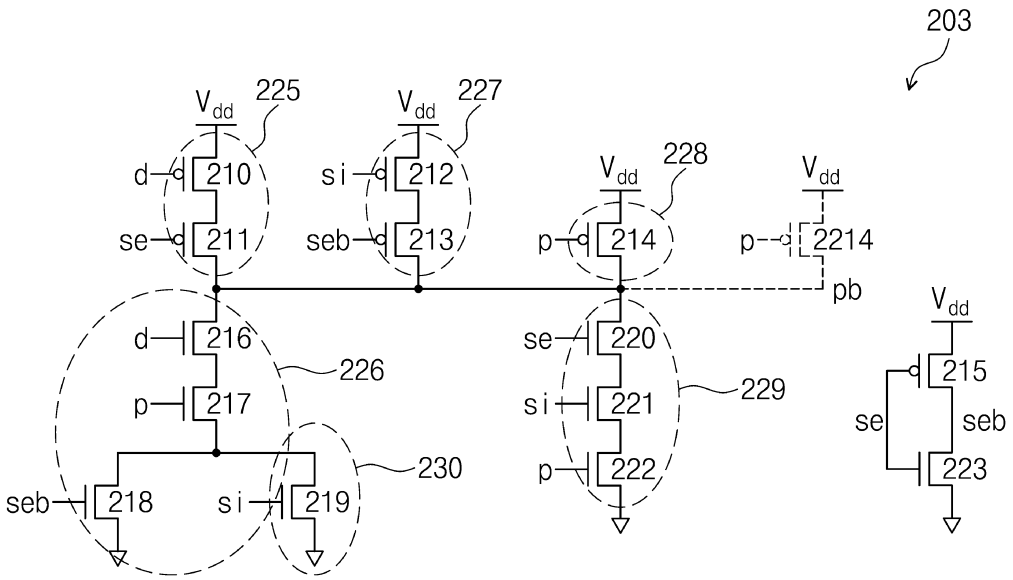
도면1c


120
121
123
c
122
129
127
cb
clk
clkb
q
124
125
p
qb
128
d
pb
126

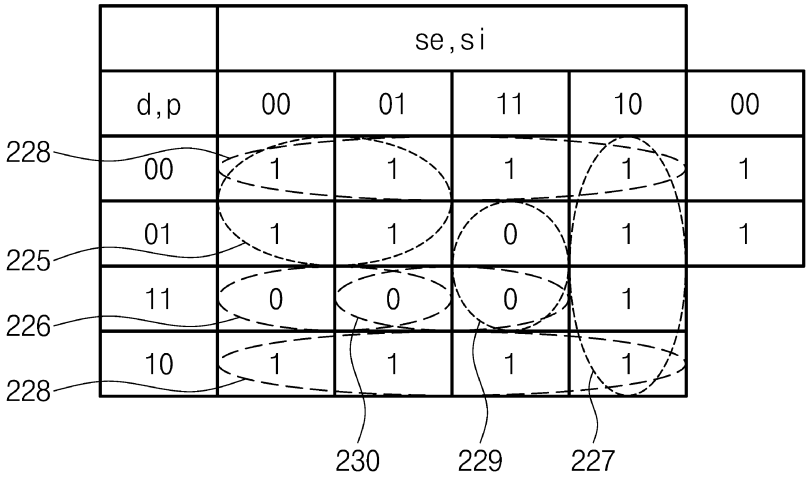
도면2a


200
201
204
c
202
cb
207
clk
205
q
206
p
qb
208
pb
d
si
se
203

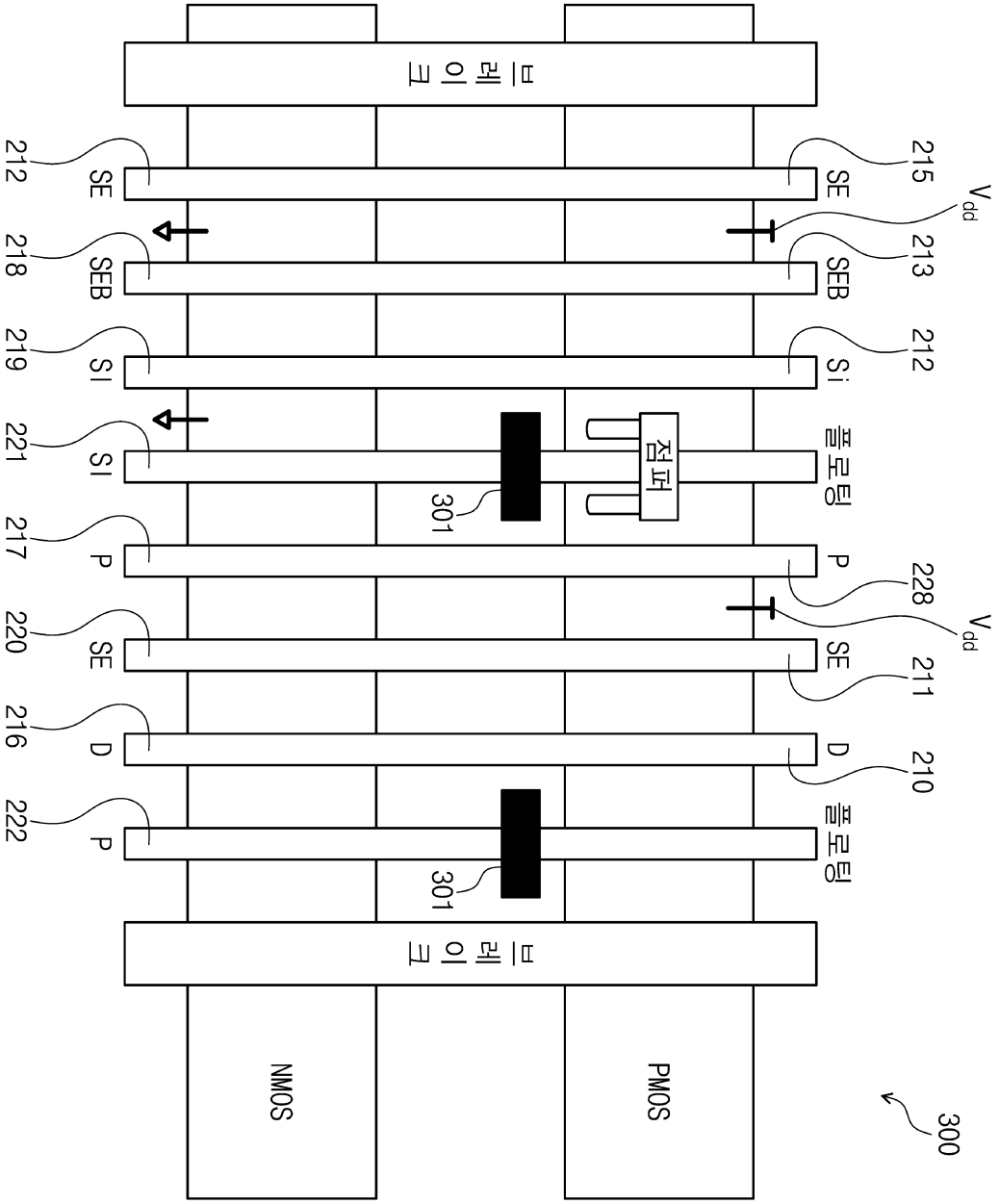
도면2b


203
Vdd
225
Vdd
227
Vdd
228
Vdd
d
210
si
212
p
214
p
2214
se
211
seb
213
pb
d
216
226
se
220
Vdd
p
217
si
221
229
215
seb
230
p
222
se
seb
223
seb
218
si
219

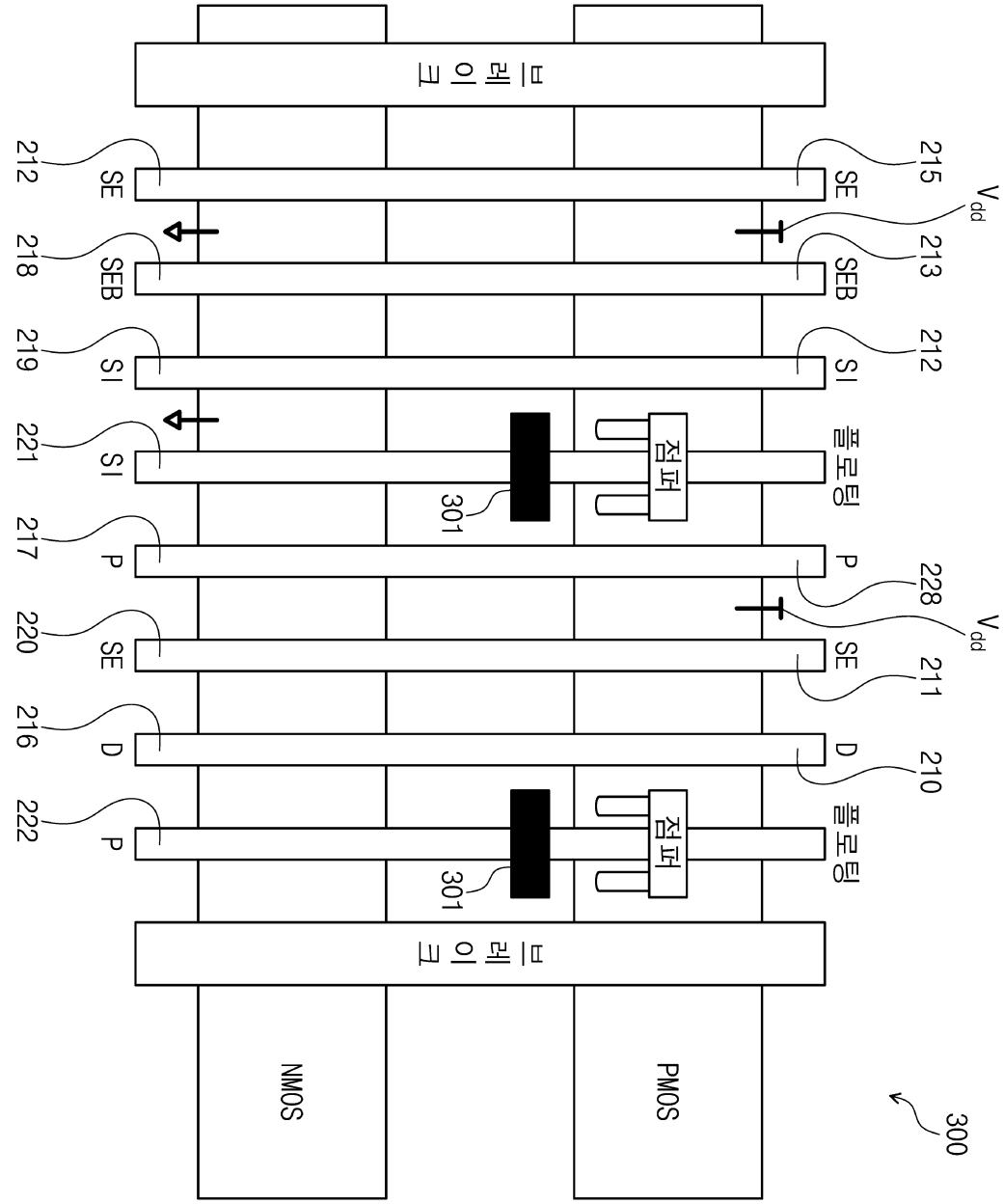
도면2c


se,si
d,p
00
01
11
10
00
00 1 1 1 1 1
01 1 1 0 1 1
11 0 0 0 1
10 1 1 1 1
228
225
226
228
230
229
227

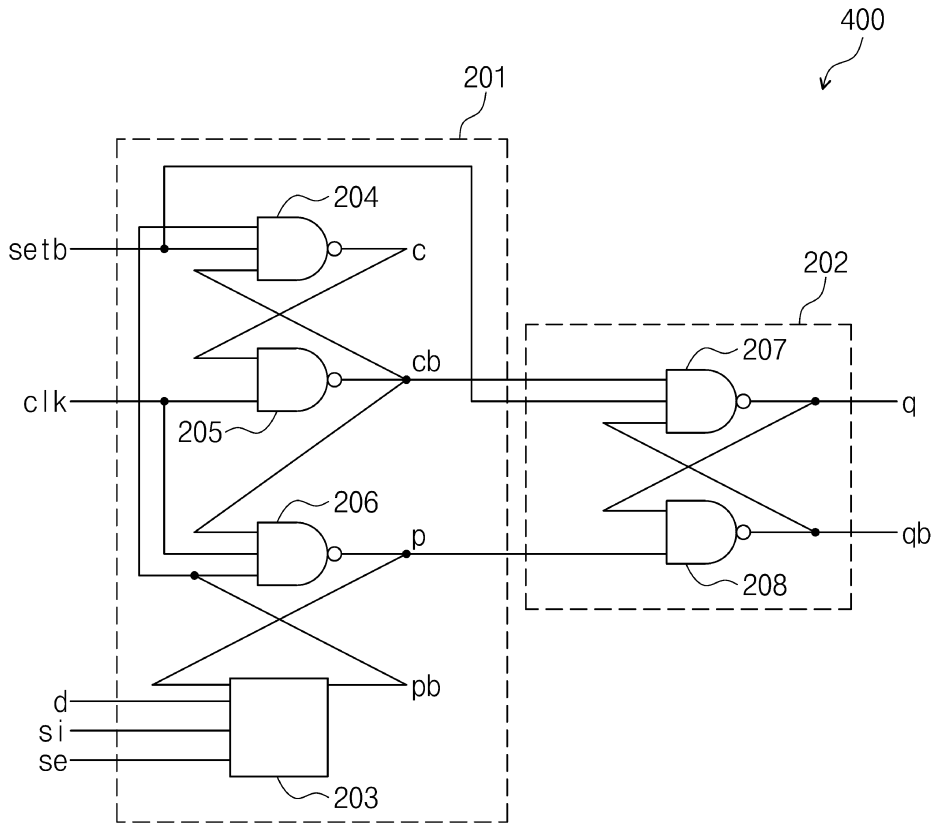
도면3a


메탈 레이어
212
SE
218
SEB
219
SI
221
SI
217
P
220
SE
216
D
222
P
215
SE
213
SEB
212
Si
플로팅
점퍼
301
228
P
211
SE
210
D
플로팅
301
메탈 레이어
NMOS
PMOS
300
Vdd
Vdd

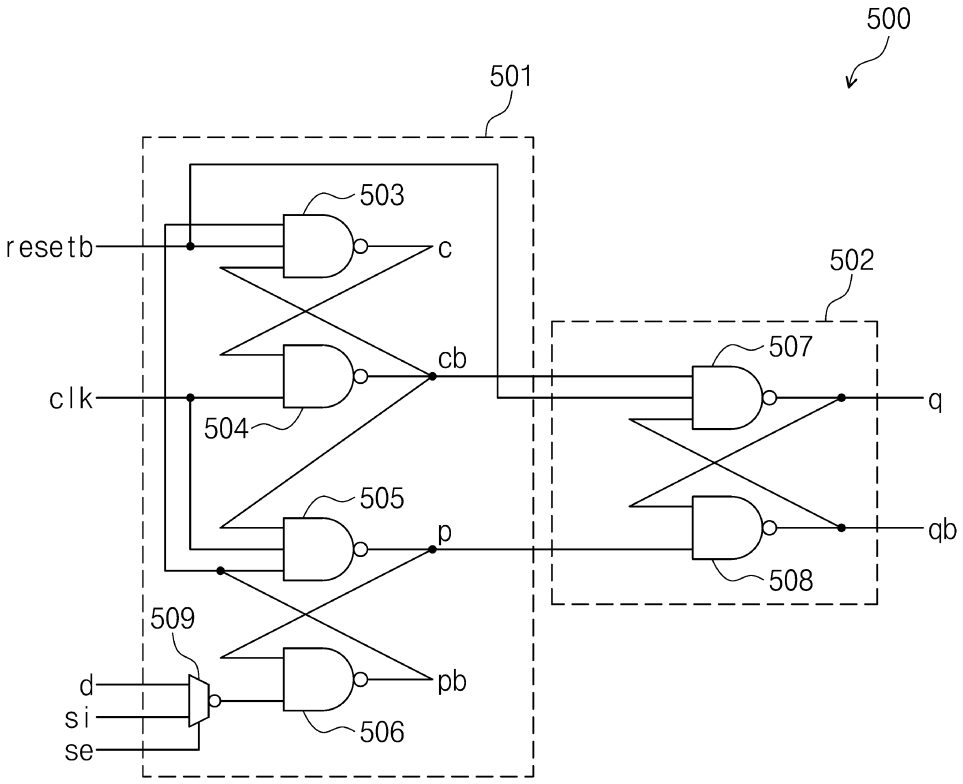
도면3b


트랜지스터 레이어
212
SE
215
SE
V_{dd}
218
SEB
213
SEB
219
SI
212
SI
221
SI
플로팅 점퍼
301
217
P
P
228
V_{dd}
220
SE
SE
211
216
D
D
210
222
P
플로팅 점퍼
301
트랜지스터 레이어
NMOS
PMOS
300

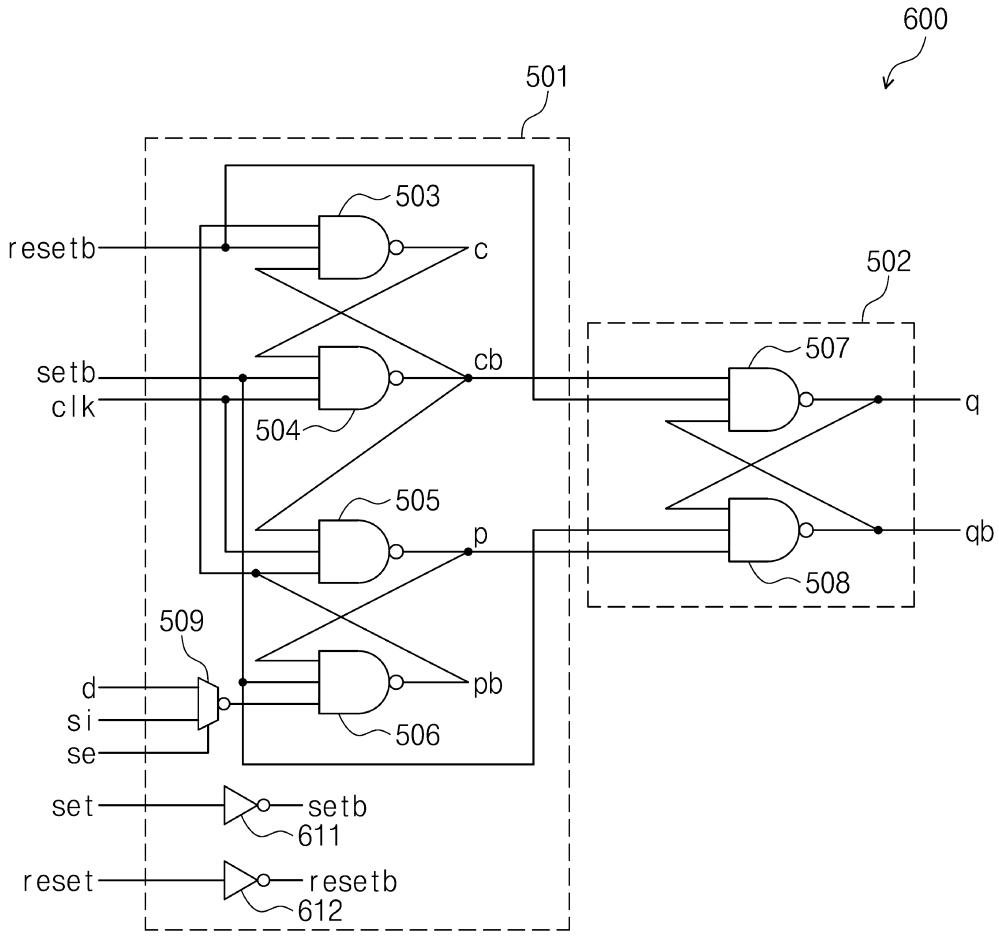
도면4


400
201
204
setb
c
202
207
cb
clk
q
205
206
p
qb
208
pb
d
si
se
203

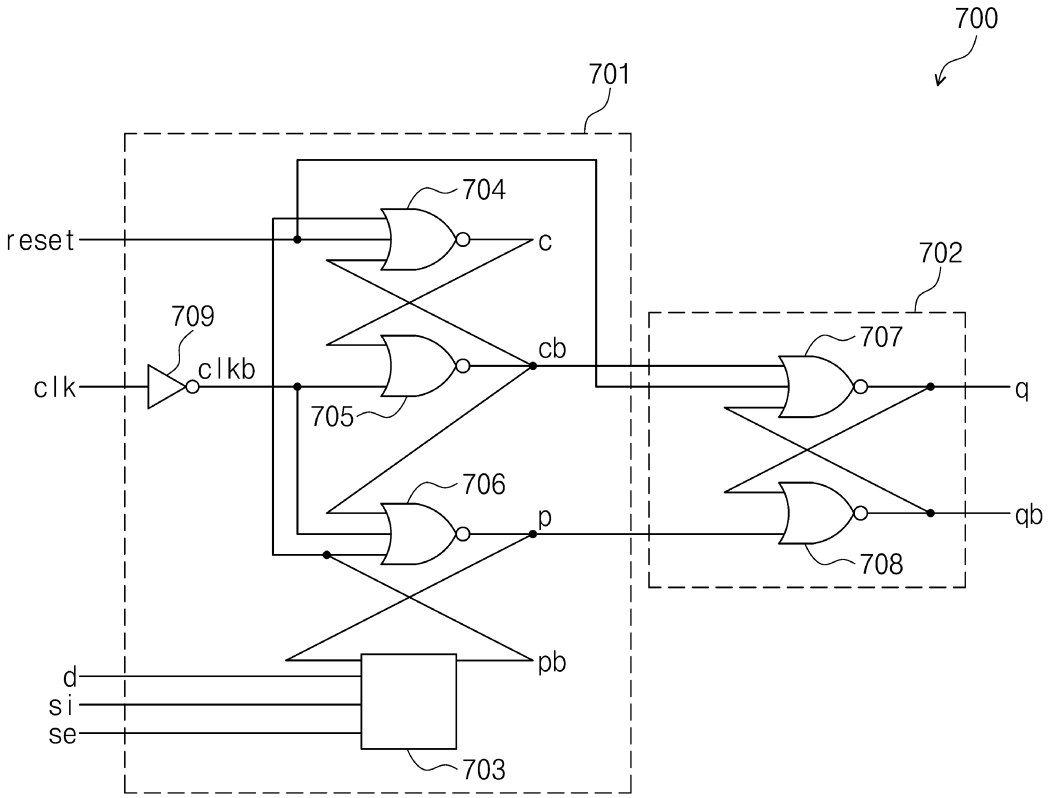
도면5


500
501
503
resetb
c
502
507
cb
clk
q
504
505
p
qb
508
509
pb
d
si
se
506

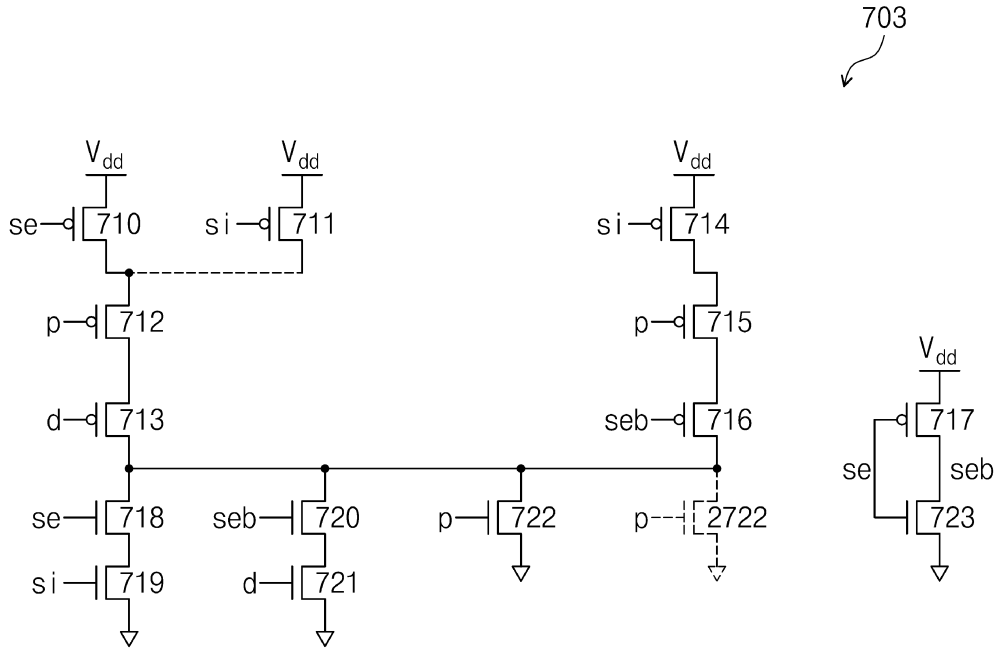
도면6


600
501
503
resetb
c
502
507
setb
clk
cb
q
504
505
p
qb
508
509
d
si
se
pb
506
set
setb
611
reset
resetb
612

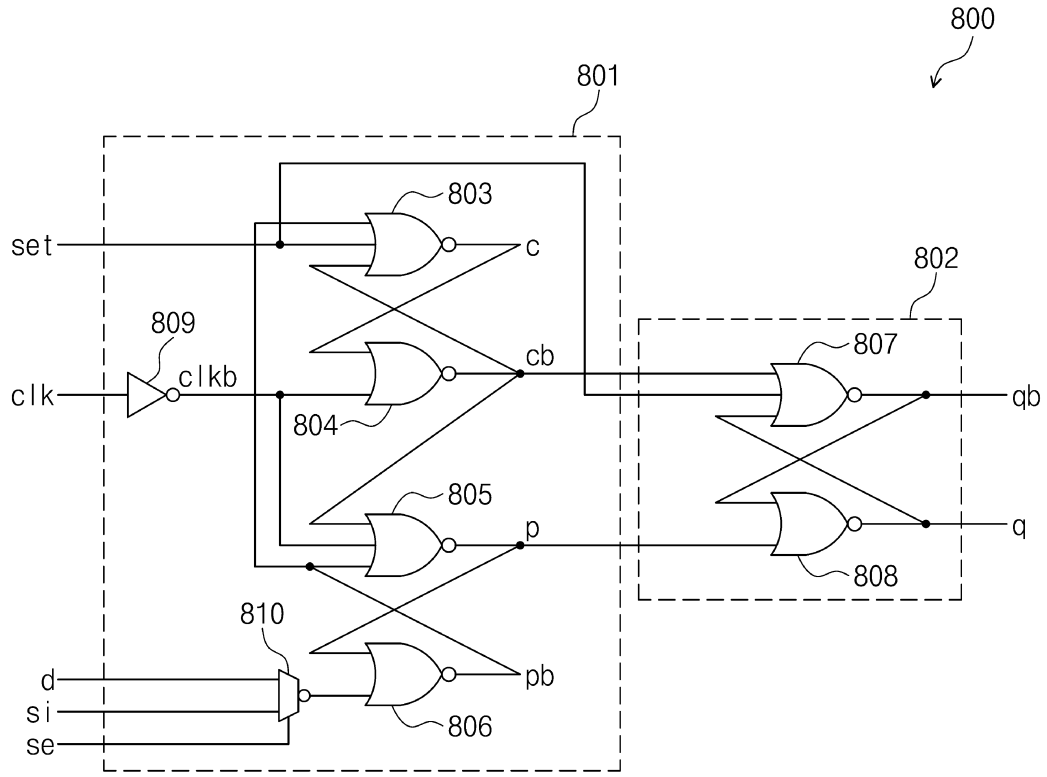
도면7a


700
701
704
reset
c
702
709
clk
clkb
cb
707
q
705
706
p
qb
708
d
si
se
pb
703

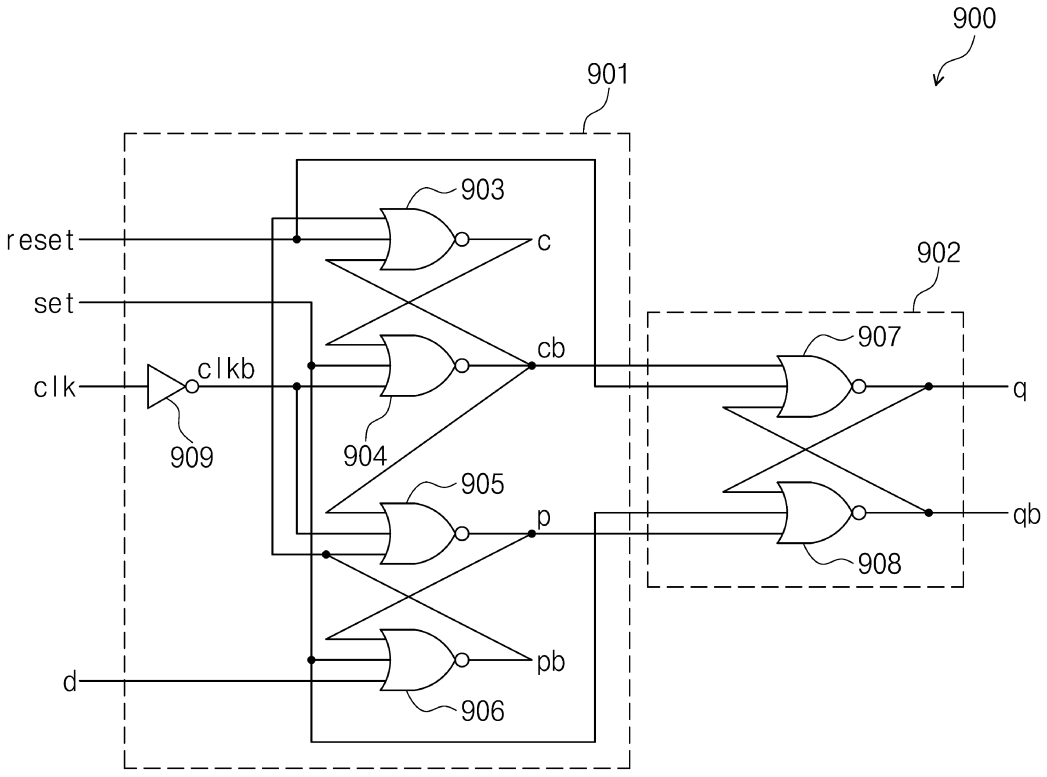
도면7b


703
Vdd
Vdd
Vdd
se
710
si
711
si
714
p
712
p
715
Vdd
d
713
seb
716
717
se
seb
se
718
seb
720
p
722
p
2722
723
si
719
d
721

도면8


800
801
803
set
c
802
809
clkb
cb
807
clk
qb
804
805
p
q
808
810
d
pb
si
806
se

도면9


900
901
903
reset
c
902
set
cb
907
clkb
clk
q
909
904
905
p
qb
908
d
pb
906