



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I704455 B

(45) 公告日：中華民國 109 (2020) 年 09 月 11 日

(21) 申請案號：107138349

(22) 申請日：中華民國 107 (2018) 年 10 月 30 日

(51) Int. Cl. : G06F12/08 (2016.01)

G06F9/50 (2006.01)

(30) 優先權：2017/10/30 美國

15/797,812

(71) 申請人：美商美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72) 發明人：珍 賽巴斯汀 安瑞 JEAN, SEBASTIEN ANDRE (US)

(74) 代理人：陳長文

(56) 參考文獻：

TW 457427

TW 201301031A1

US 2012/0096225A1

US 2013/0124794A1

審查人員：李國福

申請專利範圍項數：20 項 圖式數：8 共 61 頁

(54) 名稱

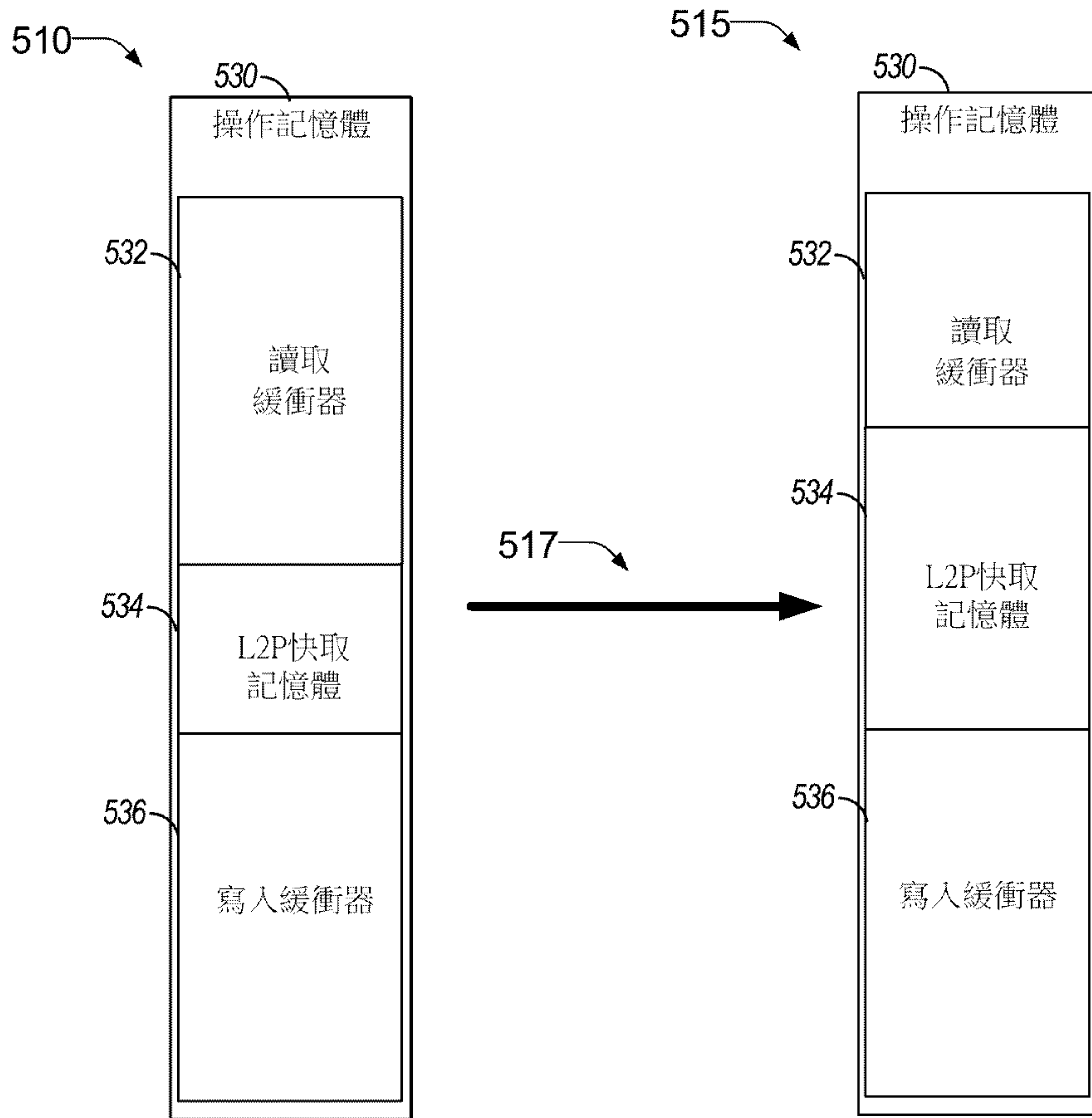
NAND 記憶體裝置、藉由一 NAND 記憶體裝置之一控制器執行之方法及其機器可讀媒體

(57) 摘要

在一些實例中揭示回應於所觀察之操作狀況動態地調整一記憶體裝置中之一 L2P 快取記憶體之大小之方法、系統及機器可讀媒體。該 L2P 快取記憶體可自諸如一讀取或寫入緩衝器之一施體記憶體位置借用記憶體空間。例如，若系統注意到大量讀取請求，則該系統可以該寫入緩衝器(其可被減小)為代價來增加該 L2P 快取記憶體之該大小。同樣地，若該系統注意到大量寫入請求，則該系統可以該讀取緩衝器(其可被減小)為代價來增加該 L2P 快取記憶體之該大小。

Disclosed in some examples are methods, systems, and machine readable mediums that dynamically adjust the size of an L2P cache in a memory device in response to observed operational conditions. The L2P cache may borrow memory space from a donor memory location, such as a read or write buffer. For example, if the system notices a high amount of read requests, the system may increase the size of the L2P cache at the expense of the write buffer (which may be decreased). Likewise, if the system notices a high amount of write requests, the system may increase the size of the L2P cache at the expense of the read buffer (which may be decreased).

指定代表圖：



符號簡單說明：

510:時間

515:時間

517:重新組態

530:操作記憶體

532:讀取緩衝器

534:邏輯/實體(L2P)快
取記憶體

536:寫入緩衝器

【圖5】



I704455

【發明摘要】**【中文發明名稱】**

NAND記憶體裝置、藉由一NAND記憶體裝置之一控制器執行之方法及其機器可讀媒體

【英文發明名稱】

NAND MEMORY DEVICE, METHOD PERFORMED BY A CONTROLLER OF A NAND MEMORY DEVICE AND MACHINE-READABLE MEDIUM THEREOF

【中文】

在一些實例中揭示回應於所觀察之操作狀況動態地調整一記憶體裝置中之一L2P快取記憶體之大小之方法、系統及機器可讀媒體。該L2P快取記憶體可自諸如一讀取或寫入緩衝器之一施體記憶體位置借用記憶體空間。例如，若系統注意到大量讀取請求，則該系統可以該寫入緩衝器(其可被減小)為代價來增加該L2P快取記憶體之該大小。同樣地，若該系統注意到大量寫入請求，則該系統可以該讀取緩衝器(其可被減小)為代價來增加該L2P快取記憶體之該大小。

【英文】

Disclosed in some examples are methods, systems, and machine readable mediums that dynamically adjust the size of an L2P cache in a memory device in response to observed operational conditions. The L2P cache may borrow memory space from a donor memory location, such as a read or write buffer. For example, if the system notices a high amount of read requests, the system may increase the size of the L2P cache at the expense of the write buffer (which may be decreased). Likewise, if the system notices a high amount of write requests, the system may increase the size of the L2P cache at the expense of the read buffer

(which may be decreased).

【指定代表圖】

圖5

【代表圖之符號簡單說明】

510	時間
515	時間
517	重新組態
530	操作記憶體
532	讀取緩衝器
534	邏輯/實體(L2P)快取記憶體
536	寫入緩衝器

【發明說明書】

【中文發明名稱】

NAND記憶體裝置、藉由一NAND記憶體裝置之一控制器執行之方法及其機器可讀媒體

【英文發明名稱】

NAND MEMORY DEVICE, METHOD PERFORMED BY A CONTROLLER OF A NAND MEMORY DEVICE AND MACHINE-READABLE MEDIUM THEREOF

【技術領域】

【0001】 本申請案係關於一種記憶體裝置，且更特定言之係關於一種動態邏輯/實體快取記憶體。

【先前技術】

【0002】 記憶體裝置通常係提供為電腦或其他電子裝置中之內部半導體積體電路。存在數個不同類型之記憶體，包含揮發性記憶體及非揮發性記憶體。

【0003】 揮發性記憶體需要電力來維持其資料，且包含隨機存取記憶體(RAM)、動態隨機存取記憶體(DRAM)或同步動態隨機存取記憶體(SDRAM)等。

【0004】 非揮發性記憶體可在未供電時留存儲存資料，且包含快閃記憶體、唯讀記憶體(ROM)、電可擦除可程式化ROM (EEPROM)、靜態RAM (SRAM)、可擦除可程式化ROM (EPROM)、電阻可變記憶體(諸如相變隨機存取記憶體(PCRAM))、電阻性隨機存取記憶體(RRAM)、磁阻性隨機存取記憶體(MRAM)或3D XPoint™記憶體等。

【0005】 快閃記憶體係作為非揮發性記憶體用於廣泛範圍之電子應用。快閃記憶體裝置通常包含容許高記憶體密度、高可靠性及低電力消耗之單電晶體、浮動閘極或電荷捕獲記憶體胞元之一或多個群組。

【0006】 兩種常見類型之快閃記憶體陣列架構包含以各者之基本記憶體胞元組態配置成之邏輯形式命名之NAND及NOR架構。記憶體陣列之記憶體胞元通常配置成一矩陣。在一實例中，陣列之一列中之各浮動閘極記憶體胞元之閘極耦合至一存取線(例如，一字線)。在一NOR架構中，陣列之一行中之各記憶體胞元之汲極耦合至一資料線(例如，一位元線)。在一NAND架構中，陣列之一串中之各記憶體胞元之汲極串聯、源極至汲極耦合在一起，耦合於一源極線與一位元線之間。

【0007】 NOR架構半導體記憶體陣列及NAND架構半導體記憶體陣列兩者係透過藉由選擇耦合至特定記憶體胞元之閘極之字線而啟動特定記憶體胞元之解碼器存取。在一NOR架構半導體記憶體陣列中，一旦經啟動，選定記憶體胞元便可將其資料值放置於位元線上，從而取決於程式化一特定胞元之狀態而引起不同電流流動。在一NAND架構半導體記憶體陣列中，一高偏壓電壓經施加至一汲極側選擇閘極(SGD)線。耦合至各群組之未選定記憶體胞元之閘極之字線係以一指定通過電壓(例如， V_{pass})驅動以將各群組之該等未選定記憶體胞元作為傳遞電晶體操作(例如，以不受其儲存之資料值限制之一方式傳遞電流)。電流接著透過僅藉由各群組之選定記憶體胞元限制之各串聯耦合群組而自源極線流動至位元線，以將選定記憶體胞元之經電流編碼資料值放置於位元線上。

【0008】 一NOR或NAND架構半導體記憶體陣列中之各快閃記憶體胞元可經個別或共同地程式化至一個或數個程式化狀態。例如，一單位階胞元(SLC)可表示兩個程式化狀態(例如，1或0)之一者(表示一個資料位元)。

【0009】 然而，快閃記憶體胞元亦可表示兩個以上程式化狀態之一

者，從而容許在不增加記憶體胞元之數目之情況下製造較高密度記憶體，因為各胞元可表示一個以上二進位數字(例如，一個以上位元)。此等胞元可被稱為多狀態記憶體胞元、多數字胞元或多位階胞元(MLC)。在某些實例中，MLC可係指每胞元可儲存兩個資料位元(例如，四個程式化狀態之一者)之一記憶體胞元，三位階胞元(TLC)可係指每胞元可儲存三個資料位元(例如，八個程式化狀態之一者)之一記憶體胞元，且四位階胞元(QLC)可每胞元儲存四個資料位元。MLC在本文中以其更廣泛背景內容使用以可指代每胞元可儲存一個以上資料位元(即，可表示兩個以上程式化狀態)之任何記憶體胞元。

【0010】 傳統記憶體陣列係配置於一半導體基板之一表面上之二維(2D)結構。為針對一給定區域增加記憶體容量並降低成本，已減小個別記憶體胞元之大小。然而，對於減小個別記憶體胞元之大小及因此2D記憶體陣列之記憶體密度存在一技術限制。作為回應，正開發三維(3D)記憶體結構(諸如3D NAND架構半導體記憶體裝置)以進一步增加記憶體密度及降低記憶體成本。

【0011】 此等3D NAND裝置通常包含串聯(例如，汲極至源極)耦合於接近一源極之一或多個源極側選擇閘極(SGS)與接近一位元線之一或多個汲極側選擇閘極(SGD)之間的儲存胞元串。在一實例中，該等SGS或SGD可包含一或多個場效電晶體(FET)或金屬氧化物半導體(MOS)結構裝置等。在一些實例中，該等串將垂直延伸通過含有各自字線之多個垂直間隔層。一半導體結構(例如，一多晶矽結構)可鄰近一串儲存胞元延伸以形成用於該串之該等儲存胞元之一通道。在一垂直串之實例中，該多晶矽結構可呈一垂直延伸柱之形式。在一些實例中，該串可經「折疊」，且因此

相對於一U形柱配置。在其他實例中，多個垂直結構可堆疊於彼此之上以形成儲存胞元串之堆疊陣列。

【0012】 記憶體陣列或裝置可組合在一起以形成一記憶體系統之一一儲存磁碟區，諸如一固態磁碟機(SSD)、一通用快閃儲存(UFS™)裝置、一多媒體卡(MMC)固態儲存裝置、一嵌入式MMC裝置(eMMC™)等。一SSD尤其可用作在例如效能、大小、重量、耐久性、操作溫度範圍及電力消耗方面具有優於具有移動零件之傳統硬碟機之優點之一電腦之主儲存裝置。例如，SSD可具有與磁碟機相關聯之減少之搜尋時間、延時或其他延遲(例如，機電延遲等)。SSD使用非揮發性記憶體胞元(諸如快閃記憶體胞元)以消除內部電池供應要求，從而容許磁碟機更通用及緊緻。

【0013】 一SSD可包含數個記憶體裝置(包含數個晶粒或邏輯單元(例如，邏輯單元號或LUN))，且可包含執行操作該等記憶體裝置或與外部系統介接所需之邏輯功能之一或多個處理器或其他控制器。此等SSD可包含一或多個快閃記憶體晶粒，包含數個記憶體陣列及其上之周邊電路系統。該等快閃記憶體陣列可包含組織成數個實體頁之數個記憶體胞元區塊。在許多實例中，SSD亦將包含DRAM或SRAM (或其他形式之記憶體晶粒或其他記憶體結構)。SSD可自一主機接收與記憶體操作相關聯之命令，該等記憶體操作諸如在記憶體裝置與主機之間傳送資料(例如，使用者資料及相關聯完整性資料，諸如錯誤資料及位址資料等)之讀取或寫入操作，或自記憶體裝置擦除資料之擦除操作。

【發明內容】

【0014】 在一實施例中，藉由一NAND記憶體裝置之一控制器執行一方法，該控制器與一揮發性記憶體通信。該方法包括：判定該NAND裝

置之一第一操作狀況；基於該第一操作狀況判定應增加分配給一邏輯/實體(L2P)快取記憶體之一揮發性記憶體量；回應於判定應增加分配給該L2P快取記憶體之該揮發性記憶體量，將分配給一施體記憶體位置之一揮發性記憶體量重新分配給該L2P快取記憶體；及將該L2P快取記憶體中之額外L2P表項目儲存於先前分配給該施體記憶體位置且現由於增加該L2P快取記憶體而分配給該L2P快取記憶體之該揮發性記憶體之一區域中。

【0015】 在另一實施例中，一種NAND記憶體裝置包括：一揮發性記憶體；一控制器，該控制器執行指令，從而執行以下操作：判定該NAND記憶體裝置之一第一操作狀況；基於該第一操作狀況判定應增加分配給一邏輯/實體(L2P)快取記憶體之一揮發性記憶體量；回應於判定應增加分配給該L2P快取記憶體之該揮發性記憶體量，將分配給一施體記憶體位置之一揮發性記憶體量重新分配給該L2P快取記憶體；及將該L2P快取記憶體中之額外L2P表項目儲存於先前分配給該施體記憶體位置且現由於增加該L2P快取記憶體而分配給該L2P快取記憶體之該揮發性記憶體之一區域中。

【0016】 在另一實施例中，一種機器可讀媒體包括指令，該等指令在藉由一機器執行時引起該機器執行包括以下各者之操作：判定一NAND記憶體裝置之一第一操作狀況；基於該第一操作狀況判定應增加分配給一邏輯/實體(L2P)快取記憶體之一揮發性記憶體量；回應於判定應增加分配給該L2P快取記憶體之該揮發性記憶體量，將分配給一施體記憶體位置之一揮發性記憶體量重新分配給該L2P快取記憶體；及將該L2P快取記憶體中之額外L2P表項目儲存於先前分配給該施體記憶體位置且現由於增加該L2P快取記憶體而分配給該L2P快取記憶體之該揮發性記憶體之一區域

中。

【圖式簡單說明】

【0017】 在不一定按比例繪製之圖式中，相同數字可描述不同視圖中之類似組件。具有不同字母後綴之相同數字可表示類似組件之不同例項。該等圖式通常藉由實例而非藉由限制繪示本文件中所論述之各項實施例。

【0018】 圖1繪示包含一記憶體裝置之一環境之一實例。

【0019】 圖2至圖3繪示一3D NAND架構半導體記憶體陣列之一實例之示意圖。

【0020】 圖4繪示一記憶體模組之一例示性方塊圖。

【0021】 圖5繪示根據本發明之一些實例之一L2P快取記憶體大小調整。

【0022】 圖6展示根據本發明之一些實例之基於一操作狀況調整一L2P快取記憶體大小之一方法之一流程圖。

【0023】 圖7展示根據本發明之一些實例之一記憶體控制器之一示意圖。

【0024】 圖8係繪示其上可實施一或多項實施例之一機器之一實例的一方塊圖。

【實施方式】

【0025】 在一些實例中揭示回應於所觀察之操作狀況動態地調整一記憶體裝置中之一L2P快取記憶體之大小之方法、系統及機器可讀媒體。該L2P快取記憶體可重新分配來自一記憶體位置(諸如一讀取緩衝器、一寫入緩衝器或一讀取緩衝器及一寫入緩衝器兩者)之記憶體空間。

例如，若系統注意到大量讀取請求，則系統可以該寫入緩衝器(其可被減小)為代價來增加該L2P快取記憶體之大小。因此藉由一韌體指派給一寫入緩衝器(或讀取緩衝器)之揮發性記憶體可代替性地重新分配給L2P快取記憶體。同樣地，若系統注意到大量寫入請求，則系統可以該讀取緩衝器(其可被減小)為代價來增加該L2P快取記憶體之大小。在一些實例中，該增加可為暫時性的且L2P快取記憶體可回應於改變操作狀況而恢復其正常大小。藉由增加L2P快取記憶體之大小，NAND裝置可增加一快取命中之概率並提高效能。

【0026】 電子裝置(諸如行動電子裝置(例如，智慧型電話、平板電腦等)、用於汽車應用中之電子裝置(例如，汽車感測器、控制單元、駕駛輔助系統、乘客安全或舒適系統等)，及網際網路連接設備或裝置(例如，物聯網(IoT)裝置等))尤其取決於電子裝置之類型、使用環境、效能預期等以及其他方面而具有變化儲存需求。

【0027】 電子裝置可分成若干主要組件：一處理器(例如，一中央處理單元(CPU)或其他主處理器)；記憶體(例如，一或多個揮發性或非揮發性隨機存取記憶體(RAM)記憶體裝置，諸如動態RAM (DRAM)、行動或低功率雙倍資料速率同步DRAM (DDR SDRAM)等)；及一儲存裝置(例如，非揮發性記憶體(NVM)裝置，諸如快閃記憶體、唯讀記憶體(ROM)、一SSD、一MMC或其他記憶卡結構或總成等)。在某些實例中，電子裝置可包含一使用者介面(例如，一顯示器、觸控螢幕、鍵盤、一或多個按鈕等)、一圖形處理單元(GPU)、一電力管理電路、一基頻處理器或一或多個收發器電路等。

【0028】 圖1繪示包含經組態以經由一通信介面通信之一主機裝置

105及一記憶體裝置110之一環境100的一實例。主機裝置105或記憶體裝置110可包含於各種產品150(諸如物聯網(IoT)裝置(例如，一冰箱或其他設備、感測器、馬達或致動器、行動通信裝置、汽車、無人機等))中以支援產品150之處理、通信或控制，產品150。

【0029】 記憶體裝置110包含一記憶體控制器115及(例如)包含數個個別記憶體晶粒(例如，三維(3D) NAND晶粒之一堆疊)之一記憶體陣列120。在3D架構半導體記憶體技術中，垂直結構經堆疊，從而增加階層、實體頁之數目且相應地增加一記憶體裝置(例如，一儲存裝置)之密度。在一實例中，記憶體裝置110可為一離散記憶體或主機裝置105之儲存裝置組件。在其他實例中，記憶體裝置110可為與主機裝置105之一或多個其他組件堆疊或以其他方式一起包含之一積體電路之一部分(例如，一系統單晶片(SOC)等)。

【0030】 一或多個通信介面可用於在記憶體裝置110與主機裝置105之一或多個其他組件之間傳送資料，諸如一串列進階附接技術(SATA)介面、一周邊組件快速互連(PCIe)介面、一通用串列匯流排(USB)介面、一通用快閃儲存(UFS)介面、一eMMC™介面，或一或多個其他連接器或介面。主機裝置105可包含一主機系統、一電子裝置、一處理器、一記憶卡讀取器，或在記憶體裝置110外部之一或多個其他電子裝置。在一些實例中，主機105可為具有參考圖8之機器800所論述之組件之某部分或全部之一機器。

【0031】 記憶體控制器115可自主機105接收指令，且可與記憶體陣列通信(諸如)以傳送(例如，寫入或擦除)資料至記憶體陣列之記憶體胞元、平面、子區塊、區塊或頁之一或多者或自記憶體陣列之記憶體胞元、

平面、子區塊、區塊或頁之一或多者傳送(例如，讀取)資料。記憶體控制器115可尤其包含電路系統或韌體(包含一或多個組件或積體電路)。例如，記憶體控制器115可包含經組態以控制跨記憶體陣列120之存取及提供主機105與記憶體裝置110之間的一轉譯層之一或多個記憶體控制單元、電路或組件。記憶體控制器115可包含一或多個輸入/輸出(I/O)電路、線或介面以傳送資料至記憶體陣列120或自記憶體陣列120傳送資料。記憶體控制器115可包含一記憶體管理器125及一陣列控制器135。。

【0032】 記憶體管理器125可尤其包含電路系統或韌體，諸如與各種記憶體管理功能相關聯之數個組件或積體電路。出於本發明描述之目的，例示性記憶體操作及管理功能將在NAND記憶體之背景內容中描述。熟習此項技術者將認知，其他形式之非揮發性記憶體可具有類似記憶體操作或管理功能。此等NAND管理功能包含損耗平衡(例如，廢棄項目收集或回收)、錯誤偵測或校正、區塊引退(retirement)，或一或多個其他記憶體管理功能。記憶體管理器125可將主機命令(例如，自一主機接收之命令)剖析或格式化成裝置命令(例如，與一記憶體陣列之操作相關聯之命令等)，或產生用於陣列控制器135或記憶體裝置110之一或多個其他組件之裝置命令(例如，以完成各種記憶體管理功能)。

【0033】 記憶體管理器125可包含經組態以維持與記憶體裝置110之一或多個組件相關聯之各種資訊(例如，與耦合至記憶體控制器115之一記憶體陣列或一或多個記憶體胞元相關聯之各種資訊)之一組管理表130。例如，管理表130可包含關於耦合至記憶體控制器115之記憶體胞元之一或多個區塊之區塊年限、區塊擦除計數、錯誤歷史或一或多個錯誤計數(例如，一寫入操作錯誤計數、一讀取位元錯誤計數、一讀取操作錯誤計數、

一擦除錯誤計數等)之資訊。在某些實例中，若錯誤計數之一或多者之經偵測錯誤之數目高於一臨限值，則位元錯誤可被稱為一不可校正位元錯誤。管理表130尤其可維持可校正或不可校正位元錯誤之一計數。

【0034】 陣列控制器135可尤其包含經組態以控制與將資料寫入至耦合至記憶體控制器115之記憶體裝置110之一或多個記憶體胞元、自該一或多個記憶體胞元讀取資料或擦除該一或多個記憶體胞元相關聯之記憶體操作之電路系統或組件。該等記憶體操作可基於(例如)自主機105接收或在內部藉由記憶體管理器125產生(例如，與損耗平衡、錯誤偵測或校正等相關聯)之主機命令。

【0035】 陣列控制器135可包含一錯誤校正碼(ECC)組件140，ECC組件140可尤其包含經組態以偵測或校正與將資料寫入至耦合至記憶體控制器115之記憶體裝置110之一或多個記憶體胞元或自該一或多個記憶體胞元讀取資料相關聯之錯誤的一ECC引擎或其他電路系統。記憶體控制器115可經組態以主動地偵測與資料之各種操作或儲存相關聯之錯誤發生(例如，位元錯誤、操作錯誤等)及自該等錯誤發生恢復，同時維持在主機105與記憶體裝置110之間傳送之資料之完整性，或維持經儲存資料之完整性(例如，使用冗餘RAID儲存等)，且可移除(例如，引退)失效記憶體資源(例如，記憶體胞元、記憶體陣列、頁、區塊等)以防止未來錯誤。

【0036】 記憶體陣列120可包含配置成(例如)數個裝置、平面、子區塊、區塊或頁之若干記憶體胞元。作為一實例，一48 GB TLC NAND記憶體裝置可包含每頁18,592個資料位元組(B) (16,384 + 2208個位元組)、每區塊1536頁、每平面548個區塊及每裝置4個或4個以上平面。作為另一實例，一32 GB MLC記憶體裝置(每胞元儲存兩個資料位元(即，4個可程

式化狀態))可包含每頁18,592個資料位元組(B) (16,384 + 2208個位元組)、每區塊1024頁、每平面548個區塊及每裝置4個平面，但具有一對應TLC記憶體裝置之一半所需寫入時間及兩倍程式化/擦除(P/E)循環。其他實例可包含其他數目或配置。在一些實例中，一記憶體裝置或其之一部分可選擇性地在SLC模式或在一所要MLC模式(諸如TLC、QLC等)中操作。

【0037】 在操作中，資料通常以頁寫入至NAND記憶體裝置110或自NAND記憶體裝置110讀取，且以區塊擦除。然而，一或多個記憶體操作(例如，讀取、寫入、擦除等)可視需要對較大或較小群組之記憶體胞元執行。一NAND記憶體裝置110之資料傳送大小通常被稱為一頁，而一主機之資料傳送大小通常被稱為一區段。

【0038】 儘管一資料頁可包含使用者資料(例如，包含數個資料區段之一資料酬載)及其對應後設資料之數個位元組，然該頁之大小通常僅係指用於儲存該使用者資料之位元組之數目。作為一實例，具有4 KB之一頁大小之一資料頁可包含4 KB之使用者資料(例如，呈現512 B之一區段大小之8個區段)以及對應於該使用者資料之數個位元組(例如，32 B、54 B、224 B等)之後設資料，諸如完整性資料(例如，錯誤偵測或校正碼資料)、位址資料(例如，邏輯位址資料等)或與使用者資料相關聯之其他後設資料。

【0039】 不同類型之記憶體胞元或記憶體陣列120可提供不同頁大小，或可需要與其相關聯之不同量之後設資料。例如，不同記憶體裝置類型可具有不同位元錯誤率，此可導致確保該頁資料之完整性所需之不同量之後設資料(例如，具有一較高位元錯誤率之一記憶體裝置與具有一較低位元錯誤率之一記憶體裝置相比可需要更多位元組之錯誤校正碼資料)。

作為一實例，一多位階胞元(MLC) NAND快閃裝置可具有高於一對應單位階胞元(SLC) NAND快閃裝置之一位元錯誤率。因而，與對應SLC裝置相比，MLC裝置可需要更多後設資料位元組用於錯誤資料。

【0040】 圖2繪示包含組織成區塊(例如，區塊A 201A、區塊B 201B等)及子區塊(例如，子區塊A₀ 201A₀、子區塊A_n 201A_n、子區塊B₀ 201B₀、子區塊B_n 201B_n等)之數串記憶體胞元(例如，第一至第三A₀記憶體串205A₀至207A₀、第一至第三A_n記憶體串205A_n至207A_n、第一至第三B₀記憶體串205B₀至207B₀、第一至第三B_n記憶體串205B_n至207B_n等)之一3D NAND架構半導體記憶體陣列200之一例示性示意圖。記憶體陣列200表示通常將在一記憶體裝置之一區塊、裝置或其他單元中找到之較大數目個類似結構之一部分。

【0041】 各記憶體胞元串包含沿著Z方向、源極至汲極堆疊於一源極線(SRC) 235或一源極側選擇閘極(SGS) (例如，第一至第三A₀ SGS 231A₀至233A₀、第一至第三A_n SGS 231A_n至233A_n、第一至第三B₀ SGS 231B₀至233B₀、第一至第三B_n SGS 231B_n-233B_n,等)與一汲極側選擇閘極(SGD) (例如，第一至第三A₀ SGD 226A₀至228A₀、第一至第三A_n SGD 226A_n至228A_n、第一至第三B₀ SGD 226B₀至228B₀、第一至第三B_n SGD 226B_n至228B_n等)之間的電荷儲存電晶體(例如，浮動閘極電晶體、電荷捕獲結構等)之數個階層。3D記憶體陣列中之各串記憶體胞元可沿著X方向配置為資料線(例如，位元線(BL) BL₀至BL₂ 220至222)，且沿著Y方向配置為實體頁。

【0042】 在一實體頁內，各階層表示一記憶體胞元列，且各記憶體胞元串表示一行。一子區塊可表示一或多個實體頁。一區塊可包含數個子

區塊(或實體頁) (例如, 128個、256個、384個等)。儘管本文中繪示為具有兩個區塊, 各區塊具有兩個子區塊, 各子區塊具有一單一實體頁, 各實體頁具有三串記憶體胞元, 且各串具有記憶體胞元之8個階層, 然在其他實例中, 記憶體陣列200可包含更多或更少區塊、子區塊、實體頁、記憶體胞元串、記憶體胞元或階層。例如, 各串記憶體胞元可視需要包含更多或更少階層(例如, 16個、32個、64個、128個等), 以及在電荷儲存電晶體(例如, 選擇閘、資料線等)上方或下方之一或多個額外半導體材料階層。作為一實例, 一48 GB TLC NAND記憶體裝置可包含每頁18,592個資料位元組(B) (16,384 + 2208個位元組)、每區塊1536頁、每平面548個區塊及每裝置4個或4個以上平面。

【0043】 記憶體陣列200中之各記憶體胞元包含耦合至(例如, 電連接至或以其他方式可操作地連接至)一存取線(例如, 字線(WL) WL_{0_0} 至 WL_{7_0} 210A至217A、 WL_{0_1} 至 WL_{7_1} 210B至217B等)之一控制閘極(CG), 該存取線視需要共同耦合跨一特定階層或一階層之一部分之控制閘極(CG)。3D記憶體陣列中之特定階層及相應地一串中之特定記憶體胞元可使用各自存取線存取或控制。選擇閘極群組可使用各種選擇線存取。例如, 第一至第三 A_0 SGD 226 A_0 至228 A_0 可使用一 A_0 SGD線SGD A_0 225 A_0 存取, 第一至第三 A_n SGD 226 A_n 至228 A_n 可使用一 A_n SGD線SGD A_n 225 A_n 存取, 第一至第三 B_0 SGD 226 B_0 至228 B_0 可使用一 B_0 SGD線SGD B_0 225 B_0 存取, 且第一至第三 B_n SGD 226 B_n 至228 B_n 可使用一 B_n SGD線SGD B_n 225 B_n 存取。第一至第三 A_0 SGS 231 A_0 至233 A_0 及第一至第三 A_n SGS 231 A_n 至233 A_n 可使用一閘極選擇線SGS $_0$ 230A存取, 且第一至第三 B_0 SGS 231 B_0 至233 B_0 及第一至第三 B_n SGS 231 B_n 至233 B_n 可使用

一閘極選擇線SGS₁ 230B存取。

【0044】 在一實例中，記憶體陣列200可包含經組態以耦合該陣列之一各自階層之各記憶體胞元之控制閘極(CG)或選擇閘極(或CG或選擇閘極之一部分)之數個半導體材料(例如，多晶矽等)層級。陣列中之特定記憶體胞元串可使用位元線(BL)及選擇閘極等之一組合存取、選擇或控制，且在該等特定串中之一或多個階層處之特定記憶體胞元可使用一或多個存取線(例如，字線)存取、選擇或控制。

【0045】 圖3繪示包含配置成串(例如，第一至第三串305至307)及階層(例如，繪示為各自字線(WL) WL0至WL7 310至317、一汲極側選擇閘極(SGD)線325、一源極側選擇閘極(SGS)線330等)之一個二維陣列之複數個記憶體胞元302及感測放大器或裝置360之一NAND架構半導體記憶體陣列300之一部分的一例示性示意圖。例如，記憶體陣列300可繪示諸如圖2中所繪示之一3D NAND架構半導體記憶體裝置之記憶體胞元之一個實體頁之一部分的一例示性示意圖。

【0046】 各記憶體胞元串使用一各自源極側選擇閘極(SGS) (例如，第一至第三SGS 331至333)耦合至一源極線(SRC)，且使用一各自汲極側選擇閘極(SGD) (例如，第一至第三SGD 326至328)耦合至一各自資料線(例如，第一至第三位元線(BL) BL0至BL2 320至322)。儘管在圖3之實例中經繪示具有8個階層(例如，使用字線(WL) WL0至WL7 310至317)及三個資料線(BL0至BL2 326至328)，然其他實例可視需要包含具有較多或較少階層或資料線之記憶體胞元串。

【0047】 在一NAND架構半導體記憶體陣列(諸如例示性記憶體陣列300)中，一選定記憶體胞元302之狀態可藉由感測與含有該選定記憶體胞

元之一特定資料線相關聯之一電流或電壓變動而存取。記憶體陣列300可(例如，藉由一控制電路、一或多個處理器、數位邏輯等)使用一或多個驅動程式存取。在一實例中，一或多個驅動程式可藉由取決於需要對一特定記憶體胞元或記憶體胞元集合執行之操作之類型驅動一特定電位至一或多個資料線(例如，位元線BL0至BL2)、存取線(例如，字線WL0至WL7)或選擇閘極而啟動該特定記憶體胞元或記憶體胞元集合。

【0048】 為將資料程式化或寫入至一記憶體胞元，可將一程式化電壓(V_{pgm}) (例如，一或多個程式化脈衝等)施加至選定字線(例如，WL4)且因此施加至耦合至該等選定字線之各記憶體胞元之一控制閘極(例如，耦合至WL4之記憶體胞元之第一至第三控制閘極(CG) 341至343)。程式化脈衝可(例如)以15 V或接近15 V開始，且在某些實例中可在各程式化脈衝施加期間增加量值。在程式電壓施加至選定字線時，一電位(諸如一接地電位(例如， V_{ss}))可施加至經標定用於程式化之記憶體胞元之資料線(例如，位元線)及基板(及因此源極與汲極之間的通道)，從而導致自該等通道至標定記憶體胞元之浮動閘極之電荷轉移(例如，直接注入或福勒-諾德漢(FN)穿隧等)。

【0049】 相比而言，一通過電壓(V_{pass})可施加至具有未經標定用於程式化之記憶體胞元之一或多個字線，或一禁止電壓(例如， V_{cc})可施加至具有未經標定用於程式化之記憶體胞元之資料線(例如，位元線) (例如)以禁止電荷自通道轉移至此等非標定記憶體胞元之浮動閘極。該通過電壓可(例如)取決於經施加通過電壓對經標定用於程式化之一字線之近接性而改變。該禁止電壓可包含相對於一接地電位(例如， V_{ss})之一供應電壓(V_{cc})，諸如來自一外部源或供應器(例如，一電池、一AC至DC轉換器等)

之一電壓。

【0050】 作為一實例，若將一程式化電壓(例如，15 V或更大)施加至一特定字線(諸如WL4)，則可將10 V之一通過電壓施加至一或多個其他字線(諸如WL3、WL5等)以禁止程式化非標定記憶體胞元，或留存儲存於未經標定用於程式化之此等記憶體胞元上之值。在一經施加程式化電壓與非標定記憶體胞元之間的距離增加時，抑制程式化非標定記憶體胞元所需之通過電壓可減小。例如，在將15 V之一程式化電壓施加至WL4之情況下，可將10 V之一通過電壓施加至WL3及WL5，可將8 V之一通過電壓施加至WL2及WL6，可將7 V之一通過電壓施加至WL1及WL7等。在其他實例中，通過電壓或字線之數目等可更高或更低，或更多或更少。

【0051】 耦合至資料線(例如，第一、第二或第三位元線(BL0至BL2) 320至322)之一或多者之感測放大器360可藉由感測一特定資料線上之一電壓或電流而偵測各自資料線中之各記憶體胞元之狀態。

【0052】 在施加一或多個程式化脈衝(例如， V_{pgm})之間，可執行一驗證操作以判定一選定記憶體胞元是否已達到其預期程式化狀態。若該選定記憶體胞元已達到其預期程式化狀態，則其可被禁止進一步程式化。若該選定記憶體胞元尚未達到其預期程式化狀態，則可施加額外程式化脈衝。若選定記憶體胞元在特定數目個(例如，最大數目)程式化脈衝之後未達到其預期程式化狀態，則選定記憶體胞元或與此選定記憶體胞元相關聯之一串、區塊或頁可經標記為有缺陷。

【0053】 為擦除一記憶體胞元或一群組之記憶體胞元(例如，通常以區塊或子區塊執行擦除)，可將一擦除電壓(V_{ers}) (例如，通常為 V_{pgm})施加至經標定用於擦除之記憶體胞元之基板(及因此源極與汲極之間的通道)

(例如，使用一或多個位元線、選擇閘極等)，而使標定記憶體胞元之字線保持於一電位(諸如一接地電位(例如， V_{ss}))，從而導致自標定記憶體胞元之浮動閘極至通道之電荷轉移(例如，直接注入或福勒-諾德漢(FN)穿隧等)。

【0054】圖4繪示包含具有複數個記憶體胞元404之一記憶體陣列402及用以提供與記憶體陣列402之通信或對記憶體陣列402執行一或多個記憶體操作之一或多個電路或組件之一記憶體裝置400的一例示性方塊圖。記憶體裝置400可包含一列解碼器412、一行解碼器414、感測放大器420、一頁緩衝器422、一選擇器424、一輸入/輸出(I/O)電路426及一記憶體控制單元430。

【0055】記憶體陣列402之記憶體胞元404可配置成區塊(諸如第一區塊402A及第二區塊402B)。各區塊可包含子區塊。例如，第一區塊402A可包含第一子區塊402A₀及第二子區塊402A_n，且第二區塊402B可包含第一子區塊402B₀及第二子區塊402B_n。各子區塊可包含數個實體頁，各頁包含數個記憶體胞元404。儘管本文中繪示為具有兩個區塊，各區塊具有兩個子區塊，且各子區塊具有數個記憶體胞元404，然在其他實例中，記憶體陣列402可包含更多或更少區塊、子區塊、記憶體胞元等。在其他實例中，記憶體胞元404可配置成數個列、行、頁、子區塊、區塊等，且使用(例如)存取線406、第一資料線410或一或多個選擇閘極、源極線等存取。

【0056】記憶體控制單元430可根據在控制線432上接收之一或多個信號或指令(例如，包含指示一所要操作(例如，寫入、讀取、擦除等)之一或多個時脈信號或控制信號)或在一或多個位址線416上接收之位址信號

(A0至AX)來控制記憶體裝置400之記憶體操作。在記憶體裝置400外部之一或多個裝置可控制控制線432上之控制信號之值或位址線416上之位址信號。在記憶體裝置400外部之裝置之實例可包含(但不限於)圖4中未繪示之一主機、一記憶體控制器、一處理器或一或多個電路或組件。

【0057】 記憶體裝置400可使用存取線406及第一資料線410以將資料傳送(例如，寫入或擦除)至記憶體胞元404之一或多者或自記憶體胞元404之一或多者傳送(例如，讀取)資料。列解碼器412及行解碼器414可自位址線416接收及解碼位址信號(A0至AX)，可判定應存取之記憶體胞元404，且可提供信號至諸如上文所描述之存取線406 (例如，複數個字線(WL0至WLm)之一或多者)或第一資料線410 (例如，複數個位元線(BL0至BLn)之一或多者)之一或多者。

【0058】 記憶體裝置400可包含經組態以使用第一資料線410判定記憶體胞元404上之資料之值(例如，讀取)或判定寫入至記憶體胞元404之資料之值之感測電路系統(諸如感測放大器420)。例如，在記憶體胞元404之一選定串中，感測放大器420之一或多者可回應於在記憶體陣列402中流動通過該選定串至資料線410之一讀取電流而讀取選定記憶體胞元404中之一邏輯位準。

【0059】 在記憶體裝置400外部之一或多個裝置可使用I/O線(DQ0至DQN) 408、位址線416 (A0至AX)或控制線432與記憶體裝置400通信。輸入/輸出(I/O)電路426可使用I/O線408根據(例如)控制線432及位址線416將資料值傳送於記憶體裝置400中或從記憶體裝置400傳送資料值(諸如傳送於頁緩衝器422或記憶體陣列402中或從頁緩衝器422或記憶體陣列402傳送)。頁緩衝器422可在將自記憶體裝置400外部之一或多個裝置

接收之資料程式化至記憶體陣列402之相關部分中之前儲存該資料，或可在將自記憶體陣列402讀取之資料傳輸至記憶體裝置400外部之一或多個裝置之前儲存該資料。

【0060】 行解碼器414可接收位址信號(A0至AX)並將其解碼成一或多個行選擇信號(CSEL1至CSELn)。選擇器424 (例如，一選擇電路)可接收該等行選擇信號(CSEL1至CSELn)且選擇頁緩衝器422中之表示將自記憶體胞元404讀取或程式化至記憶體胞元404中之資料之值之資料。選定資料可使用第二資料線418在頁緩衝器422與I/O電路426之間傳送。

【0061】 記憶體控制單元430可自一外部源或供應器(例如，一內部或外部電池、一AC至DC轉換器等)接收正及負供應信號，諸如一供應電壓(Vcc) 434及一負供應源(Vss) 436 (例如，一接地電位)。在某些實例中，記憶體控制單元430可包含在內部提供正或負供應信號之一調節器428。

【0062】 希望對記憶體裝置讀取、寫入或擦除資料之主機軟體發出指定定址用於該讀取、寫入或擦除之一或多個記憶體位置(例如，記憶體頁)之一或多個邏輯區塊位址(LBA)之一命令。與磁性儲存器相比，在NAND裝置中，此等並不對應於記憶體裝置中之實際實體位置。代替性地，藉由NAND使用一邏輯/實體(L2P)表將此等LBA映射至NAND記憶體胞元之一或多個實體頁。此映射之原因在於，NAND無法修改NAND中之一值，即，其必須擦除該值且接著寫入新值。使此複雜化的是，NAND每次可僅擦除一記憶體區塊(其具有許多頁)。若刪除或修改請求係針對少於一記憶體區塊，則為滿足此請求及保存不應被擦除之資料，NAND必須將所有有效頁移動至另一區塊且接著擦除舊區塊(此程序被稱為廢棄項目收

集)。此解決方案係緩慢的，且亦縮短NAND壽命，因為一NAND記憶體胞元在其不再能夠保持電荷之前僅具有有限數目個程式化及擦除循環。

【0063】 因此，在接收一刪除請求或接收修改記憶體中之一值之一請求時，NAND僅將舊位置標記為無效且在修改之情況中，將新值寫入至記憶體裝置上之一新實體位置(一或多頁)。對於修改請求，NAND接著更新其LBA至該新實體位置之映射使得涉及該LBA之後續請求指向正確實體位置。

【0064】 最後，NAND騰出先前標記之無效頁以維持所告示之儲存位準。如先前所提及，NAND每次僅擦除資料區塊。因此，NAND裝置首先進行廢棄項目收集，該廢棄項目收集將待擦除之一區塊之有效頁中之資料複製至其他區塊之新頁中。一旦資料經複製，便可將待擦除之區塊之頁標記為無效且可擦除該區塊。

【0065】 用於將邏輯位址映射至實體位址之L2P表佔用大量記憶體資源。例如，具有2個十億位元組(GB)之儲存器之一NAND可具有一2百萬位元組(MB) L2P表且一128 GB NAND可用一128 MB L2P表映射。NAND記憶體裝置可具有一控制器(例如，一CPU)，該控制器具有可分成多個記憶體庫之內部記憶體(例如，1 MB至2 MB)。一個記憶體庫緊密耦合至處理器且在一單個時脈循環中存取。此緊密耦合之RAM可為大約256K位元組且儲存韌體及藉由該韌體使用之資料。其他記憶體庫(稱為多記憶體庫SRAM組態—MRAM)存取較慢。MRAM通常為1百萬位元組至2百萬位元組且慢於緊密耦合之記憶體。

【0066】 如可瞭解，L2P表不會完全適合緊密耦合之記憶體或MRAM。雖然NAND記憶體裝置可增加緊密耦合之記憶體或MRAM之

量，但此增加複雜性、大小及成本。另一方法係具有MRAM (或在一些實例中，緊密耦合之記憶體)之一區域，其為L2P表之一快取記憶體。該快取記憶體可指示最常用或最近存取之邏輯區塊之實體位址。使用快取記憶體服務來自主機之針對快取記憶體中之邏輯位址之請求。若L2P快取記憶體不含有針對一給定邏輯位址之一實體位址，則NAND裝置必須自NAND載入L2P表之該部分。此被稱為一快取未中且增加NAND服務請求所花費之時間量。關於快取記憶體之問題在於，其大小相對較小，在約32K位元組至128K位元組之範圍內。一快取未中將一主機操作轉變成兩個NAND操作：用以擷取服務主機請求所需之L2P資訊之一NAND操作及用以實際上服務該請求之一第二NAND操作。因此，增加快取命中之數目之技術對效能具有一可量測效應。

【0067】 在一些實例中揭示回應於所觀察之NAND操作狀況動態地調整一記憶體裝置中之L2P快取記憶體之大小之方法、系統及機器可讀媒體。L2P快取記憶體可自一施體記憶體位置(諸如一讀取緩衝器或寫入緩衝器)借用記憶體空間。例如，若系統注意到大量讀取請求，則系統可以寫入緩衝器(其可被減小)為代價來增加L2P快取記憶體之大小。同樣地，若系統注意到大量寫入請求，則系統可以讀取緩衝器(其可被減小)為代價來增加L2P快取記憶體之大小。在一些實例中，該增加可為暫時性的且L2P快取記憶體可回應於改變操作狀況而恢復其正常大小。例如，回應於缺乏促進該增加之一狀況。藉由增加L2P快取記憶體之大小，NAND裝置可增加一快取命中之概率且減小一單個NAND操作將需要一第二NAND操作以自NAND載入L2P表資訊之概率。

【0068】 在一些實例中，一L2P快取記憶體設定檔可基於一或多個

NAND操作狀況指定快取記憶體行為。例如，該L2P快取記憶體設定檔可包括一或多個規則，該一或多個規則描述在什麼操作狀況下快取記憶體自一預設大小增加，減小回至預設大小，改變之量，大小改變發生之速度，及自用於L2P快取記憶體之哪個其他記憶體位置(例如，讀取、寫入或其他緩衝器)改變。例如，L2P快取記憶體設定檔中之一或多個規則可指定快取記憶體大小何時自預設大小增加且何時使快取記憶體大小返回至預設大小。

【0069】 L2P快取記憶體設定檔可為靜態的，即，其可在製造時載入於NAND上且(作為NAND或揮發性操作記憶體上之一資料結構)持續不變。在其他實例中，一預設L2P快取記憶體設定檔可在製造時載入於NAND上，但隨後可經修改(例如，藉由NAND之一韌體、一主機裝置之一作業系統(例如，藉由透過諸如UFS之一主機介面發送變化)及類似者)。在一些實例中，L2P快取記憶體設定檔之規則可經實例化為韌體指令之部分。

【0070】 可觸發一L2P快取記憶體大小改變之例示性操作狀況可包含以下之一或多者：一主機命令佇列深度大小、佇列中之命令之類型(例如，讀取、寫入、擦除及其他命令)、佇列中之不同類型之命令之間的一比率(例如，讀取/寫入比率、寫入/讀取比率)、一L2P快取命中百分比、一L2P快取未中百分比及類似者。規則可具有以下形式：若[操作狀況]係[大於、等於、小於] [一經判定值]，則[增加/減小] L2P快取記憶體達來自[寫入或讀取]緩衝器之[量]。

【0071】 在一些實例中，快取記憶體增加係立即實施，即，施體記憶體中之資料可立即分配給L2P快取記憶體。在其他實例中，系統可等待

直至施體記憶體(例如，寫入及/或讀取緩衝器)為空直至實施L2P快取記憶體增加。在又其他實例中，NAND可加速努力釋放施體記憶體。在又其他實例中，L2P快取記憶體可隨時間逐步增加。例如，在時間 t ，L2P快取記憶體可增加 X KB且在時間 $t+1$ ，其可增加另一 X KB (在時間 $t-1$ 內總共增加 $2X$ KB)。

【0072】 作為一實例，設定檔中之一L2P快取記憶體規則可為：在一佇列深度超過5個命令(其中大部分(例如，超過50%的讀取/寫入比率)命令係讀取命令)時，藉由自寫入緩衝器借用空間而針對5個命令內之每讀取命令使L2P快取記憶體增加10%，至多25%。另一快取記憶體增加規則可為：在一佇列深度超過5個命令(其中大部分命令係讀取命令)時，藉由以基於該佇列中之讀取命令對寫入命令之比例之一比例自讀取緩衝器及寫入緩衝器兩者借用空間而針對5個命令內之每命令使L2P快取記憶體增加10%，至多25%。又另一例示性規則可為：若L2P快取命中%小於一預定值，則藉由自一讀取緩衝器或寫入緩衝器佔用而使L2P快取記憶體增加。

【0073】 可定義多個規則且規則可堆疊，即，若操作狀況滿足一或多個增加規則，則快取記憶體可針對該等規則之兩者增加。若操作狀況如此使得可觸發多個規則，則情況可為如此。例如，給定具有以下規則之L2P快取記憶體設定檔：

- 佇列深度超過5個命令，其中大部分(例如，超過50%的讀取/寫入比率)命令係讀取命令，藉由自寫入緩衝器借用空間而針對5個命令內之每讀取命令使L2P快取記憶體增加10%，至多25%；
- 若L2P快取命中%小於一預定值，則藉由自一讀取緩衝器佔用而使L2P快取記憶體增加；

【0074】 若NAND之佇列深度超過5個命令且在佇列緩衝器中之命令中超過50%係讀取命令，則可以寫入緩衝器為代價使L2P快取記憶體增加。同時，若L2P快取命中%小於預定值，則可使L2P快取記憶體進一步增加。類似地，規則可部分或完全相互抵消，例如，若操作狀況係使得一個規則指示增加L2P快取記憶體且另一規則減小L2P快取記憶體。在此情況中，L2P快取記憶體可增加或減小大小(其為該等規則之總和)。規則可甚至使L2P快取記憶體減小至低於預設大小(至少暫時地)。

【0075】 施體記憶體位置可包含用於緩衝主機讀取命令之一讀取緩衝器、緩衝來自主機之寫入資料之一寫入緩衝器及類似者。一施體記憶體位置可為尚未經分配以用作L2P快取記憶體之一非揮發性記憶體之任何記憶體位置。

【0076】 可定義限制快取記憶體大小規則，其可自各施體記憶體位置佔用之量(例如)以防止L2P快取記憶體自讀取緩衝器或寫入緩衝器佔用太多記憶體，藉此使效能降級。在一些實例中，一規則可指定：若施體記憶體緩衝器利用率%高於一預定臨限值百分比，則將返還借給L2P快取記憶體之任何記憶體之部分或全部。在某些實例中，此防止L2P快取記憶體自讀取/寫入緩衝器轉移記憶體並使效能降級。

【0077】 如所提及，L2P快取記憶體規則亦可指定在什麼狀況下L2P快取記憶體可回復至預設大小。一例示性規則可指定一旦一佇列深度返回至低於一預定臨限值之一位準，L2P快取記憶體便可回復至預設值。在其他實例中，一例示性規則可指定減小可隨時間而發生。即，初始L2P快取記憶體增加可隨時間衰減直至L2P快取記憶體返回至其預設大小。

【0078】 在一些實例中可僅藉由移動標記L2P快取記憶體及施體記

記憶體位置(例如，讀取緩衝器或寫入緩衝器)之邊界之指標而完成L2P快取記憶體增加或減小(例如，重新分配)。因為一寫入命令改變邏輯至實體映射，所以此等變化可儲存於與L2P快取記憶體相異之一記憶體位置中之一更新清單中。即，一主機寫入可首先針對L2P映射檢查L2P表，接著檢查該更新清單以察看是否已更新L2P映射。因此，L2P快取記憶體之項目可能始終係「乾淨的」，即，未經修改。因此，當L2P快取記憶體項目由於L2P快取記憶體大小之「驟回(snapback)」而被收回時，該等項目不會丟失，而是在NAND上或在更新清單中。

【0079】 圖5繪示根據本發明之一些實例之一L2P快取記憶體大小調整。操作記憶體530可為可儲存用於控制器之資料結構、程式碼、變量及類似者之一非揮發性記憶體(例如，一SRAM、一DDR RAM或類似者)。操作記憶體530可經緊密耦合、為MRAM或類似者。操作記憶體530可儲存一或多個資料結構，例如，一讀取緩衝器532、一L2P快取記憶體534、一寫入緩衝器536及其他結構、程式碼、一命令佇列及類似者(為清楚起見未展示之其他項)。讀取緩衝器532可用於儲存自記憶體讀取之一或多頁直至主機準備好消耗該等頁。寫入緩衝器536可藉由主機用於將資料寫入至NAND。NAND可在資料寫入至NAND之前緩衝資料。L2P快取記憶體534在時間510為一第一大小。可偵測一操作狀況且操作記憶體530可經重新組態517使得L2P快取記憶體534可以讀取緩衝器532為代價增加大小，如515處所展示。在其他實例中，寫入緩衝器536可經減小以適應L2P快取記憶體534之較大大小。在又其他實例中，讀取緩衝器532及寫入緩衝器536兩者可經減小以適應L2P快取記憶體534。

【0080】 現參考圖6，展示根據本發明之一些實例之基於一操作狀

況調整一L2P快取記憶體大小之一方法600之一流程圖。在操作605，控制器可判定NAND之一或多個操作狀況。例如，控制器可判定以下各者之一或多者或一組合：一命令佇列深度、佇列中之命令之命令類型(例如，寫入對讀取對擦除)、一快取統計(例如，一快取命中或未中比率)及類似者。在操作610，控制器可基於操作特性判定是否應調整L2P快取記憶體。例如，基於一快取記憶體設定檔之一或多個規則，可用於判定是否應基於該一或多個操作狀況增加或減小L2P快取記憶體。若不調整快取記憶體，則系統可返回至操作605。例如，判定操作狀況且稍後檢查規則，判定另一操作狀況且判定該操作狀況是否指示L2P快取記憶體大小之一改變，及類似者。若將調整L2P快取記憶體，則可在操作620 (例如)藉由減小操作記憶體之一施體記憶體區域之大小而重新調整L2P快取記憶體。在其他實例中，L2P快取記憶體之大小可藉由返還該施體記憶體而減小。將增加或減小之該記憶體區域可藉由快取記憶體設定檔之快取記憶體規則所指定。

【0081】 圖7展示根據本發明之一些實例之一記憶體控制器115之一示意圖。除了圖1中所展示之組件之外，在一些實例中，記憶體控制器115亦可具有額外組件。例如，控制器135可包含一L2P快取記憶體管理器750，其可管理L2P快取記憶體之大小，管理L2P表之在L2P快取記憶體中之項目，及類似者。例如，L2P快取記憶體管理器750可執行圖6中所展示之方法以基於一或多個NAND操作狀況增加或減小L2P快取記憶體之大小。L2P快取記憶體、讀取緩衝器及寫入緩衝器可儲存於操作記憶體745中。例如，操作記憶體745可為操作記憶體530之一實施例。操作記憶體745可為儲存程式碼、緩衝器、L2P快取記憶體、機器可讀韌體指令及類

似者之一揮發性記憶體。操作記憶體745可經緊密耦合或為MRAM。

【0082】 圖8繪示其上可執行本文中所論述之技術(例如，方法論)之任一或多者之一例示性機器800的一方塊圖。在替代性實施例中，機器800可作為一獨立裝置操作或可連接(例如，網路連接)至其他機器。在一網路連接部署中，機器800可作為一伺服器-客戶端網路環境中之一伺服器機器或一客戶端機器或兩者而操作。在一實例中，機器800可充當一同級間(P2P) (或其他分散式)網路環境中之一同級機器。機器800可為一個人電腦(PC)、一平板電腦PC、一機上盒(STB)、一個人數位助理(PDA)、一行動電話、一網路設備、一IoT裝置、汽車系統，或能夠(循序或以其他方式)執行指定由該機器所採取之行動之指令之任何機器。此外，雖然僅繪示一單個機器，但術語「機器」亦應被視為包含個別或聯合執行一(或多個)指令集以執行本文中所論述之方法論之任一或多者(諸如雲端運算、軟體即服務(SaaS)、其他電腦叢集組態)之機器之任何集合。

【0083】 如本文中所描述，實例可包含邏輯、組件、裝置、封裝或機構，或可藉由邏輯、組件、裝置、封裝或機構操作。電路系統係在包含硬體(例如，簡單電路、閘、邏輯等)之有形實體中實施之一電路集合(例如，一組電路)。電路系統成員資格可隨著時間及基礎硬體可變性而靈活。電路系統包含在操作時可單獨或組合地執行特定任務之成員。在一實例中，電路系統之硬體可經恆定地設計以實行一特定操作(例如，硬接線)。在一實例中，電路系統之硬體可包含可變連接之實體組件(例如，執行單元、電晶體、簡單電路等)，包含實體上經修改(例如，不變質量之粒子磁性、電、可移動放置等)以編碼該特定操作之指令之一電腦可讀媒體。在連接實體組件中，硬體構成之基礎電性質(例如)自絕緣體改變至導

體或反之亦然。指令使參與硬體(例如，執行單元或一負載機構)能夠經由可變連接產生硬體中之電路系統之成員以在操作中實行特定任務之部分。因此，當裝置操作時，電腦可讀媒體通信地耦合至電路系統之其他組件。在一實例中，實體組件之任一者可用於一個以上電路系統之一個以上成員中。例如，在操作下，執行單元可在一時間點用於一第一電路系統之一第一電路中且在一不同時間由第一電路系統中之一第二電路或由一第二電路系統中之一第三電路重新使用。

【0084】 機器(例如，電腦系統) 800 (例如，主機裝置105、記憶體裝置110等)可包含一硬體處理器802 (例如，一中央處理單元(CPU)、一圖形處理單元(GPU)、一硬體處理器核心或其任何組合，諸如記憶體控制器115等)、一主記憶體804及一靜態記憶體806，其中之一些或全部可經由一互連(例如，匯流排) 808彼此通信。機器800可進一步包含一顯示單元810、一文數字輸入裝置812 (例如，一鍵盤)及一使用者介面(UI)導航裝置814 (例如，一滑鼠)。在一實例中，顯示單元810、輸入裝置812及UI導航裝置814可為一觸控螢幕顯示器。機器800可另外包含一儲存裝置(例如，驅動單元) 816、一信號產生裝置818 (例如，一揚聲器)、一網路介面裝置820及一或多個感測器816 (諸如一全球定位系統(GPS)感測器、指南針、加速度計或其他感測器)。機器800可包含一輸出控制器828，諸如用以通信或控制一或多個周邊裝置(例如，一印表機、讀卡器等)之一串列(例如，通用串列匯流排(USB))、並列、或其他有線或無線(例如，紅外線(IR)、近場通信(NFC)等)連接。

【0085】 儲存裝置816可包含其上儲存體現本文中所描述之技術或功能之任一或多者或由本文中所描述之技術或功能之任一或多者利用之一

或多組資料結構或指令824 (例如，軟體)之一機器可讀媒體822。指令824亦可完全或至少部分駐留於主記憶體804內、靜態記憶體806內或在該等指令由機器800執行期間駐留於硬體處理器802內。在一實例中，硬體處理器802、主記憶體804、靜態記憶體806或儲存裝置816之一者或任何組合可構成機器可讀媒體822。

【0086】 雖然機器可讀媒體822係繪示為一單個媒體，但術語「機器可讀媒體」可包含經組態以儲存一或多個指令824之一單個媒體或多個媒體(例如，一集中式或分散式資料庫或相關聯快取記憶體及伺服器)。

【0087】 術語「機器可讀媒體」可包含能夠儲存、編碼或攜載藉由機器800執行之指令且引起機器800執行本發明之技術之任一或多者，或能夠儲存、編碼或攜載藉由此等指令使用或與此等指令相關聯之資料結構的任何媒體。非限制性機器可讀媒體實例可包含固態記憶體以及光學及磁性媒體。在一實例中，一集結型(massed)機器可讀媒體包括具有含不變(例如，靜止)質量之複數個粒子之一機器可讀媒體。因此，集結型機器可讀媒體並非係暫時性傳播信號。集結型機器可讀媒體之特定實例可包含：非揮發性記憶體，諸如半導體記憶體裝置(例如，電可程式化唯讀記憶體(EEPROM)、電可擦除可程式化唯讀記憶體(EEPROM))及快閃記憶體裝置；磁碟，諸如內部硬碟及可抽換式磁碟；磁光碟；及CD-ROM及DVD-ROM磁碟。

【0088】 指令824 (例如，軟體、程式、一作業系統(OS)等)或其他資料經儲存於儲存裝置821上，可藉由記憶體804存取以供處理器802使用。記憶體804 (例如，DRAM)通常係快速但揮發性的，且因此不同於儲存裝置821 (例如，一SSD)之一儲存類型，儲存裝置821適於長期儲存(包

含在一「關閉」狀態時)。由一使用者或機器800使用之指令824或資料通常載入於記憶體804中以供處理器802使用。當記憶體804已滿時，可分配來自儲存裝置821之虛擬空間以補充記憶體804；然而，因為儲存裝置821通常慢於記憶體804，且寫入速度通常係讀取速度的至少1/2，所以使用虛擬記憶體可大大地減少歸因於儲存裝置延時之使用者體驗(相比於記憶體804，例如，DRAM)。此外，將儲存裝置821用於虛擬記憶體可大大地減少儲存裝置821之可用使用期限。

【0089】 相比於虛擬記憶體，虛擬記憶體壓縮(例如，Linux®內核特徵「ZRAM」)使用記憶體之部分作為經壓縮區塊儲存器以避免傳呼至儲存裝置821。傳呼在經壓縮區塊中發生直至必須將此資料寫入至儲存裝置821。虛擬記憶體壓縮增加記憶體804之可用大小，同時減少儲存裝置821上之損耗。

【0090】 經最佳化用於行動電子裝置或行動儲存器之儲存裝置通常包含MMC固態儲存裝置(例如，微型安全數位(microSD™)卡等)。MMC裝置包含具有一主機裝置之數個平行介面(例如，一8位元平行介面)，且通常為可自該主機裝置卸除及分離之組件。相比而言，eMMC™裝置經附接至一電路板且被視為主機裝置之一組件，該組件具有匹敵基於串列ATA™ (串列AT (進階技術)附接，或SATA)之SSD裝置之讀取速度。然而，對於行動裝置效能之需求持續增加，諸如完全啟用虛擬或擴增實境裝置，利用增加之網路速度等。回應於此需求，儲存裝置已自並列通信介面轉換至串列通信介面。通用快閃儲存(UFS)裝置(包含控制器及韌體)使用具有專用讀取/寫入路徑之一低電壓差動傳訊(LVDS)串列介面與一主機裝置通信，從而進一步提高更大讀取/寫入速度。

【0091】指令824可進一步透過通信網路826使用一傳輸媒體經由利用數個傳送協定之任一者(例如，訊框中繼、網際網路協定(IP)、傳輸控制協定(TCP)、使用者資料塊協定(UDP)、超文字傳送協定(HTTP)等)的網路介面器件820加以傳輸或接收。例示性通信網路可包含一區域網路(LAN)、一廣域網路(WAN)、一封包資料網路(例如，網際網路)、行動電話網路(例如，蜂巢式網路)、簡易老式電話(POTS)網路及無線資料網路(例如，電氣及電子工程師協會(IEEE) 802.11系列標準(稱為Wi-Fi®)、IEEE 802.16系列標準(稱為WiMax®)、IEEE 802.15.4系列標準、同級間(P2P)網路，等等)。在一實例中，網路介面裝置820可包含一或多個實體插孔(例如，乙太網路、同軸或電話插孔)或一或多個天線以連接至通信網路826。在一實例中，網路介面器件820可包含複數個天線以使用單輸入多輸出(SIMO)、多輸入多輸出(MIMO)或多輸入單輸出(MISO)技術之至少一者進行無線通信。術語「傳輸媒體」應被視為包含能夠儲存、編碼或攜載由機器800執行之指令之任何無形媒體，且包含促進此軟體之通信之數位或類比通信信號或其他無形媒體。

【0092】上文實施方式包含對形成實施方式之一部分之隨附圖式之參考。圖式藉由圖解之方式展示可實踐本發明之特定實施例。此等實施例在本文中亦稱為「實例」。此等實例可包含除所展示或所描述元件之外之元件。然而，本發明人亦預期其中僅提供彼等所展示或所描述元件之實例。此外，本發明人亦預期使用關於一特定實例(或其之一或多個態樣)或關於本文中所展示或所描述之其他實例(或其之一或多個態樣)所展示或所描述之彼等元件之任何組合或排列之實例(或其之一或多個態樣)。

【0093】在本文件中，在專利文件中常使用術語「一(a或an)」來包

含一個或一個以上，其獨立於「至少一個」或「一或多個」之任何其他例項或使用。在本文件中，使用術語「或」係指一非排他性「或」，使得「A或B」包含「A但非B」、「B但非A」及「A及B」，除非另有指示。在隨附發明申請專利範圍中，術語「包含」及「其中(in which)」用作各自術語「包括」及「其中(wherein)」之普通英語等效形式。又，在以下發明申請專利範圍中，術語「包含」及「包括」係開放式的，亦即，在一請求項中除列於此一術語之後的彼等元件之外亦包含若干元件之一系統、裝置、物件、或程序仍被視為在彼請求項之範疇內。此外，在以下發明申請專利範圍中，術語「第一」、「第二」及「第三」等僅用作標籤，並不旨在對其對象強加數字要求。

【0094】 在各項實例中，本文中所描述之組件、控制器、處理器、單元、引擎或表可尤其包含儲存於一實體裝置上之實體電路系統或韌體。如本文中所使用，「處理器」意謂任何類型之運算電路，諸如(但不限於)一微處理器、一微控制器、一圖形處理器、一數位信號處理器(DSP)，或任何其他類型之處理器或處理電路(包含一處理器群組或多核心裝置)。

【0095】 如此文件中所使用之術語「水平」係定義為平行於一基板之習知平面或表面之一平面(諸如下伏於一晶圓或晶粒之平面)，而無關於該基板在任何時間點之實際定向。術語「垂直」係指垂直於如上文所定義之水平之一方向。介詞(諸如「在…上」、「在…上方」及「在…下方」)係相對於習知平面或表面定義為在基板之頂部或經暴露表面上，而無關於基板之定向；而「在…上」旨在表明一個結構相對於該結構位於其「上」之另一結構之一直接接觸(在沒有明確相反指示之情況下)；術語「在…上方」及「在…下方」明確地旨在識別結構(或層、特徵等)之一相對放置，

其明確地包含但不限於經識別結構之間之直接接觸，除非明確識別。類似地，術語「在...上方」及「在...下方」不限於水平定向，由於若在某個時間點係在所論述之結構之一最外部分，則一結構可在一參考結構「上方」，即使此結構相對於參考結構而垂直地延伸，而不是一水平定向上延伸。

【0096】 術語「晶圓」及「基板」在本文中通常用於係指其上形成積體電路之任何結構，且亦係指在積體電路製造之各個階段期間之此等結構。因此，以下詳細描述不應被視為一限制意義，且各項實施例之範疇僅藉由隨附發明申請專利範圍以及此等發明申請專利範圍所授權之等效物之全範疇而定義。

【0097】 根據本發明及本文中所描述之各項實施例包含利用記憶體胞元之一垂直結構(例如，NAND記憶體胞元串)之記憶體。如本文中所使用，方向性形容詞將被視為相對於其上形成記憶體胞元之一基板之一表面(即，一垂直結構將被視為延伸遠離基板表面，該垂直結構之一底端將被視為最靠近基板表面之端部且該垂直結構之一頂端將被視為最遠離基板表面之端部)。

【0098】 如本文中所使用，方向性形容詞(諸如水平、垂直、法向、平行、垂直等)可係指相對定向，且除非另有說明，否則並不旨在要求嚴格遵守特定幾何性質。例如，如本文中所使用，一垂直結構不需要嚴格地垂直於一基板之一表面，但可代替性地大體上垂直於該基板之該表面，且可與該基板之該表面形成一銳角(例如，在60度與120度之間等)。

【0099】 在本文中所描述之一些實施例中，不同摻雜組態可應用於一源極側選擇閘極(SGS)、一控制閘極(CG)及一汲極側選擇閘極(SGD)，

其各者在此實例中可由多晶矽形成或至少包含多晶矽，結果使得此等階層(例如，多晶矽等)可在曝露至一蝕刻溶液時具有不同蝕刻率。例如，在一3D半導體裝置中形成一單體柱之一程序中，SGS及CG可形成凹部，而SGD可保持較少凹入或甚至未凹入。此等摻雜組態可因此藉由使用一蝕刻溶液(例如，氫氧化四甲基銨(TMCH))實現選擇性蝕刻至該3D半導體裝置中之相異階層(例如，SGS、CG及SGD)中。

【0100】 如本文中所使用，操作一記憶體胞元包含自該記憶體胞元讀取、寫入至該記憶體胞元或擦除該記憶體胞元。將一記憶體胞元放置於一預期狀態中之操作在本文中被稱為「程式化」，且可包含寫入至該記憶體胞元或自該記憶體胞元擦除兩者(例如，該記憶體胞元可經程式化至一經擦除狀態)。

【0101】 根據本發明之一或多項實施例，定位於一記憶體裝置內部或外部之一記憶體控制器(例如，一處理器、控制器、韌體等)能夠判定(例如，選擇、設定、調整、運算、改變、清除、通信、調適、導出、定義、利用、修改、應用等)損耗循環之數量或一損耗狀態(例如，記錄損耗循環、計數記憶體裝置之操作(在其發生時)、追蹤其起始之記憶體裝置之操作、評估對應於一損耗狀態之記憶體裝置特性等)。

【0102】 根據本發明之一或多項實施例，一記憶體存取裝置可經組態以藉由各記憶體操作提供損耗循環資訊至記憶體裝置。記憶體裝置控制電路系統(例如，控制邏輯)可經程式化以補償對應於損耗循環資訊之記憶體裝置效能變化。記憶體裝置可接收損耗循環資訊且回應於損耗循環資訊判定一或多個操作參數(例如，一值、特性)。

【0103】 將理解，當一元件被稱為在另一元件「上」、「連接至」另

一元件或與另一元件「耦合」時，其可直接在該另一元件上、連接至該另一元件或與該另一元件耦合或可存在中介元件。相比而言，當一元件被稱為「直接在另一元件上」、「直接連接至」另一元件或「直接與另一元件耦合」時，不存在中介元件或層。除非另有指示，否則若兩個元件在圖式中展示為用一線連接其，則該兩個元件可耦合或直接耦合。

【0104】 本文中所描述之方法實例可至少部分經機器或電腦實施。一些實例可包含用可操作以組態一電子裝置以執行如上文實例中所描述之方法之指令編碼之一電腦可讀媒體或機器可讀媒體。此等方法之一實施方案可包含程式碼，諸如微碼、組合語言碼、一高階語言碼或類似者。此程式碼可包含用於執行各種方法之電腦可讀指令。該程式碼可形成電腦程式產品之部分。此外，程式碼可有形地儲存於一或多個揮發性或非揮發性有形電腦可讀媒體上(諸如在執行期間或在其他時間)。此等有形電腦可讀媒體之實例可包含(但不限於)：硬碟、可卸除式磁碟、可卸除式光學磁碟(例如，光碟及數位視訊磁碟)、卡式磁帶、記憶體卡或記憶棒、隨機存取記憶體(RAM)、唯讀記憶體(ROM)、固態磁碟機(SSD)、通用快閃儲存(UFS)裝置、嵌入式MMC (eMMC)裝置及類似者。

【0105】 上文描述旨在係闡釋性而非限制性。舉例而言，上文所述之實例(或其之一或多個態樣)可彼此組合使用。在檢視上文描述後，諸如一般技術者可使用其他實施例。主張瞭解其並非用於解釋或限制發明申請專利範圍之範疇或含義。再者，在上文實施方式中，各種特徵可集合在一起以簡化本發明。此不應被解譯為期望一未主張之揭示特徵係任何請求項之關鍵。實情係，本發明標的可能在於少於一特定揭示實施例之全部特徵。因此，下文發明申請專利範圍在此併入實施方式中，其中各請求項自

身作為一單獨實施例，且預期此等實施例可以各種組合或排列彼此組合。應參考隨附發明申請專利範圍連同此等發申請專利範圍所授權之等效物之全範圍來判定實施例之範疇。

【0106】 其他注釋及實例

【0107】 實例1係一種藉由一NAND記憶體裝置之一控制器執行之方法，該控制器與一揮發性記憶體通信，該方法包括：判定該NAND裝置之一第一操作狀況；基於該第一操作狀況判定應增加分配給一邏輯/實體(L2P)快取記憶體之一揮發性記憶體量；回應於判定應增加分配給該L2P快取記憶體之該揮發性記憶體量，將分配給一施體記憶體位置之一揮發性記憶體量重新分配給該L2P快取記憶體；及將該L2P快取記憶體中之額外L2P表項目儲存於先前分配給該施體記憶體位置且現由於增加該L2P快取記憶體而分配給該L2P快取記憶體之該揮發性記憶體之一區域中。

【0108】 在實例2中，實例1之標的視需要包含其中該第一操作狀況係一命令佇列深度。

【0109】 在實例3中，實例2之標的視需要包含，應增加P)快取記憶體包括判定該命令佇列深度超過預定臨限值數目個命令。

【0110】 在實例4中，實例2至3中任一或多者之標的視需要包含：應增加P)快取記憶體包括判定該命令佇列深度超過預定臨限值數目個命令且讀取命令對寫入命令之比率超過一預定臨限值比率。

【0111】 在實例5中，實例4之標的視需要包含其中該施體記憶體位置係一讀取緩衝器。

【0112】 在實例6中，實例2至5中任一或多者之標的視需要包含：應增加P)快取記憶體包括判定該命令佇列深度超過預定臨限值數目個命令

且寫入命令對讀取命令之比率超過一預定臨限值比率。

【0113】 在實例7中，實例6之標的視需要包含其中該施體記憶體位置係一寫入緩衝器。

【0114】 在實例8中，實例1至7中任一或多者之標的視需要包含其中該施體記憶體位置係一讀取緩衝器及一寫入緩衝器兩者之一部分。

【0115】 實例9係一種NAND記憶體裝置，其包括：一揮發性記憶體；一控制器，該控制器執行指令，從而執行以下操作：判定該NAND記憶體裝置之一第一操作狀況；基於該第一操作狀況判定應增加分配給一邏輯/實體(L2P)快取記憶體之一揮發性記憶體量；回應於判定應增加分配給該L2P快取記憶體之該揮發性記憶體量，將分配給一施體記憶體位置之一揮發性記憶體量重新分配給該L2P快取記憶體；及將該L2P快取記憶體中之額外L2P表項目儲存於先前分配給該施體記憶體位置且現由於增加該L2P快取記憶體而分配給該L2P快取記憶體之該揮發性記憶體之一區域中。

【0116】 在實例10中，實例9之標的視需要包含其中該第一操作狀況係一命令佇列深度。

【0117】 在實例11中，實例10之標的視需要包含，應增加P)快取記憶體包括判定該命令佇列深度超過預定臨限值數目個命令。

【0118】 在實例12中，實例10至11中任一或多者之標的視需要包含：應增加P)快取記憶體包括判定該命令佇列深度超過預定臨限值數目個命令且讀取命令對寫入命令之比率超過一預定臨限值比率。

【0119】 在實例13中，實例12之標的視需要包含其中該施體記憶體位置係一讀取緩衝器。

【0120】 在實例14中，實例10至13中任一或多者之標的視需要包含：應增加P)快取記憶體包括判定該命令佇列深度超過預定臨限值數目個命令且寫入命令對讀取命令之比率超過一預定臨限值比率。

【0121】 在實例15中，實例14之標的視需要包含其中該施體記憶體位置係一寫入緩衝器。

【0122】 在實例16中，實例9至15中任一或多者之標的視需要包含其中該施體記憶體位置係一讀取緩衝器及一寫入緩衝器兩者之一部分。

【0123】 實例17係一種包括指令之機器可讀媒體，該等指令在藉由一機器執行時引起該機器執行包括以下各者之操作：判定一NAND記憶體裝置之一第一操作狀況；基於該第一操作狀況判定應增加分配給一邏輯/實體(L2P)快取記憶體之一揮發性記憶體量；回應於判定應增加分配給該L2P快取記憶體之該揮發性記憶體量，將分配給一施體記憶體位置之一揮發性記憶體量重新分配給該L2P快取記憶體；及將該L2P快取記憶體中之額外L2P表項目儲存於先前分配給該施體記憶體位置且現由於增加該L2P快取記憶體而分配給該L2P快取記憶體之該揮發性記憶體之一區域中。

【0124】 在實例18中，實例17之標的視需要包含其中該第一操作狀況係一命令佇列深度。

【0125】 在實例19中，實例18之標的視需要包含，應增加P)快取記憶體包括判定該命令佇列深度超過預定臨限值數目個命令。

【0126】 在實例20中，實例18至19中任一或多者之標的視需要包含：應增加P)快取記憶體包括判定該命令佇列深度超過預定臨限值數目個命令且讀取命令對寫入命令之比率超過一預定臨限值比率。

【0127】 在實例21中，實例20之標的視需要包含其中該施體記憶體

位置係一讀取緩衝器。

【0128】 在實例22中，實例18至21中任一或多者之標的視需要包含：應增加P)快取記憶體包括判定該命令佇列深度超過預定臨限值數目個命令且寫入命令對讀取命令之比率超過一預定臨限值比率。

【0129】 在實例23中，實例22之標的視需要包含其中該施體記憶體位置係一寫入緩衝器。

【0130】 在實例24中，實例17至23中任一或多者之標的視需要包含其中該施體記憶體位置係一讀取緩衝器及一寫入緩衝器兩者之一部分。

【0131】 實例25係一種裝置，其包括：用於判定NAND裝置之一第一操作狀況之構件；用於基於該第一操作狀況判定應增加分配給一邏輯/實體(L2P)快取記憶體之一揮發性記憶體量之構件；回應於判定應增加分配給該L2P快取記憶體之該揮發性記憶體量，用於將分配給一施體記憶體位置之一揮發性記憶體量重新分配給該L2P快取記憶體之構件；及用於將該L2P快取記憶體中之額外L2P表項目儲存於先前分配給該施體記憶體位置且現由於增加該L2P快取記憶體而分配給該L2P快取記憶體之該揮發性記憶體之一區域中之構件。

【0132】 在實例26中，實例25之標的視需要包含其中該第一操作狀況係一命令佇列深度。

【0133】 在實例27中，實例26之標的視需要包含，應增加P)快取記憶體包括用於判定該命令佇列深度超過預定臨限值數目個命令之構件。

【0134】 在實例28中，實例26至27中任一或多者之標的視需要包含：應增加P)快取記憶體包括用於判定該命令佇列深度超過預定臨限值數目個命令且讀取命令對寫入命令之比率超過一預定臨限值比率之構件。

【0135】 在實例29中，實例28之標的視需要包含其中該施體記憶體位置係一讀取緩衝器。

【0136】 在實例30中，實例26至29中任一或多者之標的視需要包含：應增加P)快取記憶體包括用於判定該命令佇列深度超過預定臨限值數目個命令且寫入命令對讀取命令之比率超過一預定臨限值比率之構件。

【0137】 在實例31中，實例30之標的視需要包含其中該施體記憶體位置係一寫入緩衝器。

【0138】 在實例32中，實例25至31中任一或多者之標的視需要包含其中該施體記憶體位置係一讀取緩衝器及一寫入緩衝器兩者之一部分。

【符號說明】

【0139】

100	環境
105	主機裝置/主機
110	記憶體裝置/NAND記憶體裝置
115	記憶體控制器/控制器
120	記憶體陣列
125	記憶體管理器
130	管理表
135	陣列控制器
140	錯誤校正碼(ECC)組件
150	產品
200	三維(3D) NAND架構半導體記憶體陣列/記憶體陣列
201A	區塊A

201A ₀	子區塊A ₀
201A _n	子區塊A _n
201B	區塊B
201B ₀	子區塊B ₀
201B _n	子區塊B _n
205A ₀	第一A ₀ 記憶體串
205A _n	第一A _n 記憶體串
205B ₀	第一B ₀ 記憶體串
205B _n	第一B _n 記憶體串
206A ₀	第二A ₀ 記憶體串
206A _n	第二A _n 記憶體串
206B ₀	第二B ₀ 記憶體串
206B _n	第二B _n 記憶體串
207A ₀	第三A ₀ 記憶體串
207A _n	第三A _n 記憶體串
207B ₀	第三B ₀ 記憶體串
207B _n	第三B _n 記憶體串
210A至217A	字線(WL)
210B至217B	字線
220	位元線
221	位元線
222	位元線
225A ₀	A ₀ 汲極側選擇閘極(SGD)線

225A _n	A _n 汲極側選擇閘極(SGD)線
225B ₀	B ₀ 汲極側選擇閘極(SGD)線
225B _n	B _n 汲極側選擇閘極(SGD)線
226A ₀	第一A ₀ 汲極側選擇閘極(SGD)
226A _n	第一A _n 汲極側選擇閘極(SGD)
226B ₀	第一B ₀ 汲極側選擇閘極(SGD)
226B _n	第一B _n 汲極側選擇閘極(SGD)
227A ₀	第二A ₀ 汲極側選擇閘極(SGD)
227A _n	第二A _n 汲極側選擇閘極(SGD)
227B ₀	第二B ₀ 汲極側選擇閘極(SGD)
227B _n	第二B _n 汲極側選擇閘極(SGD)
228A ₀	第三A ₀ 汲極側選擇閘極(SGD)
228A _n	第三A _n 汲極側選擇閘極(SGD)
228B ₀	第三B ₀ 汲極側選擇閘極(SGD)
228B _n	第三B _n 汲極側選擇閘極(SGD)
230A	閘極選擇線SGS ₀
230B	閘極選擇線SGS ₁
231A ₀	第一A ₀ 源極側選擇閘極(SGS)
231A _n	第一A _n 源極側選擇閘極(SGS)
231B ₀	第一B ₀ 源極側選擇閘極(SGS)
231B _n	第一B _n 源極側選擇閘極(SGS)
232A ₀	第二A ₀ 源極側選擇閘極(SGS)
232A _n	第二A _n 源極側選擇閘極(SGS)

232B ₀	第二B ₀ 源極側選擇閘極(SGS)
232B _n	第二B _n 源極側選擇閘極(SGS)
233A ₀	第三A ₀ 源極側選擇閘極(SGS)
233A _n	第三A _n 源極側選擇閘極(SGS)
233B ₀	第三B ₀ 源極側選擇閘極(SGS)
233B _n	第三B _n 源極側選擇閘極(SGS)
235	源極線(SRC)
300	NAND架構半導體記憶體陣列/記憶體陣列
302	記憶體胞元
305	第一串
306	第二串
307	第三串
310至317	字線
320	第一位元線
321	第二位元線
322	第三位元線
325	汲極側選擇閘極(SGD)線
326	第一汲極側選擇閘極(SGD)
327	第二汲極側選擇閘極(SGD)
328	第三汲極側選擇閘極(SGD)
330	源極側選擇閘極(SGS)
331	第一源極側選擇閘極(SGS)
332	第二源極側選擇閘極(SGS)

333	第三源極側選擇閘極(SGS)
341	第一控制閘極(CG)
342	第二控制閘極(CG)
343	第三控制閘極(CG)
360	感測放大器或裝置
400	記憶體裝置
402	記憶體陣列
402A	第一區塊
402A ₀	第一子區塊
402A _n	第二子區塊
402B	第二區塊
402B ₀	第一子區塊
402B _n	第二子區塊
404	記憶體胞元
406	存取線
408	輸入/輸出(I/O)線
410	第一資料線
412	列解碼器
414	行解碼器
416	位址線
418	第二資料線
420	感測放大器
422	頁緩衝器

424	選擇器
426	輸入/輸出(I/O)電路
428	調節器
430	記憶體控制單元
432	控制線
434	供應電壓
436	負供應源
510	時間
515	時間
517	重新組態
530	操作記憶體
532	讀取緩衝器
534	邏輯/實體(L2P)快取記憶體
536	寫入緩衝器
600	方法
605	操作
610	操作
620	操作
745	操作記憶體
750	邏輯/實體(L2P)快取記憶體管理器
800	機器
802	硬體處理器/處理器
804	主記憶體/記憶體

806	靜態記憶體
808	互連
810	顯示單元
812	文數字輸入裝置/輸入裝置
814	使用者介面(UI)導航裝置
816	感測器
818	信號產生裝置
820	網路介面裝置
821	儲存裝置
822	機器可讀媒體
824	資料結構或指令
826	通信網路
828	輸出控制器
A0至AX	位址信號
BL0至BLn	位元線
CSEL1至CSELn	行選擇信號
DQ0至DQN	輸入/輸出(I/O)線
Vcc	供應電壓
Vss	接地電位
WL0至WLm	字線

【發明申請專利範圍】

【第1項】

一種藉由一NAND記憶體裝置之一控制器執行之方法，該控制器與一揮發性記憶體通信，該方法包括：

判定該NAND裝置之一第一操作狀況；

基於該第一操作狀況判定應增加分配給一邏輯/實體(L2P)快取記憶體之一揮發性記憶體量；

回應於判定應增加分配給該L2P快取記憶體之該揮發性記憶體量，將分配給一施體記憶體位置之一揮發性記憶體量重新分配給該L2P快取記憶體；

將該L2P快取記憶體中之額外L2P表項目儲存於先前分配給該施體記憶體位置且現由於增加該L2P快取記憶體而分配給該L2P快取記憶體之該揮發性記憶體之一區域中；及

其中該施體記憶體位置包括讀取緩衝器或寫入緩衝器之一或兩者，該讀取緩衝器或該寫入緩衝器係用以緩衝主機命令。

【第2項】

如請求項1之方法，其中該第一操作狀況係一命令佇列深度。

【第3項】

如請求項2之方法，其中基於該第一操作狀況判定應增加分配給一邏輯/實體(L2P)快取記憶體之該揮發性記憶體量包括判定該命令佇列深度超過預定臨限值數目個命令。

【第4項】

如請求項2之方法，其中基於該第一操作狀況判定應增加分配給一邏

輯/實體(L2P)快取記憶體之該揮發性記憶體量包括判定該命令佇列深度超過預定臨限值數目個命令且讀取命令對寫入命令之比率超過一預定臨限值比率。

【第5項】

一種NAND記憶體裝置，其包括：

一揮發性記憶體；

一控制器，該控制器執行指令，從而執行以下操作：

判定該NAND記憶體裝置之一第一操作狀況；

基於該第一操作狀況判定應增加分配給一邏輯/實體(L2P)快取記憶體之一揮發性記憶體量；

回應於判定應增加分配給該L2P快取記憶體之該揮發性記憶體量，將分配給一施體記憶體位置之一揮發性記憶體量重新分配給該L2P快取記憶體；

將該L2P快取記憶體中之額外L2P表項目儲存於先前分配給該施體記憶體位置且現由於增加該L2P快取記憶體而分配給該L2P快取記憶體之該揮發性記憶體之一區域中；及

其中該施體記憶體位置包括讀取緩衝器或寫入緩衝器之一或兩者，該讀取緩衝器或該寫入緩衝器係用以緩衝主機命令。

【第6項】

如請求項5之NAND記憶體裝置，其中該第一操作狀況係一命令佇列深度。

【第7項】

如請求項6之NAND記憶體裝置，其中基於該第一操作狀況判定應增

加分配給一邏輯/實體(L2P)快取記憶體之該揮發性記憶體量之該等操作包括判定該命令佇列深度超過預定臨限值數目個命令。

【第8項】

如請求項6之NAND記憶體裝置，其中基於該第一操作狀況判定應增加分配給一邏輯/實體(L2P)快取記憶體之該揮發性記憶體量之該等操作包括判定該命令佇列深度超過預定臨限值數目個命令且讀取命令對寫入命令之比率超過一預定臨限值比率。

【第9項】

如請求項8之NAND記憶體裝置，其中該施體記憶體位置係該讀取緩衝器。

【第10項】

如請求項6之NAND記憶體裝置，其中基於該第一操作狀況判定應增加分配給一邏輯/實體(L2P)快取記憶體之該揮發性記憶體量之該等操作包括判定該命令佇列深度超過預定臨限值數目個命令且寫入命令對讀取命令之比率超過一預定臨限值比率。

【第11項】

如請求項10之NAND記憶體裝置，其中該施體記憶體位置係該寫入緩衝器。

【第12項】

如請求項5之NAND記憶體裝置，其中該施體記憶體位置係該讀取緩衝器及該寫入緩衝器兩者之一部分。

【第13項】

一種包括指令之機器可讀媒體，該等指令在藉由一機器執行時引起

該機器執行包括以下各者之操作：

判定一NAND記憶體裝置之一第一操作狀況；

基於該第一操作狀況判定應增加分配給一邏輯/實體(L2P)快取記憶體之一揮發性記憶體量；

回應於判定應增加分配給該L2P快取記憶體之該揮發性記憶體量，將分配給一施體記憶體位置之一揮發性記憶體量重新分配給該L2P快取記憶體；

將該L2P快取記憶體中之額外L2P表項目儲存於先前分配給該施體記憶體位置且現由於增加該L2P快取記憶體而分配給該L2P快取記憶體之該揮發性記憶體之一區域中；及

該其中該施體記憶體位置包括讀取緩衝器或寫入緩衝器之一或兩者，該讀取緩衝器或該寫入緩衝器係用以緩衝主機命令。

【第14項】

如請求項13之機器可讀媒體，其中該第一操作狀況係一命令佇列深度。

【第15項】

如請求項14之機器可讀媒體，其中基於該第一操作狀況判定應增加分配給一邏輯/實體(L2P)快取記憶體之該揮發性記憶體量之該等操作包括判定該命令佇列深度超過預定臨限值數目個命令。

【第16項】

如請求項14之機器可讀媒體，其中基於該第一操作狀況判定應增加分配給一邏輯/實體(L2P)快取記憶體之該揮發性記憶體量之該等操作包括判定該命令佇列深度超過預定臨限值數目個命令且讀取命令對寫入命令之

比率超過一預定臨限值比率。

【第17項】

如請求項16之機器可讀媒體，其中該施體記憶體位置係該讀取緩衝器。

【第18項】

如請求項14之機器可讀媒體，其中基於該第一操作狀況判定應增加分配給一邏輯/實體(L2P)快取記憶體之該揮發性記憶體量之該等操作包括判定該命令佇列深度超過預定臨限值數目個命令且寫入命令對讀取命令之比率超過一預定臨限值比率。

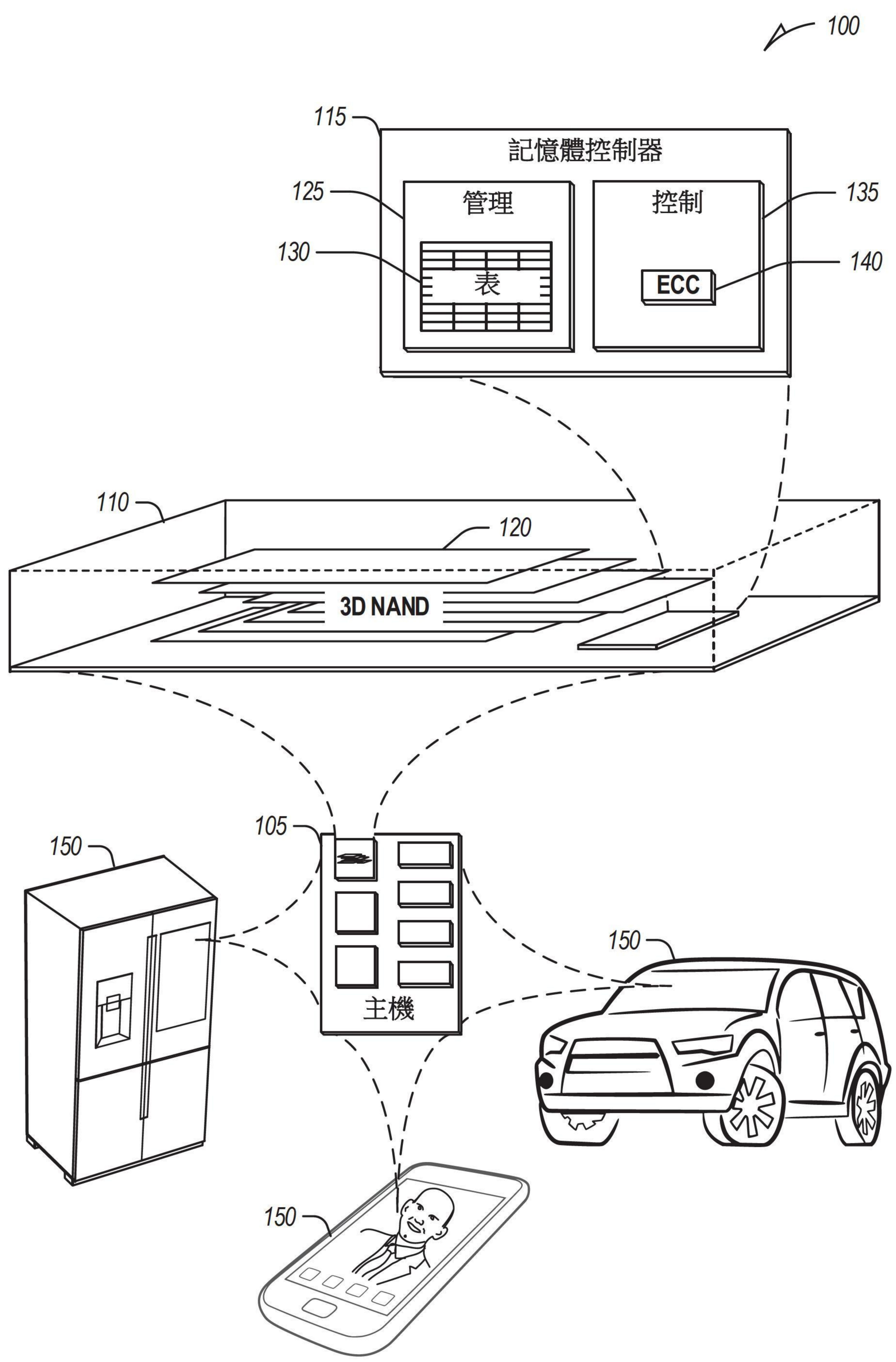
【第19項】

如請求項18之機器可讀媒體，其中該施體記憶體位置係該寫入緩衝器。

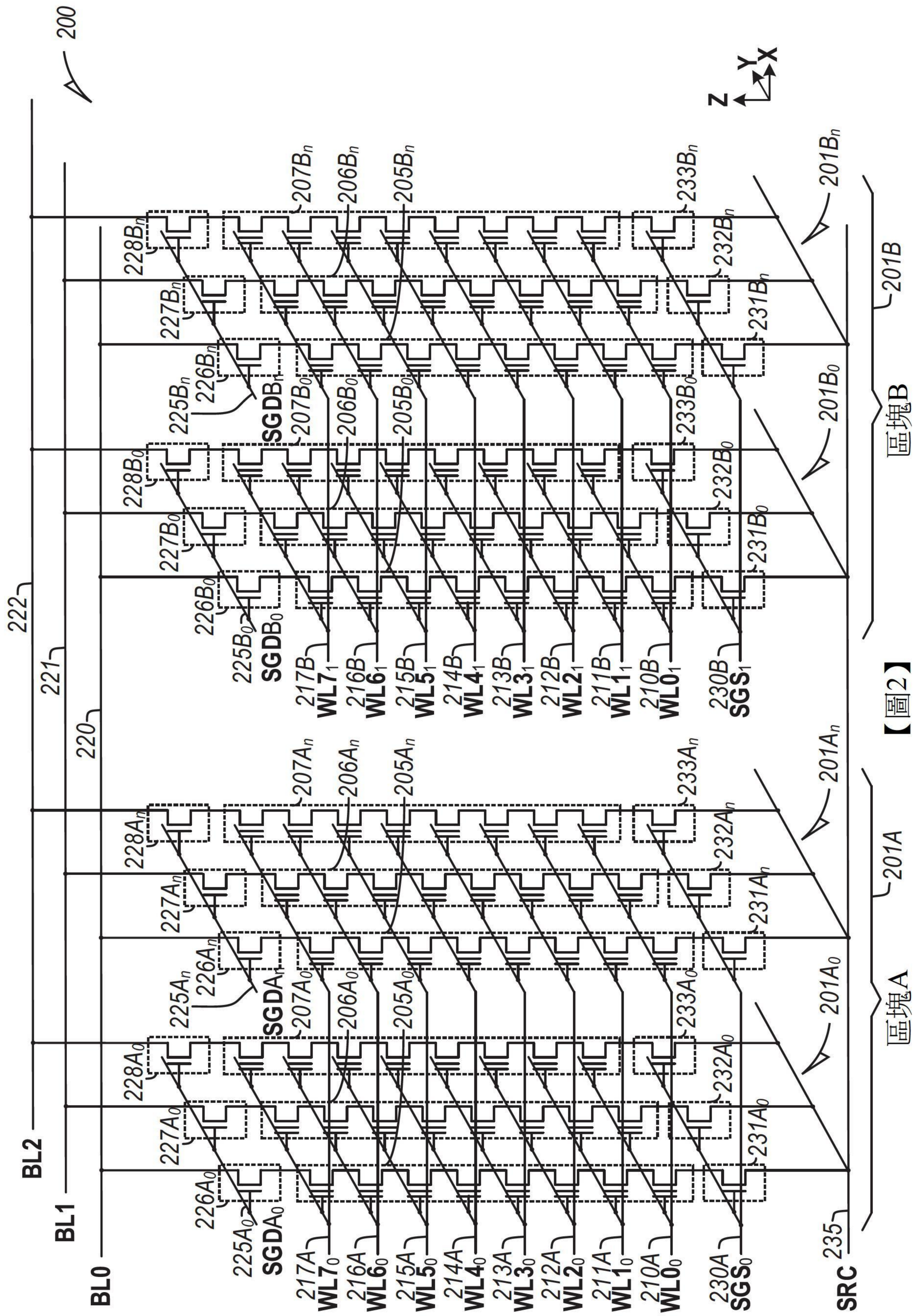
【第20項】

如請求項13之機器可讀媒體，其中該施體記憶體位置係該讀取緩衝器及該寫入緩衝器兩者之一部分。

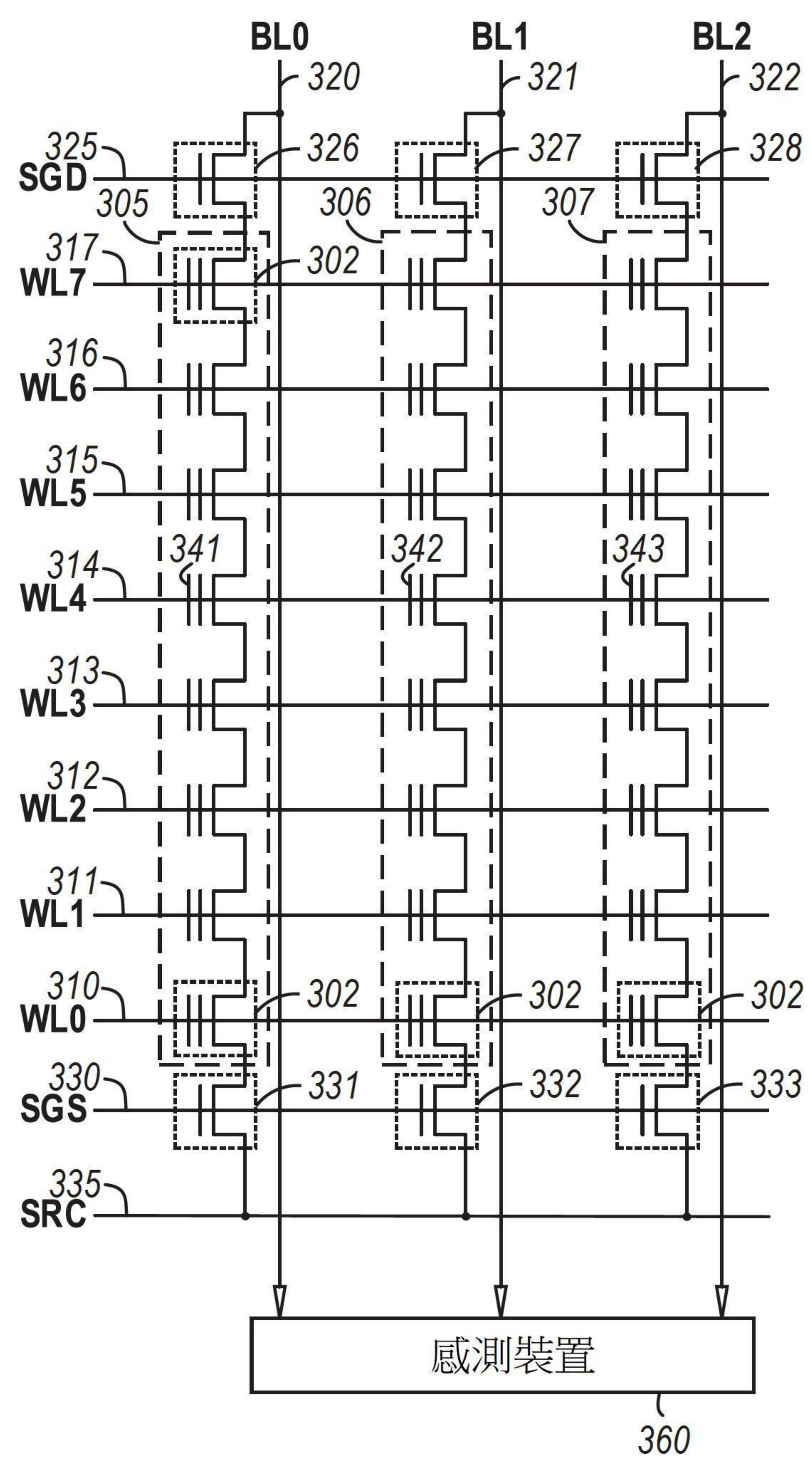
【發明圖式】



【圖1】

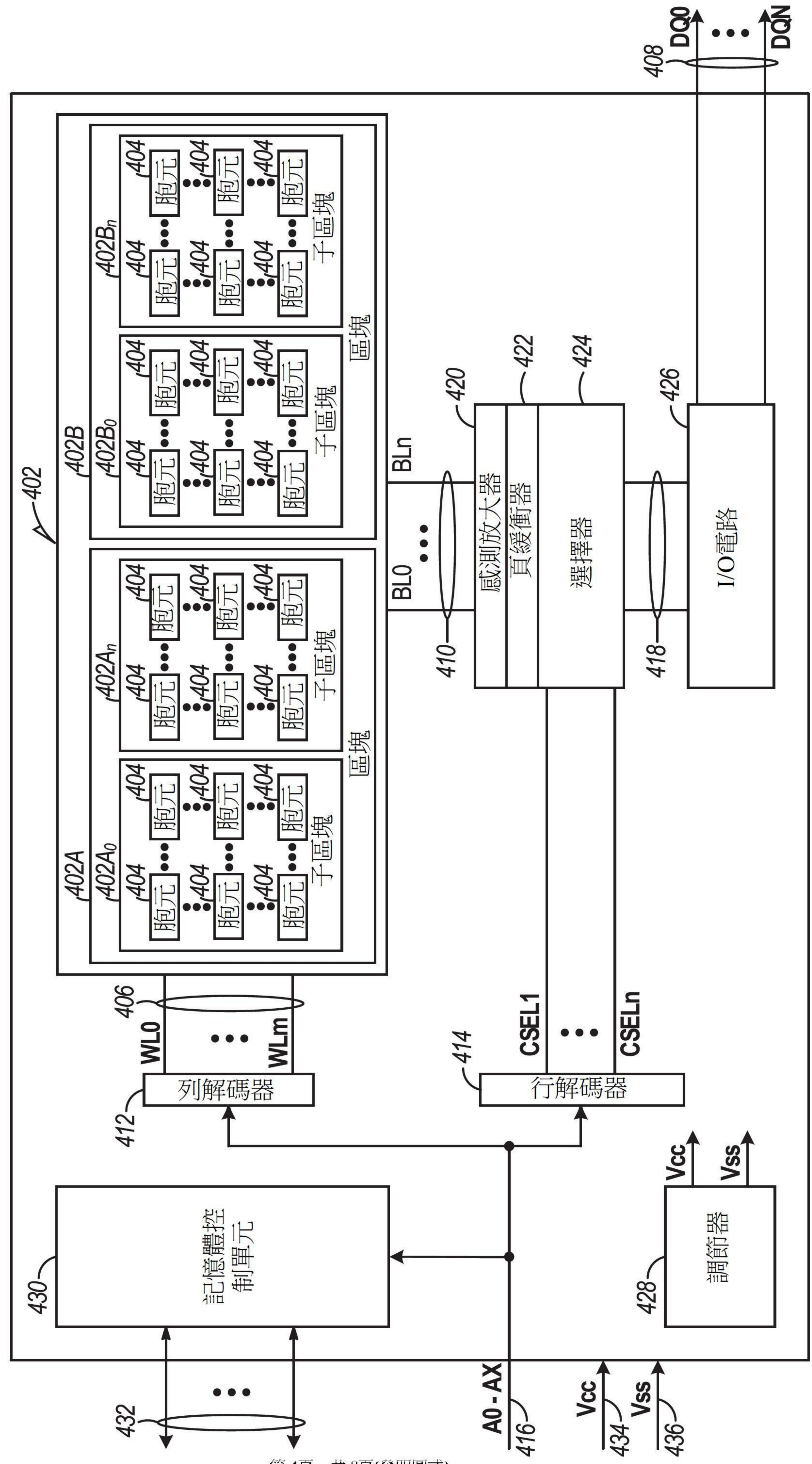


300

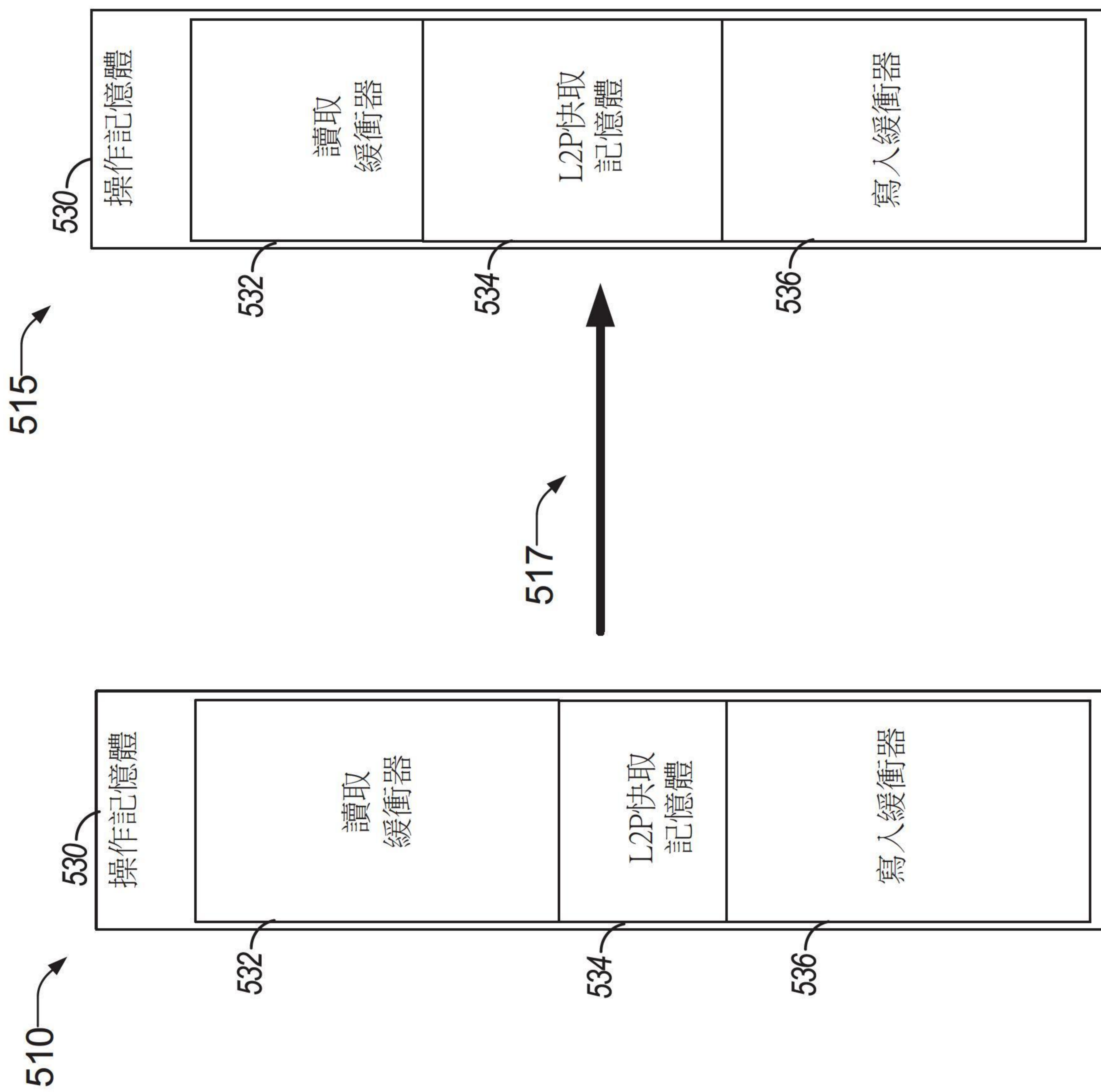


【圖3】

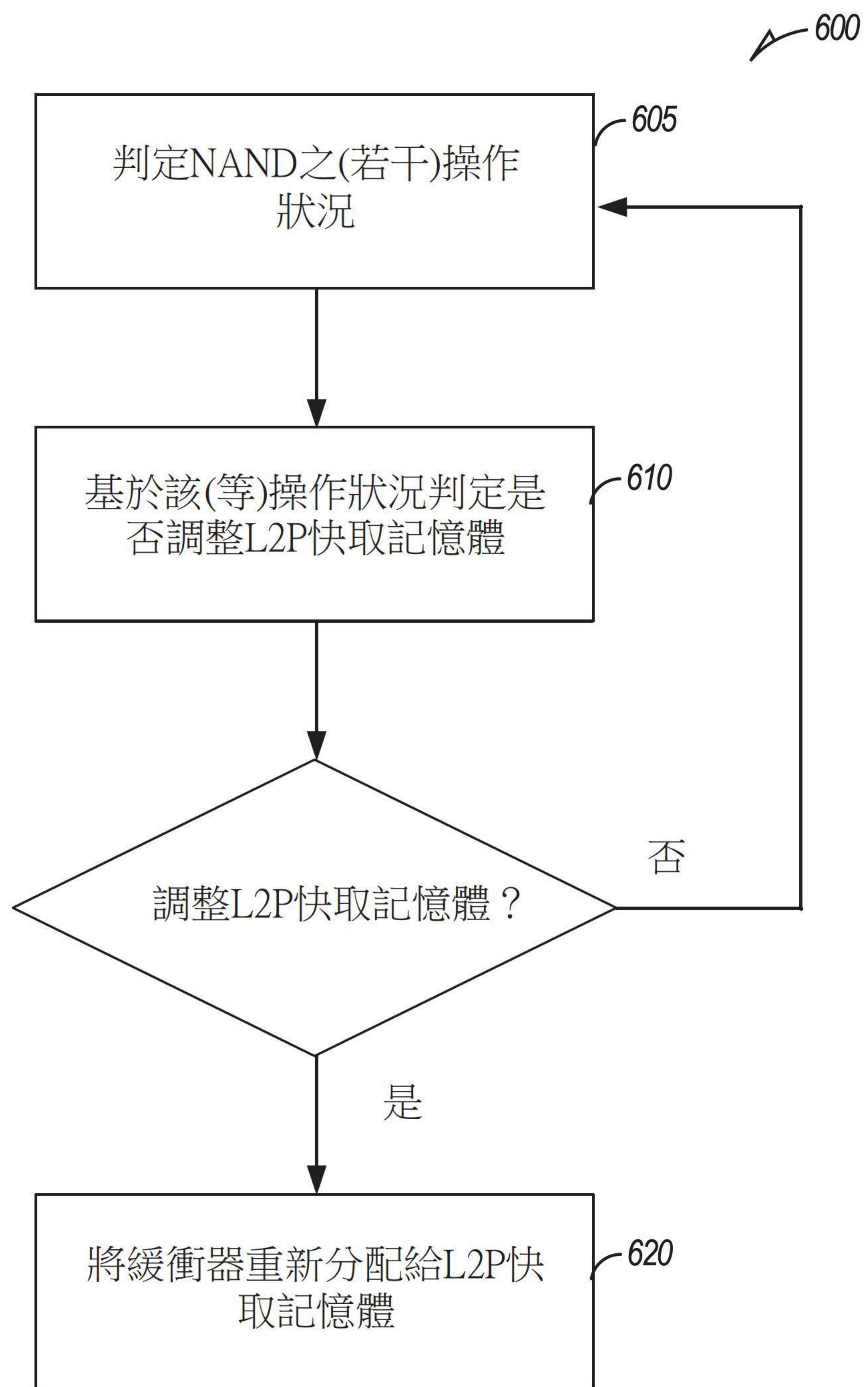
400



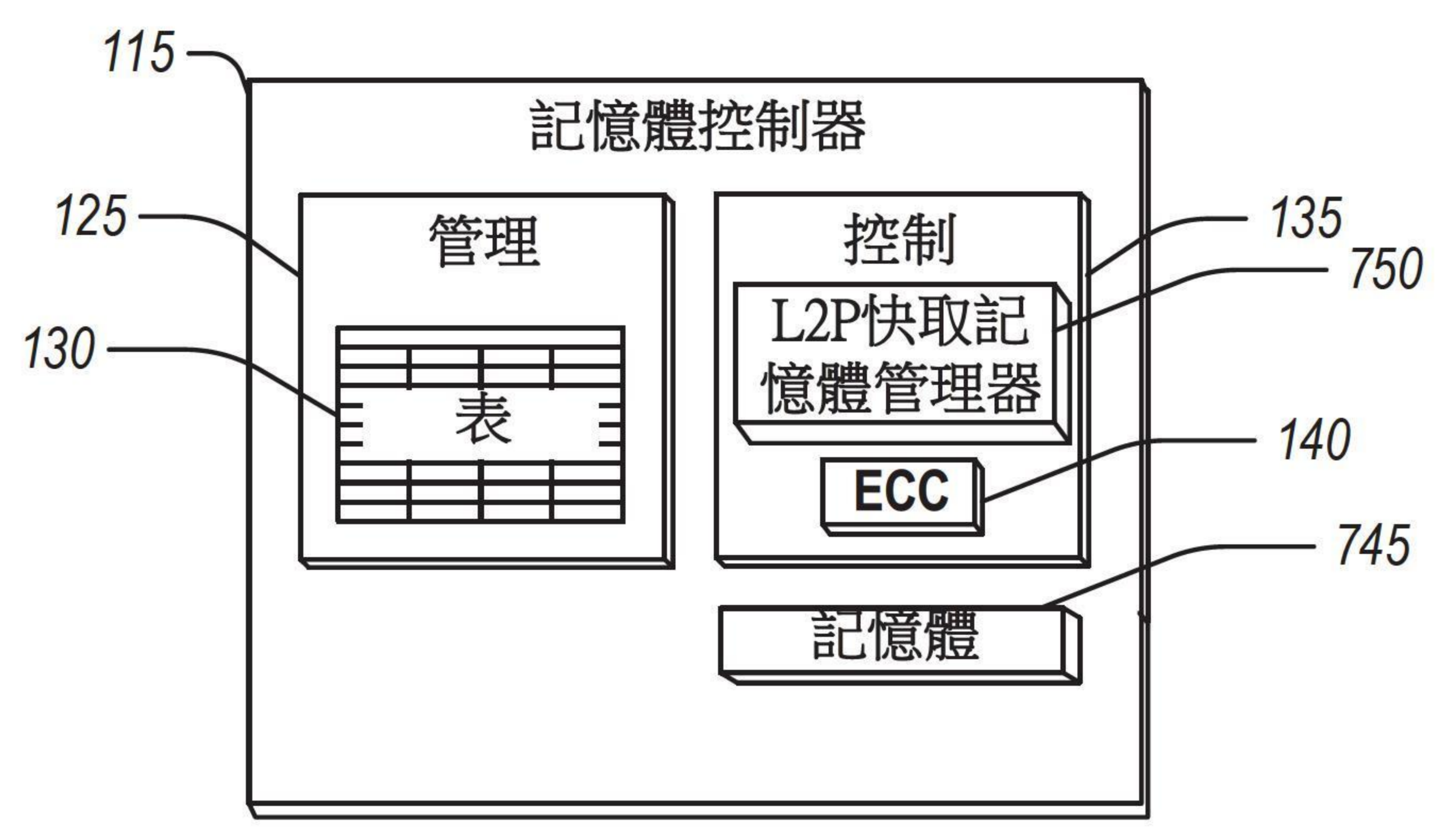
【圖4】



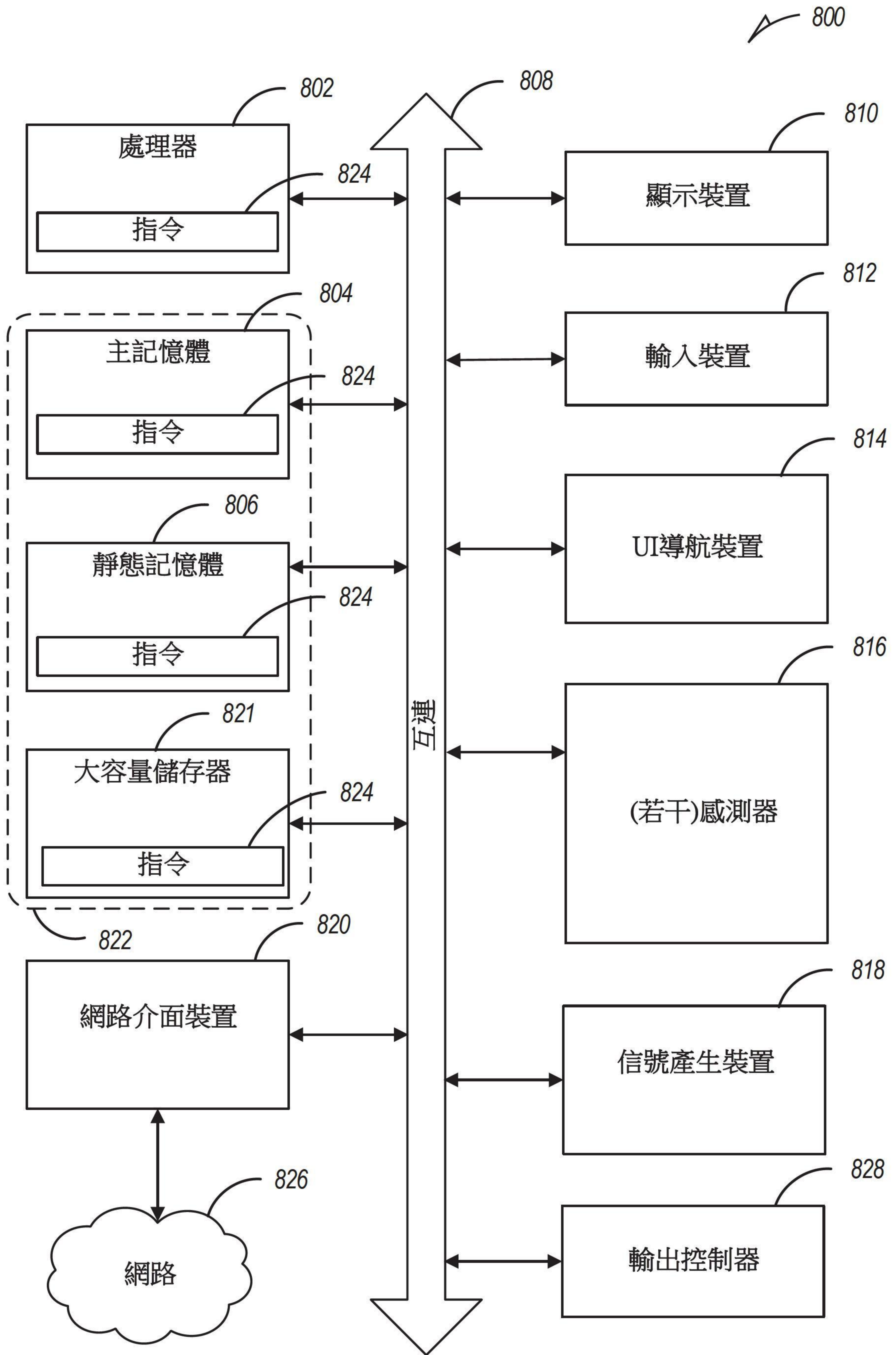
【圖5】



【圖6】



【圖7】



【圖8】