



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월15일
(11) 등록번호 10-1123725
(24) 등록일자 2012년02월28일

(51) 국제특허분류(Int. Cl.)
H03L 7/16 (2006.01) H03L 7/193 (2006.01)
H03K 23/66 (2006.01)
(21) 출원번호 10-2006-7006374
(22) 출원일자(국제) 2004년09월28일
심사청구일자 2009년09월28일
(85) 번역문제출일자 2006년03월31일
(65) 공개번호 10-2006-0090695
(43) 공개일자 2006년08월14일
(86) 국제출원번호 PCT/IB2004/051894
(87) 국제공개번호 WO 2005/034358
국제공개일자 2005년04월14일
(30) 우선권주장
03103631.2 2003년10월01일
유럽특허청(EPO)(EP)
(56) 선행기술조사문헌
US06570946 B1*
US6760398 B2
US6583674 B2
US20050063505 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
에스티 에릭슨 에스에이
스위스 제네바 1228 플란-레스-오우아테스 체민
두 캠프-데스-필레스 39
(72) 발명자
리나에르츠 도미니쿠스 엠 더블유
네덜란드 엔엘-5656 에이에이 아인드호펜 홀스트
란 6
파블로빅 네나드
네덜란드 엔엘-5656 에이에이 아인드호펜 홀스트
란 6
미스트리 케탄
네덜란드 엔엘-5656 에이에이 아인드호펜 홀스트
란 6
(74) 대리인
제일특허법인

전체 청구항 수 : 총 12 항

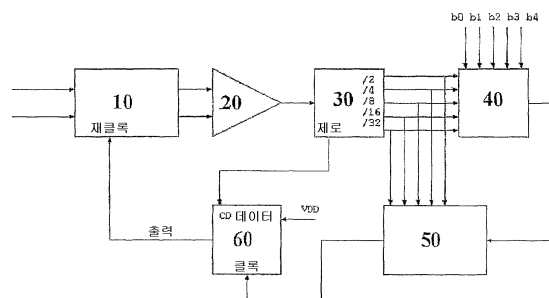
심사관 : 김기완

(54) 발명의 명칭 위상-스위칭 듀얼 모듈러스 프리스케일러 및 주파수 합성기

(57) 요약

본 발명은 듀얼 모듈러스 분할기(dual modulus divider)를 포함하는 위상-스위칭 듀얼 모듈러스 프리스케일러(dual modulus prescaler)를 제공한다. 상기 분할기는 제 1 및 제 2의 2분할 회로(divide-by-2 circuit)(A;B)를 포함하고, 상기 제 2의 2분할 회로(B)는 상기 제 1의 2분할 회로(A)의 출력에 결합되고, 적어도 상기 제 2의 2분할 회로(B)는 각각 90°의 위상차를 갖는 4개의 위상 출력을 포함한다. 위상 선택 유닛(PSU)은 제 2의 2분할 회로(B)의 4개의 위상 출력(I_p, I_n, Q_p, Q_n; IN_i, IN_{ni}, IN_q, IN_{nq}) 중 하나를 선택하기 위해 제공된다. 또한, 위상 제어 유닛은 위상 선택 유닛에 대해 제어 신호(C1, NC0; C2, NC2; C3, NC3)를 제공하기 위해 제공되고, 위상 선택 유닛(PSU)은 상기 제어 신호(C0, NC0; C1, NC1; C2, NC2)에 따라서 상기 4개의 위상 출력(I_p, I_n, Q_p, Q_n; IN_i, IN_{ni}, IN_q, IN_{nq})에 대한 선택을 실행한다. 상기 위상 선택 유닛(PSU)은 직접 로직(direct logic)에 기초하여 실행된다. 직접 로직에 기초한 위상 선택 유닛의 구현은 높은 속도를 가능하게 하고, 칩 상에서 면적을 절약한다.

대표도



특허청구의 범위

청구항 1

듀얼 모듈러스 분할기(dual modulus divider)(10)를 포함하는 위상-스위칭 듀얼 모듈러스 프리스케일러(dual modulus prescaler)로서,

상기 듀얼 모듈러스 분할기는,

제 1 및 제 2의 2분할 회로(divide-by-2 circuit)(A;B)?상기 제 2의 2분할 회로(B)는 상기 제 1의 2분할 회로(A)의 출력에 결합되고, 적어도 상기 제 2의 2분할 회로(B)는 각각 90°의 위상차를 갖는 4개의 위상 출력(I_p, I_n, Q_p, Q_n; INi, INni, INq, INnq)을 포함함?와,

상기 제 2의 2분할 회로(B)의 상기 4개의 위상 출력(I_p, I_n, Q_p, Q_n; INi, INni, INq, INnq) 중 하나를 선택하는 위상 선택 유닛(PSU)과,

상기 위상 선택 유닛(PSU)에 제어 신호(C0, NC0; C1, NC1; C2, NC2)를 제공하는 위상 제어 유닛(RTU)을 포함하고,

상기 위상 선택 유닛(PSU)은 상기 제어 신호(C0, NC0; C1, NC1; C2, NC2)에 따라서 상기 4개의 위상 출력(I_p, I_n, Q_p, Q_n; INi, INni, INq, INnq)에 대한 선택을 수행하고,

상기 위상 선택 유닛(PSU)은 직접 로직(direct logic)에 기초하여 구현되고,

상기 위상 선택 유닛(PSU)의 출력(OUT)은 다음의 로직 코드, 즉

$$OUT = \overline{NC0} \cdot \overline{NC1} \cdot \overline{INi} + \overline{NC0} \cdot C1 \cdot \overline{INni} + \overline{C0} \cdot NC2 \cdot \overline{INnq} + \overline{C0} \cdot C2 \cdot \overline{INq}$$

에 따라서 구현되고,

+, ·, ¬는 각각 OR 함수, AND 함수 및 NAND 함수를 나타내는

위상-스위칭 듀얼 모듈러스 프리스케일러.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 위상 선택 유닛(PSU)의 출력에 결합된 4분할 회로(divide-by-4 circuit)(UA)를 더 포함하고,

상기 4분할 회로(UA)는 90°의 위상차를 갖는 4개의 위상 출력(I_p, I_n, Q_p, Q_n)을 각각 갖는 제 6 및 제 7의 2분할 회로(F, G)를 포함하고,

상기 제 7의 2분할 회로(G)는 상기 제 6의 2분할 회로(F)의 직교(quadrature) 출력(Q_p, Q_n)에 결합되는

위상-스위칭 듀얼 모듈러스 프리스케일러.

청구항 4

제 1 항에 있어서,

상기 위상 제어 유닛(RTU)은 90°의 위상차를 갖는 4개의 위상 출력(I_p, I_n, Q_p, Q_n)을 각각 구비하는 제 4 및 제 5의 2분할 회로(D, E)?상기 제 4 및 제 5의 2분할 회로(D, E)는 직렬로 결합됨?를 포함하고,

상기 제 5의 2분할 회로(E)의 동 위상(in-phase) 출력 신호(I_p, I_n)는 상기 제어 신호(C0)에 대응하고,

상기 제 4의 2분할 회로(D)의 동 위상 출력 신호(I_p , I_n)는 상기 제어 신호(C1)에 대응하며,
상기 제 4의 2분할 회로(D)의 직교 위상 출력 신호(Q_p , Q_n)는 상기 제어 신호(C2)에 대응하는
위상-스위칭 듀얼 모듈러스 프리스케일러.

청구항 5

제 4 항에 있어서,
상기 위상 제어 유닛(RTU)은 상기 제 5의 2분할 회로(E)의 입력에 결합된 D-래치(D-latch)(DL)를 더 포함하고,
상기 D-래치(DL)는 상기 제 7의 2분할 회로(G)의 상기 동 위상 출력(I_p , I_n)의 이전 상태와, 위상 스위칭의 횟수
를 나타내는 신호(모듈(modul))를 입력 신호로서 수신하는
위상-스위칭 듀얼 모듈러스 프리스케일러.

청구항 6

제 1 항에 있어서,
상기 듀얼 모듈러스 분할기(10)는 16/17 분할기인
위상-스위칭 듀얼 모듈러스 프리스케일러.

청구항 7

제 1 항에 있어서,
상기 듀얼 모듈러스 분할기(10)에 결합되어 상기 듀얼 모듈러스 분할기(10)를 재클로킹(reclocking)하는 동기화
루프(synchronization loop)를 더 포함하는
위상-스위칭 듀얼 모듈러스 프리스케일러.

청구항 8

제 1 항에 기재된 프리스케일러를 포함하는 주파수 합성기(frequency synthesizer).

청구항 9

듀얼 모듈러스 분할기(10)를 포함하는 위상-스위칭 듀얼 모듈러스 프리스케일러로서,
상기 듀얼 모듈러스 분할기는,
제 1 및 제 2의 2분할 회로(divide-by-2 circuit)(A;B)?상기 제 2의 2분할 회로(B)는 상기 제 1의 2분할 회로
(A)의 출력에 결합되고, 적어도 상기 제 2의 2분할 회로(B)는 각각 90°의 위상차를 갖는 4개의 위상 출력(I_p ,
 I_n , Q_p , Q_n ; IN_i , IN_{ni} , IN_q , IN_{nq})를 포함함?와,
상기 제 2의 2분할 회로(B)의 상기 4개의 위상 출력(I_p , I_n , Q_p , Q_n ; IN_i , IN_{ni} , IN_q , IN_{nq}) 중 하나를 선택하는
위상 선택 유닛(PSU)과,
상기 위상 선택 유닛(PSU)에 제어 신호(C0, NC0; C1, NC1; C2, NC2)를 제공하는 위상 제어 유닛(RTU)을 포함하
고,
상기 위상 선택 유닛(PSU)은 상기 제어 신호(C0, NC0; C1, NC1; C2, NC2)에 따라서 상기 4개의 위상 출력(I_p ,
 I_n , Q_p , Q_n ; IN_i , IN_{ni} , IN_q , IN_{nq})에 대한 선택을 수행하고,
상기 위상 선택 유닛(PSU)은 직접 로직에 기초하여 구현되고,

상기 위상 제어 유닛(RTU)은 90° 의 위상차를 갖는 4개의 위상 출력(I_p , I_n , Q_p , Q_n)을 각각 구비하는 제 4 및 제 5의 2분할 회로(D, E)?상기 제 4 및 제 5의 2분할 회로(D, E)는 직렬로 결합됨?를 포함하고,
 상기 제 5의 2분할 회로(E)의 동 위상 출력 신호(I_p , I_n)는 상기 제어 신호(C0)에 대응하고,
 상기 제 4의 2분할 회로(D)의 동 위상 출력 신호(I_p , I_n)는 상기 제어 신호(C1)에 대응하며,
 상기 제 4의 2분할 회로(D)의 직교 위상 출력 신호(Q_p , Q_n)는 상기 제어 신호(C2)에 대응하는
 위상-스위칭 듀얼 모듈러스 프리스케일러.

청구항 10

제 9 항에 있어서,
 상기 위상 제어 유닛(RTU)은 상기 제 5의 2분할 회로(E)의 입력에 결합된 D-래치(D-latch)(DL)를 더 포함하고,
 상기 D-래치(DL)는 상기 제 7의 2분할 회로(G)의 상기 동 위상 출력(I_p , I_n)의 이전 상태와, 위상 스위칭의 횟수를 나타내는 신호(모듈(modul))를 입력 신호로서 수신하는
 위상-스위칭 듀얼 모듈러스 프리스케일러.

청구항 11

제 9 항에 있어서,
 상기 듀얼 모듈러스 분할기(10)는 16/17 분할기인
 위상-스위칭 듀얼 모듈러스 프리스케일러.

청구항 12

제 9 항에 있어서,
 상기 듀얼 모듈러스 분할기(10)에 결합되어 상기 듀얼 모듈러스 분할기(10)를 재클로킹하는 동기화 루프를 더 포함하는
 위상-스위칭 듀얼 모듈러스 프리스케일러.

청구항 13

제 9 항에 기재된 프리스케일러를 포함하는 주파수 합성기.

명세서

기술분야

본 발명은 위상-스위칭 듀얼 모듈러스 프리스케일러(dual modulus prescaler) 및 주파수 합성기(frequency synthesizer)에 관한 것이다.

배경기술

주파수 합성에 대한 위상 고정 루프(phase-locked loop)(PLL) 방법은 현대의 통신 장치에서 고주파수 발진을 생성하기 위해서 가장 일반적으로 이용되는 방법이다. 프로그래밍 가능 주파수 합성기는 소정 범위의 주파수 내에서 선택된 주파수를 갖는 신호를 생성할 수 있는 장치이다. 프로그래밍 가능 주파수 합성기는 전압 제어형 발진기(voltage controlled oscillator)(VCO)를 이용하는 디지털 위상 고정 루프 회로를 활용하여 출력 신호를 생성한다. PLL은 합성기 출력 신호의 주파수를 모니터링하는 피드백 및 제어 루프를 포함하고, 그 주파수를 기준 신호의 주파수에 대해 비교하며, 합성기 출력 신호의 주파수를 조정하도록 VCO를 제어한다. VCO의 출력 신

호는 루프의 피드백 부분 내에서 디지털 주파수 분할기(프리스케일러로도 지칭됨)에 의해 가장 자주 분할되므로, 피드백 신호는 합성기의 출력 신호에 대한 선택된 약수(sub-multiple)인 주파수를 포함한다. 정수-N 분할기의 경우에, 분할기는 n번째 입력 펄스마다 출력 신호를 생성하여, 입력 주파수가 n으로 분할되게 한다. 피드백 신호의 위상은 안정한 기준 신호의 위상에 대해 비교되고, 그 차이는 VCO에 대한 피드백으로 에러 신호를 정의한다. VCO는 에러 신호를 감소시키기 위해서 합성기의 주파수를 조정한다. 일반적으로, 기준 신호는 합성기의 출력 신호보다 더 낮은 주파수를 갖는다.

[0003] 합성기의 출력 신호의 주파수 선택 가능성은 선택된 분할기 번호에 의해 합성기의 출력 신호를 분할하는 주파수 분할기의 프로그래밍 가능성에 의해 결정된다. 이러한 선택된 분할기 번호는 기준 신호의 주파수에 의해 분할된 합성기 출력 신호의 원하는 주파수와 같도록 선택된다. 그러므로, 서로 다른 분할기 번호를 선택하면 합성기의 출력 신호의 주파수가 변하게 된다.

[0004] 최대 주파수에서 작동하는 주파수 합성기의 2개의 블록은 VCO 및 프리스케일러이다. 상술된 바와 같이, 프리스케일러는 낮은 주파수 신호를 획득하기 위해서 소정 비율로 VCO의 출력 주파수를 분할한다. 그러면 이러한 신호는 PLL에 의해 안정한 기준 주파수로 고정된다. 더 우수한 주파수 해상도를 획득하기 위해서, 분할기 비율은 전형적으로 $N/N+1$ 의 형태로 변할 수 있고, 다시 말해서 이러한 분할기는 듀얼 모듈러스 프리스케일러로 지칭된다. 프로그래밍 가능 프리스케일러는 $N+1$ 분할을 구현하는 펄스 스왈로 회로(pulse swallow circuit)를 갖는 N-고정형 프리스케일러이다. N의 값을 작은 정수 간격으로 변경하는 것에 의해, VCO의 출력 주파수가 제어된다.

[0005] 고주파수에 적합한 합성기를 획득하기 위해서는, 고속 로직을 이용하는 큰 분할기 비율이 요구된다. 그러나, 이러한 큰 분할기는 큰 칩 크기를 요구하기 때문에 매우 값이 비싸다. 또한, 이러한 큰 루프 분할기는 매우 큰 전류를 유발하여, 휴대형 장치 분야의 이동 장치에 있어서는 적합하지 않을 것이다.

[0006] 통상적인 고속 듀얼 모듈러스 프리스케일러는 동기화된 분할기를 포함하고, 때때로 큰 분할 회수에 대한 비동기화된 분할기를 포함한다. 그러나 이러한 고속 동기화된 듀얼 모듈러스 분할기는 큰 전력 소모를 필요로 한다.

[0007] J.Craninckx는 KU 로이벤 대학에서의 그의 박사 논문에서 위상-스위칭 듀얼 모듈러스 프리스케일러의 개념을 제안하였다. 4/5 분할을 구현하기 위해서 2개의 2분할 분할기를 위상 선택 유닛과 함께 이용한다. 후속의 추가적인 128-분할기를 이용하여 512의 분할 번호를 생성한다. 이러한 개념은 예를 들면 IEEE 802.11a에 적용될 수 있다. 작동 주파수는 UNII 대역에서 5.15GHz 내지 5.35GHz이고, 채널 간격은 20MHz이다. ZIF(zero-IF) 아키텍처에서, 20MHz의 기준 주파수가 일반적으로 충분하기는 하지만, ZIF 부근에서 10MHz의 기준 주파수가 때때로 선택된다. 상술된 회로는 512 내지 544 사이의 임의의 비율이 획득될 수 있도록 최대 32 펄스까지 스왈로(swallow)할 수 있게 하는 5비트 제어 신호를 갖는 모듈러스 제어 유닛을 더 포함한다. 따라서, 정수-N 프리스케일러 아키텍처는 515 내지 535 사이의 분할 비율을 구비한다.

[0008] 10MHz의 기준 주파수가 상기 회로에 적용되면, $10\text{MHz} \times 516$ 은 5.16GHz가 되고, 이것은 20MHz의 채널 폭을 갖고 5.15GHz 내지 5.17GHz의 제 1 채널의 중심을 형성한다. 그리고 다음 채널은 제 1 채널의 중심으로부터 20MHz, 즉 5.18GHz의 중심에서 5.17GHz 내지 5.19GHz가 된다. 이 중심은 10MHz의 기준 주파수에서 518의 분할 비율에 의해 획득될 수 있다. 최종 또는 최대 채널은 5.33GHz 내지 5.35GHz이고, 이것은 534의 분할 비율에 의해 획득될 수 있다.

[0009] 그러나, 위상 선택 신호로부터 최대 128개의 분할 신호가 생성될 수 있으므로, 이것은 이 회로의 속도에 영향을 줄 것이다.

[0010] 변형된 위상-스위칭 듀얼 모듈러스 프리스케일러의 일례는 1999년 4월 26일자로 HKUST의 전기 및 전자 엔지니어링 부서의 Kan Kwok Kei, Toby에 의해 발표된 "CMOS divide-by-8/9 for frequency synthesizer"에 나타나 있다. 이러한 프리스케일러는 입력 주파수의 최대 속도로 작동하는 제 1 고주파수 2분할-회로(divide-by-2-circuit)로 이루어진다. 제 1의 2분할-회로 다음에는 서로에 대한 위상이 90° 의 위상차를 갖는 4개의 위상 출력 신호를 갖는 제 2의 2분할-회로가 존재한다. 위상 선택 회로는 제 2의 2분할-회로의 4개의 위상 출력 신호 중 하나를 선택한다. 위상 선택 회로는 2개의 스위칭 가능 증폭기 및 3개의 NAND 게이트를 포함한다. 스위칭 가능 증폭기에서, 동 위상(I) 및 직교(Q) 신호는 증폭되고, 제어 신호(C1, C2)에 따라서 입력 신호의 정(positive) 또는 부(negative)의 증폭이 선택된다. 스위칭 가능 증폭기의 속도는 이러한 프리스케일러의 최대 속도에 대한 한정 인자를 구성한다. 위상 선택 회로는 기본적으로 멀티플렉서를 구현하는데, 다시 말해서 제 2의 2분할 회로의 4개의 위상 출력 신호 중 하나를 출력 신호로서 선택한다. 제 3 제어 신호(C0)에 따르면, 2개

의 스위칭 가능 증폭기의 출력 중 하나는 출력으로서 선택된다. 제어 신호는 현재의 신호에 대한 90° 지연을 구현하는 최종 출력의 정의 에지(positive edge)마다 변경된다. 위상 선택 회로는 2개의 2분할 회로에 의해 진행되기 때문에, 90° 지연은 N+1 분할 비율이 구현될 때 프리스케일러의 입력 신호의 주기에 실제적으로 대응한다.

[0011] 이러한 회로를 가지고, 1.85GHz의 작업 속도가 구현된다. 그러나, 무선 데이터 네트워크 등과 같은 적용 분야에서는 더 높은 작동 주파수가 요구된다.

[0012] Krishnapura 등에 의한 "A 5.3GHz Programmable Divider for HiPerLAN in 0.25μ CMOS"라는 제목의 문헌(IEEE Journal of Solid State Circuits, vol.35, no.7, pp.1019~1024, 2000년 7월호)에서, 5.3GHz의 작동 주파수에 기초한 주파수 분할기가 개시되어 있다. 주파수 분할기는 위상 스위칭을 이용하고, 제 1의 2분할 회로와, 4개의 위상 출력 신호를 갖는 제 2의 2분할 회로를 포함한다. 제 2의 2분할 회로의 출력 신호는 재타이밍 회로(retiming circuit)에 입력되고, 이 재타이밍 회로는 디코더로부터의 제어 신호에 따라서 이러한 4개의 출력 신호 중의 하나를 다른 출력 신호로 스위칭한다. 제 2의 2분할 회로의 4개의 출력 신호는 서로에 대해 90°의 위상차를 가진다. 임의의 주어진 시간에, 이러한 출력 중 오로지 하나만이 멀티플렉서를 통해 후속 분할기에 접속된다. 사이클의 스왈로(swallowing) 및 그에 따른 주파수 분할기의 전체 카운트를 1씩 증분(augmenting)하는 것은, 90°만큼 현재의 신호를 지연(lagging)하는 제 2의 2분할 회로의 출력으로 스위칭하는 것에 의해 실행된다. 임의의 분할 계수를 획득하기 위해서, 멀티플렉서의 제어 입력을 적절히 변경하는 것에 의해 입력 사이클은 스왈로될 수 있다. 위상 스위칭이 존재하지 않으면, 분할기는 4×N의 분할 계수를 포함한다. 그러나, 분할기의 출력의 각 사이클에서 위상이 4번 스위칭되면, K 입력 사이클은 스왈로되고, 분할 계수는 K만큼 증분된다. K를 변경함으로써, 프로그래밍 가능 주파수 분할기를 달성할 수 있다. 펄스 생성기는 출력 사이클마다 K개의 펄스를 생성하고, 여기에서 K는 펄스 생성기의 프로그래밍 입력에 의해 설정된다. 4분할 카운터(divide-by-4 counter)는 멀티플렉서를 제어하는 디코더의 입력 신호로서 이용된다. 이러한 4분할 카운터는 펄스 생성기의 출력 펄스에 의해 클로킹(clocked)되고, 4개의 상태를 통해 사이클링되는데, 이러한 4개의 상태는 각각 멀티플렉서 내의 4개의 가능한 접속 중 하나에 대응한다. 글리치 제거(glitch-free) 스위칭을 제공하기 위해서, 제 2의 2분할 회로의 0° 및 90° 출력이 모두 하이(high)일 때 스위칭이 실행되어야 한다. 또한, 제어 신호뿐만 아니라 클록 신호가 멀티플렉서의 입력에 동기적으로 도달하게 하기 위해서, 버퍼는 제어 신호 생성기와 동일하게 지연을 갖는 클록 라인 내에서 구현되어 타이밍 부정확성(timing inaccuracies)을 보정한다.

발명의 상세한 설명

[0013] 그러므로 본 발명의 목적은 향상된 고속 프리스케일러를 제공하는 것이다.

[0014] 이러한 목적은 청구항 제 1 항에 기재된 위상-스위칭 듀얼 모듈러 프리스케일러 및 청구항 제 8 항에 기재된 주파수 합성기에 의해 달성된다.

[0015] 그러므로, 듀얼 모듈러 분할기를 구비하는 위상-스위칭 듀얼 모듈러 프리스케일러가 제공된다. 상기 분할기는 제 1 및 제 2의 2분할 회로(A;B)를 포함하고, 상기 제 2의 2분할 회로(B)는 상기 제 1의 2분할 회로(A)의 출력에 결합되고, 적어도 상기 제 2의 2분할 회로(B)는 각각 90°의 위상차를 갖는 4개의 위상 출력을 포함한다. 위상 선택 유닛(PSU)은 제 2의 2분할 회로(B)의 4개의 위상 출력(I_p, I_n, Q_p, Q_n; IN_i, IN_{ni}, IN_q, IN_{nq}) 중 하나를 선택하기 위해 제공된다. 또한, 위상 제어 유닛은 위상 선택 유닛에 대해 제어 신호(C0, NC0; C1, NC1; C2, NC2)를 제공하도록 제공되고, 여기에서 위상 선택 유닛(PSU)은 제어 신호(C0, NC0; C1, NC1; C2, NC2)에 따라서 4개의 위상 출력(I_p, I_n, Q_p, Q_n; IN_i, IN_{ni}, IN_q, IN_{nq})에 대한 선택을 실행한다. 상기 위상 선택 유닛(PSU)은 직접 로직에 기초하여 구현된다.

[0016] 직접 로직에 기초한 위상 선택 유닛의 구현은 스위칭 가능 증폭기의 구현에 비해 더 높은 속도를 가능하게 하고, 칩 상에서 면적을 절약한다.

[0017] 본 발명의 일 측면에 따르면, 위상 선택 유닛(PSU)의 출력(OUT)은 다음의 로직 코드, 즉,

$$OUT = \overline{NC0} \cdot NC1 \cdot \overline{INi} + \overline{NC0} \cdot C1 \cdot INni + \overline{C0} \cdot NC2 \cdot \overline{INq} + \overline{C0} \cdot C2 \cdot INq$$

[0019] 에 따라서 구현되고, +, ·, $\overline{}$ 는 각각 OR-, AND 및 NAND 함수를 나타낸다. 이러한 구성에 의해서, 분할기의 출력 신호 중에서 제어 신호(C0, C1, C2)의 적절한 신호 표현이 가능해진다.

- [0020] 본 발명의 다른 측면에 따르면, 위상 선택 유닛(PSU)의 출력에 결합된 4분할 회로(divide-by-4 circuit)(UA)가 제공된다. 상기 4분할 회로(UA)는 각각 90° 의 위상차를 갖는 4개의 위상 출력(I_p , I_n , Q_p , Q_n)을 갖는 제 6 및 제 7의 2분할 회로(F, G)를 포함한다. 상기 제 7의 2분할 회로(G)는 상기 제 6의 2분할 회로(F)의 직교 출력(Q_p , Q_n)에 결합된다.
- [0021] 본 발명의 또 다른 측면에 따르면, 상기 위상 제어 유닛(RTU)은 각각 90° 의 위상차를 갖는 4개의 위상 출력(I_p , I_n , Q_p , Q_n)을 구비하는 제 4 및 제 5의 2분할 회로(D, E)를 포함한다. 제 4 및 제 5의 2분할 회로(D, E)는 직렬로 결합되어 있다. 제 5의 2분할 회로(E)의 동 위상 출력(I_p , I_n)은 제어 신호(C0)에 대응한다. 제 4의 2분할 회로(D)의 동 위상 출력(I_p , I_n)은 제어 신호(C1)에 대응한다. 제 4의 2분할 회로(D)의 직교 위상 출력(Q_p , Q_n)은 제어 신호(C2)에 대응한다.
- [0022] 본 발명의 또 다른 측면에 따르면, 상기 위상 제어 유닛(RTU)은 제 5의 2분할 회로(E)의 입력에 결합된 D-래치(D-latch)(DL)를 더 포함한다. 상기 D-래치(DL)는 상기 제 7의 2분할 회로(G)의 상기 동 위상 출력(I_p , I_n)의 이전 상태와, 위상 스위칭의 회수를 나타내는 신호 'modul'을 입력 신호로서 수신한다.
- [0023] 본 발명의 바람직한 측면에 따르면, 상기 프리스케일러는 듀얼 모듈러 분할기(10)에 결합되어 듀얼 모듈러 분할기(10)를 재클로킹(reclocking)하는 동기화 루프(synchronization loop)를 더 포함한다.
- [0024] 본 발명 및 그 실시예는 첨부된 도면을 참조하여 보다 상세하게 설명될 것이다.

실시예

- [0031] 도 1은 IEEE 802.11a 표준에서 이용될 수 있는 수신기를 도시하는 블록도이다. 도 1의 상부 부분은 저 노이즈 증폭기(low noise amplifier)(LNA)에 접속된 안테나(ANT)를 나타내고, 저 노이즈 증폭기(LNA)는 아날로그-디지털 변환기(ADC)에 접속된 제 1 및 제 2 믹서(MI, MQ)에 접속된다. 도 1의 하부 부분은 PLL 회로의 구현을 도시한다. PLL 회로는 전압 제어형 발진기(VCO), 제 1의 2분할 회로, 프리스케일러(PS), 위상 주파수 검출기(PFD), 기준 결정(Xtal), 전하 펌프(charge pump)(CP) 및 로우 패스 필터(low pass filter)(LPF)를 포함한다. 2분할 회로의 출력은 제 1 및 제 2 믹서(MI, MQ)에 결합되어 있다.
- [0032] 이하에서, 프리스케일러(PS)에 대해 상세하게 설명할 것이다.
- [0033] 도 2는 도 1의 프리스케일러를 도시하는 블록도이다. 프로그래밍 가능 프리스케일러는 16/17 분할기(10), 버퍼(20), 분할기(30), 판정 유닛(40), 동기화 유닛(50) 및 D-플립-플롭(D-flip-flop)(60)을 포함한다. 16/17 분할기(10)는 버퍼(20)에 접속되고, 버퍼(20)는 분할기(30)에 접속된다. 분할기(30)는 5개의 출력 신호, 즉 /2, /4, /8, /16 및 /32를 갖고, 제로 검출 출력(zero detection output) '제로'를 가진다. 이러한 5개의 출력 신호는 판정 유닛(40) 및 동기화 유닛(50)에 입력된다. 판정 유닛(40)은 또한 5 비트 제어 신호(b0, b1, b2, b3, b4)를 수신하고, 판정 유닛(40)의 출력은 동기화 유닛(50)의 입력을 형성한다. 동기화 유닛(50)의 출력은 D-플립-플롭(60)의 클록 입력에 입력된다. 이러한 입력된 '데이터'는 공급 전압(VDD)에 접속된다. 분할기(30)의 출력 신호 '제로'는 D플립-플롭(60)의 CD 입력에 접속된다. D-플립-플롭(60)의 출력 신호는 16/17 분할기(10)로 피드백되고, 그 '재클록(reclock)' 입력으로 입력된다.
- [0034] 분할기(30)는 신호 /2, /4, /8, /16 및 /32를 생성하고, 이들은 판정 유닛(40)에 입력된다. 이 신호들은 얼마나 많은 펄스가 스왈로될 수 있는지 나타내는 신호, 즉 1, 2, ..., 32를 생성하기 위해 이용된다. 이것은 5 비트 제어 신호(b0, b1, b2, b3, b4)에 기초하여 실행된다.
- [0035] 하나의 펄스의 스왈로는 하나 이상의 펄스를 지연하는 것에 의해 실행되는데, 다시 말해서, 주파수 분할은 그 입력 신호에 관하여 실행된다. 하나의 펄스의 스왈로는 2분할과 동일하다.
- [0036] 동기화 유닛이 예를 들면, 1111을 검출하면, D-플립-플롭(60)의 클록 입력은 인에이블(enabled)되고, 분할기(30)의 '제로' 출력에서 0이 검출되면 16/17 분할기(10)가 재클로킹(reclocked)된다. 이것에 의해 회로를 재클로킹하고 래치(latches)에 기인한 지연을 제거하는 동기화 펄스가 구현된다. 따라서, $16 \times 32 = 512$ 이고, 최대 32 펄스가 스왈로될 수 있어서 $512 + 32 = 544$ 가 되기 때문에, 512 내지 544 사이의 임의의 정수로 입력 신호를 분할할 수 있는 프로그래밍 가능 프리스케일러가 구현된다.
- [0037] 도 3은 도 2의 16/17 분할기(10)를 도시하는 블록도이다. 분할기(10)는 제 1 및 제 2의 2분할 회로(A, B)를 포

함한다. 제 2의 2분할 회로(B)의 입력은 제 1의 2분할 회로(A)의 동 위상 출력(I_p , I_n)에 접속된다. 제 3의 2분할 회로(C)는 제 1의 2분할 회로(A)의 직교 출력(Q_p , Q_n)에 접속되고, 이러한 출력(I_p , I_n , Q_p , Q_n)은 부하(Ld)에 접속된다. 추가적으로, 분할기(10)는 위상 선택 유닛(PSU), 재타이밍 유닛(RTU) 및 4분할(divide-by-four) 유닛(UA)을 포함한다. 재타이밍 유닛(RTU)은 위상 선택 유닛(PSU) 내의 위상 스위칭을 제어하기 위해 3개의 제어 신호(C0, C1, C2)를 생성한다. 제 2의 2분할 회로(B)의 4개의 위상 출력 신호는 위상 선택 유닛(PSU)에 입력된다. 재타이밍 유닛(RTU)에 의해 제공된 제어 신호(C0, C1, C2)에 따르면, 위상 선택 유닛(PSU)은 제 2의 2분할 회로(B)의 4개의 위상 출력 신호 중 하나를 선택하고, 이 신호를 4분할 유닛(UA)에 출력한다. 제 3의 2분할 회로(C)는 적절한 부하(load)를 위해 제공된다.

[0038] 재타이밍 유닛(RTU)은 위상 선택 유닛(PSU)을 구동하고, 제어 신호(C0, C1, C2)에 의해 위상 스위칭을 제어하기 위해 제공된다. 재타이밍 유닛(RTU)은 제 4 및 제 5의 2분할 회로(D, E) 및 스왈로 유닛(swallow unit)(SU)을 포함한다. 스왈로 유닛은 몇 개의 펄스가 스왈로되어야 하는지를 판정한다.

[0039] 4분할 유닛(UA)은 제 6 및 제 7의 2분할 회로(F, G)를 포함한다. 제 6의 2분할 회로(F)의 입력은 위상 선택 유닛(PSU)의 출력에 접속되고, 제 6의 2분할 회로(F)의 동 위상 출력 신호(I_p , I_n)는 부하(Ld)에 접속되고, 그 직교 출력(Q_p , Q_n)은 제 7의 2분할 회로의 입력에 접속된다. 마지막으로, 제 7의 2분할 회로(G)의 동 위상 출력 신호는 16/17 분할기(10)의 출력을 구성한다.

[0040] 사이클 슬립(cycle-slip)이 발생하지 않으면, 이 경우에는 4개의 2분할 회로(A, B, F, G)가 직렬로 접속되어 있기 때문에 전체 16개의 분할이 달성된다. 따라서, 사이클 슬립이 발생하면, 분할기(10)로 17분할(division-by-17)이 구현될 수 있다.

[0041] 위상 선택 유닛(PSU)은 제 2의 2분할 회로(B)의 4개의 위상 출력 신호를 입력 신호로서 수신한다. 이러한 신호는 서로에 대한 위상에 있어서 90° 의 차이를 갖기 때문에, 위상 선택 유닛(PSU)의 입력에 다음의 신호, 즉 $INi(0^\circ, I_p)$, $INq(90^\circ, Q_p)$, $INni(180^\circ, I_n)$ 및 $INnq(270^\circ, Q_n)$ 가 제공된다. 위상 선택 유닛(PSU)은 3개의 제어 신호(C0, C1, C2) 및 그 반전값에 따라서 4개의 입력 신호 중 하나를 선택한다.

[0042] 위상 선택 유닛(PSU)의 출력이 초기에 INi 에 접속되어 있다고 가정하면, 이 출력은 INi 의 상승 에지(raising edge) 이후에 INq 에 접속될 것이다. 따라서, 위상 선택 유닛(PSU)의 출력은 위상 선택 유닛(PSU)의 입력 신호의 $1/4 T$ 주기만큼 지연된다. 그러나, 위상 선택 유닛(PSU)의 입력 신호는 2개의 2분할 회로에 의해 분할되었기 때문에, T 는 $4 \times T_0$ 가 되고, 여기에서 T_0 는 16/17 분할기(10)의 입력 신호의 주기이다. 결과적으로, 입력 신호의 하나의 완전한 주기(T_0)는 위상 선택에 의해 지연되고, 다시 말해서 위상 스위칭은 분할기(10)의 입력 신호의 하나의 완전한 주기의 지연을 초래할 것이다.

[0043] 파형(I_p , Q_p , I_n , Q_n)은 제 2의 2분할 회로(B)의 위상(0° , 90° , 180° , 270°)에 각각 대응하고, 다시 말해서, 주기(T)는 $4 \times T_0$ 와 같게 되는데, 여기에서 T_0 는 16/17 분할기의 입력 신호의 주기이다. 상술된 바와 같이, 16/17 분할기에 의해 16분할(division-by-16)이 구현되면, 사이클 슬립이 존재하지 않고, 위상 스위칭은 발생하지 않는데, 다시 말해서 PSU의 출력이 4분할에 대응하게 된다. 그러나, 17분할(division-by-17)이 구현되면, 위상 스위칭은 발생할 것이다. 스위칭은 고정된 시퀀스로 발생되고, 바람직하게는 I , Q , nI , nQ 의 시퀀스, 즉 0° , 90° , 180° , 270° 의 시퀀스로 발생된다. 그러므로, 입력 신호(INi), 즉 I_p 가 위상 선택 유닛(PSU)의 출력에 초기에 접속되면, 입력 신호(INq), 즉 Q_p 가 선택될 것이고, 위상 선택 유닛(PSU)의 출력을 형성한다. 이러한 스위칭이 발생되자마자, 16/17 분할기의 입력 신호의 주기에 대응하는 90° 의 추가 지연이 PSU의 출력에 도입되고, 다시 말해서 PSU의 출력은 5분할(divide-by-5)에 대응한다. 다시 말해서, 위상 선택 유닛(PSU)은 그 입력 신호에 대해 지연을 도입하거나 추가적인 사이클 슬립을 도입한다.

[0044] 도 4는 도 3의 위상 선택 유닛(PSU)을 도시하는 회로도이다. 이 회로는 22개의 트랜지스터($T1$ - $T22$) 및 4개의 저항(R)을 포함한다. 이러한 회로는 다음의 로직 코드, 즉,

$$OUT = \overline{NC0} \cdot \overline{NC1} \cdot \overline{INi} + \overline{NC0} \cdot C1 \cdot \overline{INni} + \overline{C0} \cdot \overline{NC2} \cdot \overline{INnq} + \overline{C0} \cdot C2 \cdot \overline{INq}$$

[0046]에 따라서 구현되고, +, ·, $\overline{}$ 는 각각 OR-, AND 및 NAND 함수를 나타낸다.

[0047] OUT는 위상 선택 유닛(PSU)의 출력 신호를 나타내고, INi , $INni$, $INnq$, INq 는 위상 선택 유닛(PSU)의 4개의 입력 신호를 나타낸다. C0, C1 및 C2는 제어 신호를 나타내고, NC0, NC1 및 NC2는 그 반전값을 나타낸다. 신호

(C1)는 입력 신호(INi, INni) 사이에서, 즉 0° 와 180° 사이에서 선택한다. 신호(C2)는 INq 및 INnq 사이에서, 즉 90° 및 270° 사이에서 선택한다. 제어 신호(C1)에 따른 선택 결과는 Pi이고, 제어 신호(C2)에 따른 선택 결과는 Pq이다. 제어 신호(C0)는 결과(Pi, Pq) 중에서 선택한다. 입력 신호(INi)는 트랜지스터(T17)에 입력되고, 입력 신호(INni)는 트랜지스터(T18)에 입력되며, 입력 신호(INq)는 트랜지스터(T20)에 입력되고, 입력 신호(INnq)는 트랜지스터(T19)에 각각 입력된다. 다음 행의 트랜지스터, 즉 T9-T16에서, 선택된 신호(Pi, Pq)를 획득하기 위해서 C1 및 C2의 상태에 따라서 선택이 실행된다. 다음 행의 트랜지스터, 즉 T1-T8은 제어 신호(C0)의 상태에 따라서 2개의 선택 신호(Pi, Pq) 중 하나를 선택하기 위해 이용된다.

[0048] 상기 로직 코드는 OR-접속형인 4개의 브랜치(branches)를 포함한다. 제 1 브랜치는 트랜지스터(T1, T9, T17)에 의해 구현된다. 제 2 브랜치는 트랜지스터(T1, T11, T18)에 의해 구현된다. 제 3 브랜치는 트랜지스터(T3, T13, T19)에 의해 구현된다. 제 4 브랜치는 트랜지스터(T3, T15, T20)에 의해 구현된다.

[0049] AND 로직 함수, 예를 들면 제 1 브랜치 NC0?NC1?INi는 현재의 신호에 의해 차동적으로(differentially) 구현된다. NAND 로직은 현재의 도메인 내의 입력을 차동적으로 스위칭하는 것에 의해 구현된다. OR 로직은 부하(R) 내의 NAND 로직의 출력 전류를 추가하는 것에 의해 구현된다. 이러한 구현의 이점은 현재의 도메인 내의 차동적 구현에 기인하여 속도를 증가시킬 수 있다는 것이다.

[0050] 도 5는 도 3의 위상 선택 유닛(PSU) 및 제타이밍 유닛(RTU)을 도시하는 블록도이다. 상술된 바와 같이, 제타이밍 유닛(RTU)은 제 4 및 제 5의 2분할 회로(D, E)에 의해 구현된다. 스왈로 유닛(SU)은 D-래치(DL)에 의해 구현된다. D-래치(DL)는 16/17 분할기(10)의 출력 'out'을 데이터 입력으로서 수신하고, 변조기 신호(modulator signal) 'modul'을 클록 입력으로서 수신한다. D-래치(DL)의 출력 신호(Q, nQ)는 제 5의 2분할 회로(E)에 입력되고, 이러한 제 5의 2분할 회로(E)는 각각 90°의 위상차를 갖는 4개의 위상 출력 신호를 제공한다. 이러한 제 5의 2분할 회로(E)의 동 위상 출력 신호(Ip, In)는 제어 신호(C0, NC0)를 구성한다. 그의 직교 출력(Qp, Qn)은 제 4의 2분할 회로(D)에 입력된다. 제 4의 2분할 회로(D)의 동 위상 출력 신호(Ip, In)는 제어 신호(C1, NC1)를 구성하고, 직교 출력 신호(Qp, Qn)은 제어 신호(C2, NC2)를 구성한다. 상술된 바와 같이, 이러한 3개의 제어 신호(C0, C1, C2)는 위상 선택 유닛(PSU)에 입력되어, 그의 위상 선택을 제어한다. 변조기 펄스는 발생되어야 하는 위상 스위칭의 회수를 나타낸다. 신호 'out'는 위상 선택 유닛(PSU)의 이전 상태, 즉 I, nI, Q, nQ를 나타낸다. 위상 스위칭은 고정된 시퀀스, 즉 I에서부터 Q까지, 그 다음에 nI 및 nQ까지의 시퀀스, 다시 말해서 0°, 90°, 180° 및 270°로 실행된다. 그러나, 다른 시퀀스도 가능하다.

[0051] 도 6은 분할기를 도시하는 타이밍도이다. 가장 상부의 파형, VT(div_out)는 분할기의 출력에 대응한다. 가장 하부의 3개의 파형, 즉 VT(C0), VT(C1), VT(C2)은 각각 제어 신호(C2, C1, C0)에 대응한다. 파형 VT(mod_enable)은 제타이밍 유닛(RTU)의 D-래치(DL)의 변조기 입력 'modul'에 대응한다. 파형 VT(out)은 위상 선택 유닛(PSU)의 출력에 대응한다. 파형 VT(out16)은 제 7의 2분할 회로(F)의 출력, 즉 16/17분할기(10)의 출력에 대응한다.

[0052] C1 및 C2가 각각 제 4의 2분할 회로(D)의 출력의 동 위상 및 직교 위상에 대응하기 때문에, 제어 신호(C0, C1, C2)의 파형으로부터, C2의 파형은 C1의 파형에 대해서 90° 시프트된다는 것을 확인할 수 있을 것이다. 신호(C1, C2)의 주기는 제 4의 2분할 회로(D)의 추가적인 2분할 동작에 기인하여 신호(C0)의 주기보다 2배만큼 높다.

[0053] 요약하자면, 4/5 분할기를 기반으로 이용하는 것 대신에, 단일 고정형 16/17-주파수-분할기 뒤에 프로그래밍 가능 5 스테이지 정수-2 분할기(즉, 5비트로 제어됨)를 선택한다고 할 수 있다. 이것의 이점은 위상 선택기 이후의 블록이 오로지 /2, /4, /8, /16 및 /32의 신호만을 생성하면 된다는 것이다. 원칙적으로, 32/33 분할기는 4-스테이지 정수-2 분할기와 조합하여 작업할 수 있기는 하지만, 32/33 분할기(또한 16/17 분할기)는 그 입력에서 5GHz로 작동하고 이것은 32/33 분할기의 구현을 어렵게 한다. 최종 D-플립-플롭을 포함하는 동기화 장치(synchronizer)는 시간 동기화를 실행하기 위해 요구된다. 동기화 장치 및 D-플립-플롭은 최종 출력 신호, 즉 512 내지 544 사이의 임의의 정수에 의해 분할되는 입력 신호를 생성하고, 동기화 펄스를 구현하여 회로를 재클로킹하고, 래치에 기인한 지연을 제거한다.

[0054] 상술된 실시예는 본 발명을 한정하는 것이 아니라 예시하는 것이며, 당업자라면 첨부된 청구항의 범주를 벗어나지 않으면서 여러 다른 실시예를 설계할 수 있다는 것을 유의하라. 청구항 내에서, 괄호가 씌워진 임의의 참조 부호는 청구항을 한정하는 것으로 간주되어서는 안 된다. "포함한다"라는 용어는 청구항 내에 열거된 것 이외의 구성 요소 또는 단계의 존재를 배제하지 않는다. 단수로 표현된 구성 요소는 이러한 구성 요소가 복수 개

존재하는 것을 배제하지 않는다. 여러 수단을 열거하는 장치항에서, 여러 수단은 하드웨어의 하나의 항목 또는 동일 항목에 의해 통합될 수 있다. 소정의 수단이 서로 상이한 종속항 내에서 언급되었다는 사실만으로 이러한 수단의 조합이 유리하게 이용될 수 없다는 것을 의미하지는 않는다.

[0055] 또한, 청구항 내의 임의의 참조 부호는 청구항의 범주를 제한하는 것으로 간주되지 않는다.

도면의 간단한 설명

[0025] 도 1은 수신기를 도시하는 블록도.

[0026] 도 2는 본 발명에 따른 도 1의 프로그래밍 가능 프리스케일러(PS)를 도시하는 블록도.

[0027] 도 3은 본 발명에 따른 도 2의 16/17 분할기를 도시하는 도면.

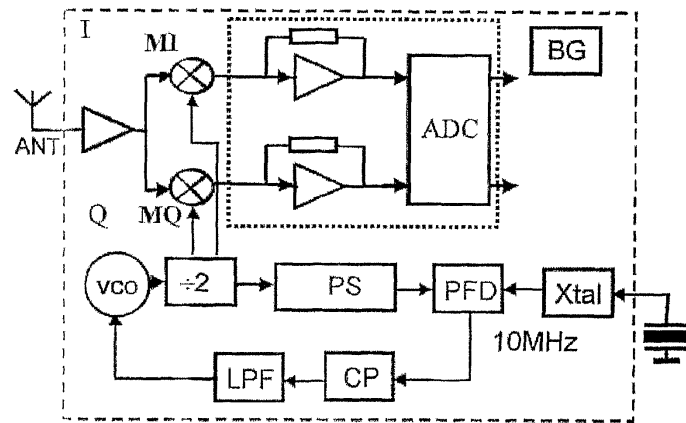
[0028] 도 4는 본 발명에 따른 도 3의 위상 선택 유닛을 도시하는 회로도.

[0029] 도 5는 본 발명에 따른 도 4의 재타이밍 유닛 및 위상 선택 유닛을 도시하는 도면.

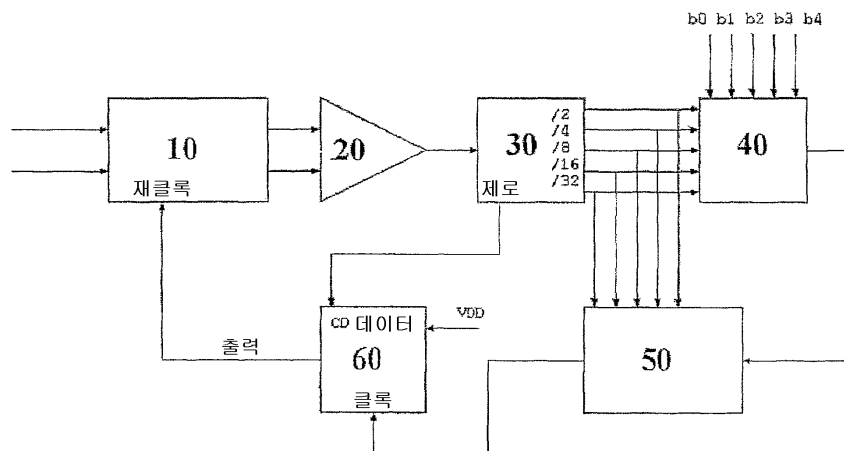
[0030] 도 6은 본 발명에 따른 분할기를 도시하는 타이밍도(timing diagram).

도면

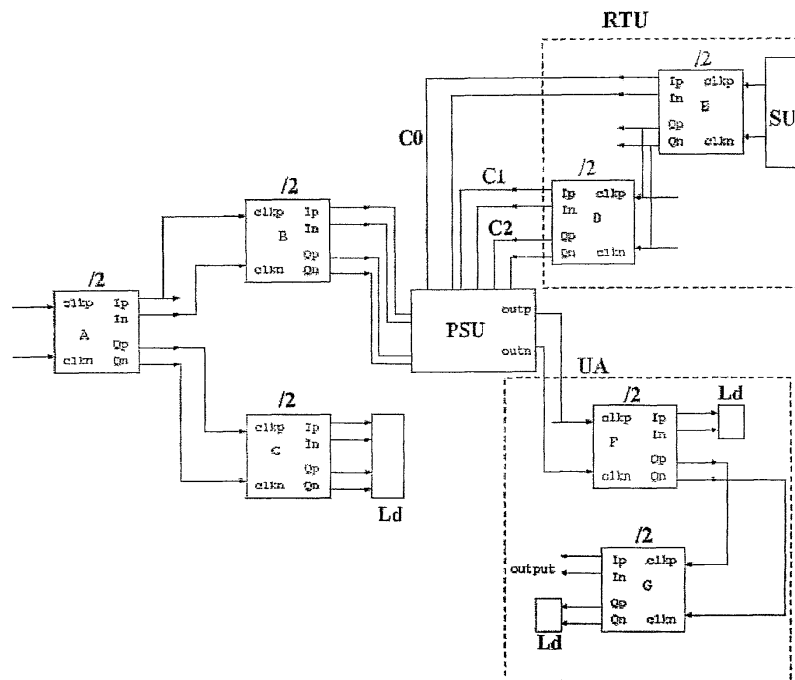
도면1



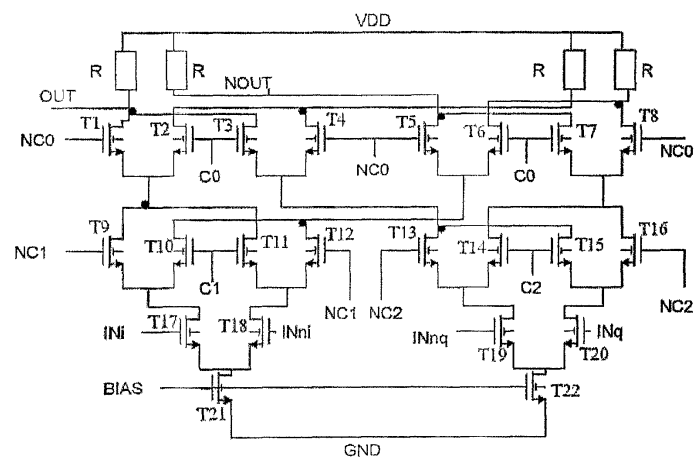
도면2



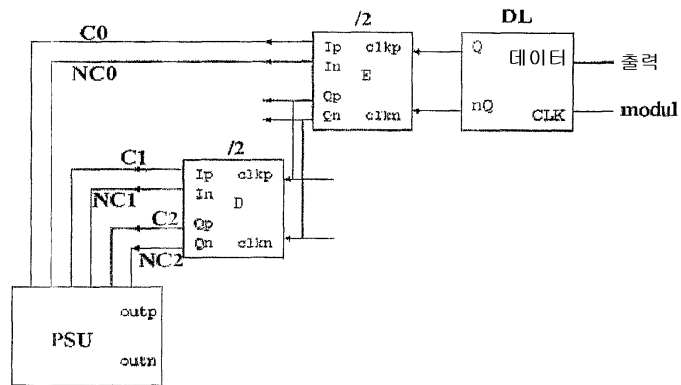
도면3



도면4



도면5



도면6

