

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】令和2年8月13日(2020.8.13)

【公表番号】特表2020-519993(P2020-519993A)

【公表日】令和2年7月2日(2020.7.2)

【年通号数】公開・登録公報2020-026

【出願番号】特願2019-559299(P2019-559299)

【国際特許分類】

G 06 T 1/20 (2006.01)

G 06 F 15/80 (2006.01)

G 06 F 9/38 (2006.01)

G 06 F 9/455 (2006.01)

【F I】

G 06 T 1/20 B

G 06 F 15/80

G 06 F 9/38 3 7 0 C

G 06 F 9/455

【手続補正書】

【提出日】令和2年6月8日(2020.6.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

方法であつて、

a) 画像処理アプリケーションソフトウェアプログラムの実行をシミュレートすることを含み、前記シミュレートすることは、生成カーネルのモデルから消費カーネルのモデルに通信される画像データのラインを格納および転送するシミュレートされたラインバッファメモリでカーネル間通信をインターフェクトすることを含み、前記シミュレートすることは、さらに、シミュレーションランタイムにわたって、それぞれのラインバッファメモリに格納されるそれぞれの画像データの量を追跡することを含み、前記方法はさらに、

b) 追跡されたそれぞれの画像データの量から、対応するハードウェアラインバッファメモリのそれぞれのハードウェアメモリ割り当てを決定することと、

c) 前記画像処理アプリケーションソフトウェアプログラムを実行するよう、画像プロセッサのために構成情報を生成することとを含み、前記構成情報は、前記画像プロセッサのハードウェアラインバッファメモリのハードウェアメモリ割り当てを記述する、方法。

【請求項2】

前記追跡することは、シミュレートされたラインバッファメモリ書き込みポインタとシミュレートされたラインバッファメモリ読み出しポインタとの間の差を追跡することをさらに含む、請求項1に記載の方法。

【請求項3】

前記決定することは、前記シミュレートされたラインバッファメモリ書き込みポインタと前記シミュレートされたラインバッファメモリ読み出しポインタとの間の最大観測差に基づく、請求項1または請求項2に記載の方法。

【請求項4】

前記シミュレートすることは、前記画像データを消費するカーネルの1つ以上のモデル

が次の画像データのユニットを受け取るべく待機状態となるまで、前記次の画像データのユニットがシミュレートされたラインバッファメモリに書き込まれることを防ぐ書き込みポリシーを課すことをさらに含む、請求項1～請求項3のいずれか1項に記載の方法。

【請求項5】

前記書き込みポリシーは、前記次の画像データのユニットを生成する生成カーネルのモデルで実施される、請求項1～請求項4のいずれか1項に記載の方法。

【請求項6】

前記方法は、さらに、前記アプリケーションソフトウェアプログラムのシミュレートされた実行がデッドロックする場合に、前記書き込みポリシーに違反することを許可することを含む、請求項1～請求項5のいずれか1項に記載の方法。

【請求項7】

前記カーネルは、ハードウェア画像プロセッサの異なる処理コア上で動作し、前記ハードウェア画像プロセッサは、前記処理コア間で渡されるライングループを格納および転送するハードウェアラインバッファユニットを含む、請求項1～請求項6のいずれか1項に記載の方法。

【請求項8】

前記異なる処理コアは、2次元実行レーンおよび2次元シフトレジスタアレイを含む、請求項1～請求項7のいずれか1項に記載の方法。

【請求項9】

前記生成カーネルのモデルおよび前記消費カーネルのモデルは、画像データをシミュレートされたラインバッファメモリに送る命令を含み、シミュレートされたラインバッファメモリから画像データを読み出す命令を含むが、画像データを実質的に処理する命令は含まない、請求項1～請求項8のいずれか1項に記載の方法。

【請求項10】

画像プロセッサアーキテクチャが、2次元シフトレジスタアレイに結合された実行のアレイを含む、請求項1～請求項9のいずれか1項に記載の方法。

【請求項11】

前記画像プロセッサのアーキテクチャは、ラインバッファ、シート生成部、および/またはステンシルプロセッサのうちの少なくとも1つを含む、請求項1～請求項10のいずれか1項に記載の方法。

【請求項12】

前記ステンシルプロセッサは、重複するステンシルを処理するように構成される、請求項11に記載の方法。

【請求項13】

データ計算ユニットが、実行レーンアレイよりも広い次元を有するシフトレジスタ構造を備え、特に前記実行レーンアレイの外側にレジスタがある、請求項1～請求項12のいずれか1項に記載の方法。

【請求項14】

コンピューティングシステムであって、
中央処理ユニットと、
システムメモリと、
前記システムメモリと前記中央処理ユニットとの間のシステムメモリコントローラと、
前記コンピューティングシステムによって処理されると前記コンピューティングシステムに方法を実行させるプログラムコードを含む機械可読記憶媒体とを備え、前記方法は、
a) 画像処理アプリケーションソフトウェアプログラムの実行をシミュレートすることを含み、前記シミュレートすることは、生成カーネルのモデルから消費カーネルのモデルに通信される画像データのラインを格納および転送するシミュレートされたラインバッファメモリでカーネル間通信をインターフェクトすることを含み、前記シミュレートすることは、さらに、シミュレーションランタイムにわたって、それぞれのラインバッファメモリに格納されるそれぞれの画像データの量を追跡することを含み、前記方法はさらに、

b) 追跡されたそれぞれの画像データの量から、対応するハードウェアラインバッファメモリのそれぞれのハードウェアメモリ割り当てを決定することと、

c) 前記画像処理アプリケーションソフトウェアプログラムを実行するよう、画像プロセッサのために構成情報を生成することとを含み、前記構成情報は、前記画像プロセッサのハードウェアラインバッファメモリのハードウェアメモリ割り当てを記述する、コンピューティングシステム。

【請求項 15】

前記追跡することは、シミュレートされたラインバッファメモリ書き込みポインタとシミュレートされたラインバッファメモリ読み出しポインタとの間の差を追跡することをさらに含む、請求項14に記載のコンピューティングシステム。

【請求項 16】

前記決定することは、前記シミュレートされたラインバッファメモリ書き込みポインタと前記シミュレートされたラインバッファメモリ読み出しポインタとの間の最大観測差に基づく、請求項14または請求項15に記載のコンピューティングシステム。

【請求項 17】

前記シミュレートすることは、前記画像データを消費するカーネルの1つ以上のモデルが次の画像データのユニットを受け取るべく待機状態となるまで、前記次の画像データのユニットがシミュレートされたラインバッファメモリに書き込まれることを防ぐ書き込みポリシーを課すことをさらに含む、請求項14～請求項16のいずれか1項に記載のコンピューティングシステム。

【請求項 18】

前記書き込みポリシーは、前記次の画像データのユニットを生成する生成カーネルのモデルで実施される、請求項14～請求項17のいずれか1項に記載のコンピューティングシステム。

【請求項 19】

前記方法は、さらに、前記アプリケーションソフトウェアプログラムのシミュレートされた実行がデッドロックする場合に、前記書き込みポリシーに違反することを許可することを含む、請求項14～請求項18のいずれか1項に記載のコンピューティングシステム。

【請求項 20】

画像プロセッサアーキテクチャが、2次元シフトレジスタアレイに結合された実行のアレイを含む、請求項14～請求項19のいずれか1項に記載のコンピューティングシステム。

【請求項 21】

前記画像プロセッサのアーキテクチャは、ラインバッファ、シート生成部、および/またはステンシルプロセッサのうちの少なくとも1つを含む、請求項14～請求項20のいずれか1項に記載のコンピューティングシステム。

【請求項 22】

前記ステンシルプロセッサは、重複するステンシルを処理するように構成される、請求項21に記載のコンピューティングシステム。

【請求項 23】

データ計算ユニットが、実行レーンアレイよりも広い次元を有するシフトレジスタ構造を備え、特に前記実行レーンアレイの外側にレジスタがある、請求項14～請求項22のいずれか1項に記載のコンピューティングシステム。

【請求項 24】

コンピューティングシステムによって処理されると、前記コンピューティングシステムに請求項1～請求項13のいずれか1項に記載の方法を実行させるプログラム。