



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0102580
(43) 공개일자 2019년09월04일

(51) 국제특허분류(Int. Cl.)
G11C 29/00 (2006.01) G11C 11/401 (2006.01)
G11C 29/12 (2015.01)
(52) CPC특허분류
G11C 29/70 (2013.01)
G11C 11/401 (2018.05)
(21) 출원번호 10-2018-0023124
(22) 출원일자 2018년02월26일
심사청구일자 2018년06월04일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김선욱
경기도 남양주시 도농로 34, 214 동 2003 호 (도농동, 부영그린타운)
최규현
서울특별시 서초구 신반포로 19 길 10, 23 동 206 호 (반포동, 신반포 3 지구아파트)
전재영
서울특별시 강동구 풍성로 73 길 28 (둔촌동)
(74) 대리인
이기성

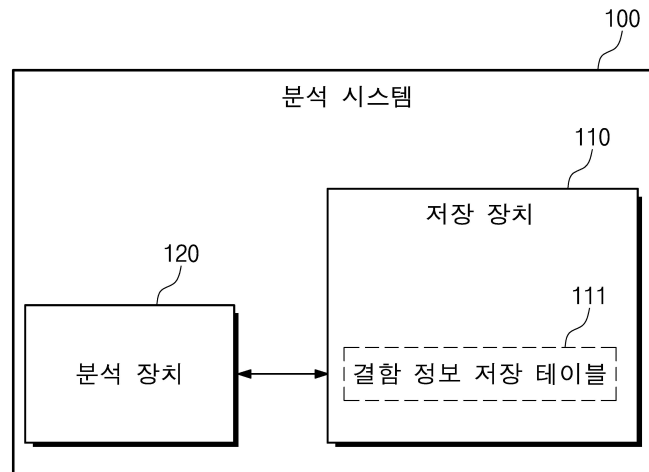
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 결합 정보 저장 테이블을 이용한 리페어 분석 시스템 및 그의 리페어 분석 방법

(57) 요약

본 출원은 메모리에 대한 리페어 분석 시스템 및 그의 리페어 분석 방법에 대한 것이다. 본 출원의 일 실시 예에 따른 결합 정보 저장 테이블을 이용한 저장 장치의 리페어 분석 방법은 상기 저장 장치의 설정에 기초하여 해시 함수 목록을 생성하는 단계; 상기 해시 함수 목록 내의 각각의 해시 함수를 이용하여 상기 저장 장치의 결합 셀에 대해 리페어 동작을 수행하는 단계; 및 상기 해시 함수 목록 내의 각각의 해시 함수 중 리페어 수행 후 남은 예비 요소가 최대인 해시 함수를 상기 결합 정보 저장 테이블에 저장하는 단계를 포함한다. 본 출원의 실시 예에 따른 리페어 분석 방법은 추가적인 저장 공간 없이 리프레시 주기를 늘릴 수 있다.

대표도 - 도1



(52) CPC특허분류

G11C 29/12 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711026254

부처명 미래창조과학부

연구관리전문기관 한국산업기술평가관리원

연구사업명 전자정보디바이스산업원천기술개발

연구과제명 Processing in Memory 반도체 아키텍처 및 데이터 집약적 응용처리를 위한 병렬처리 기술 개발

기 여 율 1/1

주관기관 전자부품연구원

연구기간 2015.06.01 ~ 2016.05.31

명세서

청구범위

청구항 1

결함 정보 저장 테이블을 이용한 저장 장치의 리페어 분석 방법에 있어서,

상기 저장 장치의 설정에 기초하여 해시 함수 목록을 생성하는 단계;

상기 해시 함수 목록 내의 각각의 해시 함수를 이용하여 상기 저장 장치의 결함 셀에 대해, 상기 저장 장치의 제조과정에서 리페어 동작을 수행하는 단계; 및

상기 해시 함수 목록 내의 각각의 해시 함수 중 리페어 동작 수행 후 남은 예비 요소가 최대인 해시 함수를 상기 결함 정보 저장 테이블에 저장하는 단계를 포함하는, 리페어 분석 방법.

청구항 2

제1항에 있어서,

상기 해시 함수 목록 내의 각각의 해시 함수를 이용하여 상기 저장 장치의 결함 셀에 대해, 상기 저장 장치의 제조과정에서 리페어 동작을 수행하는 단계는,

상기 각각의 해시 함수에 따라 상기 저장 장치를 물리 영역과 가상 영역으로 구성하는 단계를 포함하는, 리페어 분석 방법.

청구항 3

제2항에 있어서,

상기 해시 함수 목록은 상기 저장 장치의 로우 어드레스 비트 및 상기 가상 영역의 인덱스 비트에 기초하여 생성되는, 리페어 분석 방법.

청구항 4

제1항에 있어서,

상기 해시 함수 목록 내의 각각의 해시 함수를 이용하여 상기 저장 장치의 결함 셀에 대해, 상기 저장 장치의 제조과정에서 리페어 동작을 수행하는 단계는,

상기 해시 함수 목록 내의 하나의 해시 함수를 선택하는 단계;

상기 선택한 하나의 해시 함수를 이용하여 상기 저장 장치의 결함 셀에 대해 제1 리페어 동작을 수행하는 단계; 및

상기 제1 리페어 동작이 성공했는지 여부의 판단에 기초하여, 상기 해시 함수 목록 내의 상기 선택한 하나의 해시 함수와 다른 하나의 해시 함수를 다시 선택하여 상기 저장 장치의 결함 셀에 대해 제2 리페어 동작을 수행하는 단계를 포함하는, 리페어 분석 방법.

청구항 5

제1항에 있어서,

상기 해시 함수 목록 내의 각각의 해시 함수를 이용하여 상기 저장 장치의 결함 셀에 대해, 상기 저장 장치의 제조과정에서 리페어 동작을 수행하는 단계는,

상기 해시 함수 목록 내의 하나의 해시 함수를 선택하는 단계;

상기 선택한 하나의 해시 함수를 이용하여 상기 저장 장치의 결함 셀에 대해 리페어 동작을 수행하는 단계; 및

상기 선택한 하나의 해시 함수를 이용한 상기 리페어 동작이 성공했는지 여부의 판단에 기초하여, 상기 선택한 하나의 해시 함수를 이용한 상기 리페어 동작 후 남은 예비 요소를 기록하는 단계를 포함하는, 리페어 분석 방법.

법.

청구항 6

제1항에 있어서,

상기 해시 함수 목록 상의 각각의 해시 함수 모두를 이용하여 상기 저장 장치의 결함 셀에 대해 리페어 동작을 수행했는지 여부를 판단하는 단계; 및

상기 해시 함수 목록 상의 각각의 해시 함수 모두를 이용하여 상기 저장 장치의 결함 셀에 대해 리페어 동작을 수행하지 않았으면, 상기 해시 함수 목록 상의 각각의 해시 함수 중 리페어 동작에 사용하지 않은 다른 해시 함수를 선택하여 리페어 동작을 반복하는 단계를 더 포함하는, 리페어 분석 방법.

청구항 7

제1항에 있어서,

상기 해시 함수 목록 내의 각각의 해시 함수 중 리페어 동작 수행 후 남은 예비 요소가 최대인 해시 함수를 상기 결함 정보 저장 테이블에 저장하는 단계는,

상기 남은 예비 요소가 최대인 해시 함수를 이용하여 리페어를 수행했을 때의 대체된 결함 셀의 위치 정보 및 상기 남은 예비 요소의 위치 정보를 상기 결함 정보 저장 테이블에 저장하는 단계를 포함하는, 리페어 분석 방법.

청구항 8

제1항에 있어서,

타겟 리프레시 주기에서 테스트 패턴을 생성하여 상기 저장 장치의 결함 정보를 검출하는 단계; 및

상기 결함 정보 저장 테이블에 미리 저장된, 상기 저장 장치의 제조 과정에서의 상기 리페어 동작 수행 후 남은 예비 요소가 최대인 해시 함수 정보를 이용하고, 상기 저장 장치의 결함 정보에 기초하여 상기 저장 장치의 결함에 대해 리페어 동작을 수행하는 단계를 더 포함하는, 리페어 분석 방법.

청구항 9

제8항에 있어서,

타겟 리프레시 주기에서 테스트 패턴을 생성하여 상기 저장 장치의 결함 정보를 검출하는 단계는,

타겟 리프레시 주기에서 동작하지 못하는 약한 셀 및 상기 저장 장치의 제조 과정에서의 리페어 동작 수행 후 남아있는 결함 셀을 검출하는 단계를 포함하는, 리페어 분석 방법.

청구항 10

제8항에 있어서,

상기 저장 장치의 결함에 대해 리페어 동작이 성공한 경우, 상기 타겟 리프레시 주기를 상기 저장 장치의 리프레시 주기로 설정하는 단계를 더 포함하는, 리페어 분석 방법.

청구항 11

제8항에 있어서,

상기 저장 장치의 결함에 대해 리페어 동작이 실패한 경우, 상기 타겟 리프레시를 소정의 주기만큼 감소시키는 단계;

상기 감소된 타겟 리프레시 주기에서의 상기 저장 장치의 결함을 검출하는 단계;

상기 결함 정보 저장 테이블에 미리 저장된, 상기 저장 장치의 제조 과정에서의 상기 리페어 동작 수행 후 남은 예비 요소가 최대인 해시 함수 정보를 이용하고, 상기 감소된 타겟 리프레시 주기에서의 상기 저장 장치의 결함에 대해 리페어 동작을 수행하는 단계; 및

상기 감소된 타겟 리프레시 주기에서의 상기 저장 장치의 결함에 대해 상기 리페어 동작이 성공하였다면, 상기

감소된 타겟 리프레시 주기를 상기 저장 장치의 리프레시 주기로 설정하는 단계를 더 포함하는, 리페어 분석 방법.

청구항 12

제8항에 있어서,

상기 저장 장치의 결함에 대해 리페어 동작을 수행하는 단계는,

상기 결함 정보 저장 테이블에 미리 저장된, 상기 저장 장치의 제조 과정에서의 상기 리페어 동작시 이미 사용한 예비 요소와 관련된 정보를 이용하는 단계를 포함하는, 리페어 분석 방법.

청구항 13

제11항에 있어서,

상기 타겟 리프레시를 소정의 주기만큼 감소시키는 단계는,

상기 타겟 리프레시에서 리페어 되지 못한 상기 저장 장치의 결함의 양에 기초하여 상기 소정의 주기를 결정하는 단계를 포함하는, 리페어 분석 방법.

청구항 14

저장 장치; 및

상기 저장 장치에 대한 리페어 동작을 수행하는 분석 장치를 포함하며,

상기 분석 장치는,

상기 저장 장치의 설정에 기초하여 해시 함수 목록을 생성하고, 상기 해시 함수 목록 내의 각각의 해시 함수를 이용하여 상기 저장 장치의 결함 셀에 대해 상기 저장 장치의 제조과정에서 리페어 동작을 수행하고, 상기 해시 함수 목록 내의 각각의 해시 함수 중 리페어 수행 후 남은 예비 요소가 최대인 해시 함수를 상기 결함 정보 저장 테이블에 저장하는, 리페어 분석 시스템.

청구항 15

타겟 리프레시 주기에서 테스트 패턴을 생성하여 저장 장치의 결함 정보를 검출하는 BIST(Built In Self Test) 모듈;

결함 정보 저장 테이블에 미리 저장된, 상기 저장 장치의 제조 과정에서의 상기 리페어 동작 수행 후 남은 예비 요소가 최대인 해시 함수 정보를 이용하고, 상기 저장 장치의 결함 정보에 기초하여 상기 저장 장치의 결함에 대해 리페어 동작을 수행하는 BISR(Built In Self Repair) 모듈을 포함하는, 리페어 분석 시스템.

발명의 설명

기술 분야

[0001] 본 출원은 메모리에 대한 리페어 분석 시스템 및 그의 리페어 분석 방법에 대한 것이다.

배경 기술

[0002] DRAM 셀은 누설 전류가 발생하기 때문에 시간이 지남에 따라 저장한 데이터를 잃는 문제가 있다. 이를 방지하기 위하여 DRAM에서는 주기적으로 DRAM 셀을 읽고 쓰는 작업을 통해 캐패시터가 저장하고 있는 전하를 충전시켜주는 작업을 진행하며, 이를 리프레시라고 한다.

[0003] DRAM의 크기와 집적도가 증가하면서 DRAM 셀의 누설 전류 문제가 심화되고, 리프레시로 인한 성능 하락 및 전력 소모가 커진다. 특히 전체 DRAM 셀 중 약한 DRAM 셀은 전하가 빠르게 방전되어 데이터를 유지할 수 있는 시간이 짧으므로, 리프레시 주기를 짧게 하여 리프레시를 자주 수행해야 한다.

[0004] 전체 DRAM 셀 중 짧은 리프레시 주기가 필요한 약한 셀의 개수는 매우 적으나, 리프레시 주기를 길게 하면 이러한 약한 셀에 저장된 데이터를 보존할 수 없기 때문에 현재 생산되고 있는 DRAM 메모리 장치는 리프레시 주기를 64ms로 짧게 설정한다. 이를 해결하기 위해, 약한 셀의 위치를 기록하여 약한 셀이 존재하는 로우만 리프레시

주기를 빠르게 하고, 약한 셀이 없는 로우는 리프레시 주기를 길게 하는 멀티레이트 리프레시 기법이 제안되었으나, 이 기법은 로우 단위로 약한 셀의 존재 여부를 기록할 추가적인 저장 공간을 필요로 한다.

발명의 내용

해결하려는 과제

[0005] 본 출원의 목적은 추가적인 저장 공간 없이 리프레시 주기를 늘릴 수 있는 리페어 분석 방법을 제공하는데 있다.

과제의 해결 수단

[0006] 본 출원의 일 실시 예에 따른 결함 정보 저장 테이블을 이용한 저장 장치의 리페어 분석 방법은 상기 저장 장치의 설정에 기초하여 해시 함수 목록을 생성하는 단계; 상기 해시 함수 목록 내의 각각의 해시 함수를 이용하여 상기 저장 장치의 결함 셀에 대해 리페어 동작을 수행하는 단계; 및 상기 해시 함수 목록 내의 각각의 해시 함수 중 리페어 수행 후 남은 예비 요소가 최대인 해시 함수를 상기 결함 정보 저장 테이블에 저장하는 단계를 포함한다.

[0007] 일 실시 예에 있어서, 상기 해시 함수 목록 내의 각각의 해시 함수를 이용하여 상기 저장 장치의 결함 셀에 대해 리페어 동작을 수행하는 단계는, 상기 각각의 해시 함수에 따라 상기 저장 장치를 물리 영역과 가상 영역으로 구성하는 단계를 포함한다.

[0008] 일 실시 예에 있어서, 상기 해시 함수 목록은 상기 저장 장치의 로우 어드레스 비트 및 상기 가상 영역의 인덱스 비트에 기초하여 생성된다.

[0009] 일 실시 예에 있어서, 상기 해시 함수 목록 내의 각각의 해시 함수를 이용하여 상기 저장 장치의 결함 셀에 대해 리페어 동작을 수행하는 단계는, 상기 해시 함수 목록 내의 하나의 해시 함수를 선택하는 단계; 상기 선택한 하나의 해시 함수를 이용하여 상기 저장 장치의 결함 셀에 대해 제1 리페어 동작을 수행하는 단계; 및 상기 제1 리페어 동작이 성공했는지 여부의 판단에 기초하여, 상기 해시 함수 목록 내의 상기 선택한 하나의 해시 함수와 다른 하나의 해시 함수를 다시 선택하여 상기 저장 장치의 결함 셀에 대해 제2 리페어 동작을 수행하는 단계를 포함한다.

[0010] 일 실시 예에 있어서, 상기 해시 함수 목록 내의 각각의 해시 함수를 이용하여 상기 저장 장치의 결함 셀에 대해 리페어 동작을 수행하는 단계는, 상기 해시 함수 목록 내의 하나의 해시 함수를 선택하는 단계; 상기 선택한 하나의 해시 함수를 이용하여 상기 저장 장치의 결함 셀에 대해 리페어 동작을 수행하는 단계; 및 상기 선택한 하나의 해시 함수를 이용한 상기 리페어 동작이 성공했는지 여부의 판단에 기초하여, 상기 선택한 하나의 해시 함수를 이용한 상기 리페어 동작 후 남은 예비 요소를 기록하는 단계를 포함한다.

[0011] 일 실시 예에 있어서, 상기 해시 함수 목록 상의 각각의 해시 함수 모두를 이용하여 상기 저장 장치의 결함 셀에 대해 리페어 동작을 수행했는지 여부를 판단하는 단계; 및 상기 해시 함수 목록 상의 각각의 해시 함수 모두를 이용하여 상기 저장 장치의 결함 셀에 대해 리페어 동작을 수행하지 않았으면, 상기 해시 함수 목록 상의 각각의 해시 함수 중 리페어 동작에 사용하지 않은 다른 해시 함수를 선택하여 리페어 동작을 반복하는 단계를 더 포함한다.

[0012] 일 실시 예에 있어서, 상기 해시 함수 목록 내의 각각의 해시 함수 중 리페어 수행 후 남은 예비 요소가 최대인 해시 함수를 상기 결함 정보 저장 테이블에 저장하는 단계는, 상기 남은 예비 요소가 최대인 해시 함수를 이용하여 리페어를 수행했을 때의 대체된 결함 셀의 위치 정보 및 상기 남은 예비 요소의 위치 정보를 상기 결함 정보 저장 테이블에 저장하는 단계를 포함한다.

[0013] 본 출원의 실시 예에 따른 분석 시스템은 저장 장치; 및 상기 저장 장치에 대한 리페어 동작을 수행하는 분석 장치를 포함하며, 상기 분석 장치는, 상기 저장 장치의 설정에 기초하여 해시 함수 목록을 생성하고, 상기 해시 함수 목록 내의 각각의 해시 함수를 이용하여 상기 저장 장치의 결함 셀에 대해 리페어 동작을 수행하고, 상기 해시 함수 목록 내의 각각의 해시 함수 중 리페어 수행 후 남은 예비 요소가 최대인 해시 함수를 상기 결함 정보 저장 테이블에 저장한다.

[0014] 본 출원의 실시 예에 따른 결함 정보 저장 테이블을 이용한 저장 장치의 리페어 분석 방법은 타겟 리프레시 주기에서 테스트 패턴을 생성하여 상기 저장 장치의 결함 정보를 검출하는 단계; 및 상기 결함 정보 저장 테이블

에 미리 저장된, 상기 저장 장치의 제조 과정에서의 상기 리페어 동작 수행 후 남은 예비 요소가 최대한 헤시 함수 정보를 이용하고, 상기 저장 장치의 결함 정보에 기초하여 상기 저장 장치의 결함에 대해 리페어 동작을 수행하는 단계를 포함한다.

[0015] 일 실시 예에 있어서, 타겟 리프레시 주기에서 테스트 패턴을 생성하여 상기 저장 장치의 결함 정보를 검출하는 단계는, 타겟 리프레시 주기에서 동작하지 못하는 약한 셀 및 상기 저장 장치의 제조 과정에서의 리페어 동작 수행 후 남아있는 결함 셀을 검출하는 단계를 포함한다.

[0016] 일 실시 예에 있어서, 상기 저장 장치의 결함에 대해 리페어 동작이 성공한 경우, 상기 타겟 리프레시 주기를 상기 저장 장치의 리프레시 주기로 설정하는 단계를 더 포함한다.

[0017] 일 실시 예에 있어서, 상기 저장 장치의 결함에 대해 리페어 동작이 실패한 경우, 상기 타겟 리프레시를 소정의 주기만큼 감소시키는 단계; 상기 감소된 타겟 리프레시 주기에서의 상기 저장 장치의 결함을 검출하는 단계; 상기 결함 정보 저장 테이블에 미리 저장된, 상기 저장 장치의 제조 과정에서의 상기 리페어 동작 수행 후 남은 예비 요소가 최대한 헤시 함수 정보를 이용하고, 상기 감소된 타겟 리프레시 주기에서의 상기 저장 장치의 결함에 대해 리페어 동작을 수행하는 단계; 및 상기 감소된 타겟 리프레시 주기에서의 상기 저장 장치의 결함에 대해 상기 리페어 동작이 성공하였다면, 상기 감소된 타겟 리프레시 주기를 상기 저장 장치의 리프레시 주기로 설정하는 단계를 더 포함한다.

[0018] 일 실시 예에 있어서, 상기 저장 장치의 결함에 대해 리페어 동작을 수행하는 단계는, 상기 결함 정보 저장 테이블에 미리 저장된, 상기 저장 장치의 제조 과정에서의 상기 리페어 동작시 이미 사용한 예비 요소와 관련된 정보를 이용하는 단계를 포함한다.

[0019] 일 실시 예에 있어서, 상기 타겟 리프레시를 소정의 주기만큼 감소시키는 단계는, 상기 타겟 리프레시에서 리페어 되지 못한 상기 저장 장치의 결함의 양에 기초하여 상기 소정의 주기를 결정하는 단계를 포함한다.

[0020] 본 출원의 일 실시 예에 따른 리페어 분석 시스템은 타겟 리프레시 주기에서 테스트 패턴을 생성하여 저장 장치의 결함 정보를 검출하는 BIST(Built In Self Test) 모듈; 결함 정보 저장 테이블에 미리 저장된, 상기 저장 장치의 제조 과정에서의 상기 리페어 동작 수행 후 남은 예비 요소가 최대한 헤시 함수 정보를 이용하고, 상기 저장 장치의 결함 정보에 기초하여 상기 저장 장치의 결함에 대해 리페어 동작을 수행하는 BISR(Built In Self Repair) 모듈을 포함한다.

발명의 효과

[0021] 본 출원의 실시 예에 따른 리페어 분석 방법은 추가적인 저장 공간 없이 리프레시 횟수를 감소시킬 수 있다.

도면의 간단한 설명

[0022] 도 1은 본 출원의 일 실시 예에 따른 분석 시스템을 보여주는 블록도이다.

도 2는 본 출원의 일 실시 예에 따라 저장 장치의 보다 상세한 구성을 보여주는 블록도이다.

도 3은 본 출원의 일 실시 예에 따른 메모리 구성을 보여주는 블록도이다.

도 4는 제조 과정에서 분석 장치가 본 발명의 일 실시 예에 따라 리페어 알고리즘을 수행하는 과정을 예시적으로 보여주는 도면이다.

도 5는 전원 인가 시, UBISR(Universal Built In Self Repair) 장치가 최적의 타겟 리프레시 주기로 전체 리프레시 주기를 설정하기 위해 수행하는 동작 알고리즘을 예시적으로 보여주는 도면이다.

도 6은 분석 장치의 동작을 보여주는 순서도이다.

도 7은 전원 인가 시, UBISR 장치가 수행하는 동작을 보여주는 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0023] 이하에서는, 본 출원의 기술적 사상을 본 출원의 기술분야에서 통상의 지식을 가진자가 용이하게 이해할 수 있을 정도로 상세히 설명하기 위하여, 본 출원의 실시 예들이 첨부된 도면을 참조하여 설명될 것이다.

[0024] 도 1은 본 출원의 일 실시 예에 따른 분석 시스템(100)을 보여주는 블록도이다.

- [0025] 도 1을 참조하면, 본 출원의 일 실시 예에 따른 분석 시스템(100)은 저장 장치(110) 및 분석 장치(120)를 포함한다.
- [0026] 저장 장치(110)는 데이터를 저장하도록 구현된다. 예를 들어, 저장 장치(110)는 휘발성 메모리 및/또는 불휘발성 메모리를 사용하여 구현될 수 있다. 예를 들어, 저장 장치(110)는 DRAM(Dynamic Random Access Memory), 램(Random Access Memory: RAM), SRAM(Static Random Access Memory), 롬(Read-Only Memory: ROM), EEPROM(Electrically Erasable Programmable Read-Only Memory), PROM(Programmable Read-Only Memory), PCM(Phase Change Memory), MRAM(Magnetoresistance Random Access Memory) 등의 저장 장치 중 어느 하나일 수 있다.
- [0027] 저장 장치(110)는 결함 정보 저장 테이블(111)을 포함한다.
- [0028] 결함 정보 저장 테이블(111)은 물리 영역과 관련한 정보(또는 물리 영역과 관련한 주소 정보), 가상 영역과 관련한 정보(또는 가상 영역과 관련한 주소 정보) 및/또는 데이터를 포함하도록 구성될 수 있다.
- [0029] 여기서, 데이터는 분석 시스템(100)이 적용되는 분야(예를 들어, 메모리 분야, 데이터 통신 분야 등 포함)에 따라 다를 수 있으며, 설계자의 설계에 따라 변경되어 적용할 수 있다. 예를 들어, 스페어 셀(spare cell)을 이용한 메모리 리페어를 적용하는 메모리 시스템의 경우, 데이터는 해당 메모리 시스템에 제공된 스페어 셀과 교체되는 결함 셀의 위치(또는 위치 정보)일 수 있다.
- [0030] 본 발명의 다른 일 실시 예에서, 물리 영역과 관련한 정보는 물리 기본영역의 위치 정보, 물리 서브영역의 위치 정보 등을 포함할 수 있으며, 가상 영역과 관련한 정보는 가상 기본영역의 위치 정보, 가상 서브영역의 위치 정보 등을 포함할 수 있다. 이때, 데이터는 결함 정보, 결함의 위치 정보 등을 포함할 수 있다.
- [0031] 본 발명의 다른 일 실시 예에서, 결함 정보 저장 테이블(111)은 분석 시스템(100)의 리페어 과정 중 스페어 셀의 개수가 최대인 해시 함수 정보 및 스페어 셀과 교체되는 결함 셀의 위치 정보를 포함할 수 있다.
- [0032] 본 발명의 또 다른 실시 예에서, 결함 정보 저장 테이블(111)은 리페어 과정에서 사용한 스페어 셀과 관련된 정보를 더 포함할 수 있다.
- [0033] 분석 장치(120)는 분석 시스템(100)의 전반적인 동작을 제어하며, 저장 장치(110)의 제조 과정에서 저장 장치(110)의 결함을 분석하고 리페어한다.
- [0034] 좀 더 자세히 설명하면, 분석 장치(120)는 물리 영역과 가상 영역을 구성함으로써, 결함을 리페어 할 수 있다. 예를 들어, 분석 장치(120)는 저장 장치(110)의 결함 셀(faulty cell)을 리페어 하는데 사용될 해시 함수 목록을 생성하고, 선택된 해시 함수를 적용하여 물리 영역과 가상 영역을 구성하며, 구성된 영역에 대해서 결함을 리페어 할 수 있다.
- [0035] 이때, DRAM, PCM, MRAM, SRAM 등과 같은 메모리 시스템에서 정보를 저장하고 관리하고자 하는 기본 영역이 बैं크(bank)일 경우, 상기 분석 장치(200)는 하나의 बैं크 또는 복수의 서브 어레이 내의 모든 로우(row)를 하나로 합치고, 상기 합쳐진 모든 로우를 2^M 개의 물리 기본영역으로 나누며, 상기 기본 영역을 상기 나뉜 2^M 개의 물리 기본영역으로 매핑할 수도 있다.
- [0036] 분석 장치(120)는 저장 장치(110)의 설정에 따라 해시 함수 목록을 생성할 수 있다. 예를 들어, 저장 장치(110)의 로우 어드레스(row address)가 X 비트이고, 저장 장치의 서브 어레이의 인덱스 비트가 Y비트이면 $X \cdot C_Y$ 개의 해시 함수로 이루어진 해시 함수 목록을 생성할 수 있다.
- [0037] 분석 장치(120)는 해시 함수 목록 상의 해시 함수 하나를 선택하여 저장 장치의 각 서브 어레이에 대해서 결함을 리페어 한다. 이때, 결함 리페어 동작을 실패하면, 분석 장치(120)는 해시 함수 목록 상의 다른 해시 함수를 선택하여 결함을 리페어 한다. 만약, 리페어 성공을 하면, 분석 장치(120)는 서브 어레이 당 남은 스페어 셀의 수를 기록하고, 해시 함수 목록 상의 모든 해시 함수를 이용하여(테스트하여) 리페어 동작을 수행했는지 검사한다.
- [0038] 만약 모든 해시 함수에 대해 리페어 동작을 수행하지 않았다면, 선택하지 않은 해시 함수를 이용하여 결함을 리페어하는 동작을 반복한다. 만약 해시 함수 목록 내의 모든 해시 함수에 대해 리페어 동작을 수행했다면, 서브 어레이 당 남은 스페어 셀의 개수가 최대인 해시 함수 정보와, 이때의 결함 정보를 결함 정보 저장 테이블(111)에 저장한다.

- [0039] 도 2는 본 출원의 일 실시 예에 따라 저장 장치(110)의 보다 상세한 구성을 보여주는 블록도이다.
- [0040] 도 2를 참조하면, 본 출원의 일 실시 예에 따른 저장 장치(110)는 메모리(112) 및 UBISR (Universal Built In Self Repair) 장치(113)를 포함한다. 메모리(112)는 결함 정보 저장 테이블(111)을 포함하며, UBISR 장치(113)는 BIST 모듈(114) 및 BISR 모듈(115)을 포함한다.
- [0041] 메모리(112)는 실제로 데이터가 저장된 공간이며, 물리 영역과 가상 영역을 구성하기 위해 해싱 기법이 적용될 수 있다. 메모리(112)는, 도 3에 도시된 바와 같이, 다수의 어레이들로 구성되며, 상기 다수의 어레이들은 각각 더 작은 크기의 서브 어레이들로 구성될 수 있다.
- [0042] 이러한 구성의 메모리에서 결함이 발생하는 경우, 결함이 발생한 주소를 저장 및 관리하여 리페어를 수행함에 있어서, 리페어 동작은 하나 또는 복수의 서브 어레이 별로 수행된다. 따라서, 기존의 경우에는 어레이 내에서 결함 주소의 저장 공간이 남아있는 다른 서브 어레이가 있더라도 사용할 수 없었지만, 본 발명의 실시 예에 따른 저장 장치(110)는 어레이 내에 남아 있는 다른 서브 어레이의 결함 주소 저장 공간을 활용하여 해당 메모리 내의 저장 공간을 계속하여 사용할 수 있다.
- [0043] 메모리(112)는 결함 정보 저장 테이블(111)을 포함할 수 있다. 또 다른 예에서, 결함 정보 저장 테이블(111)은 저장 장치(110) 내의 임의의 저장 공간에 저장될 수 있다.
- [0044] UBISR 장치(113)는 저장 장치(110)의 제조 과정에서 리페어 알고리즘을 보완하고, BIST(Built In Self Test) 및 BISR(Built In Self Repair) 기법을 적용하여 전원이 인가될 때 약한 셀을 리페어한다.
- [0045] BIST(Built In Self Test) 모듈(114)은 타겟 시프레스 주기에 따라 메모리 셀의 결함을 검출하기 위한 테스트 패턴을 생성하고, 생성된 테스트 패턴을 이용하여 메모리 셀의 결함을 검출한다.
- [0046] BIST 모듈(114)에서 검출된 결함 셀은, 분석 장치(120)에서 리페어하지 못한 결함셀, 메모리(112)의 동작 과정에서 추가적으로 발생한 결함 셀, 타겟 리프레스 주기에서 정상 동작하지 않는 약한 셀을 포함한다.
- [0047] 또한, BIST 모듈(114)은 테스트 과정에서 정상 동작하지 않는 결함 셀의 위치 정보를 검출하여 BISR 모듈(115)로 전달한다.
- [0048] BISR(Built In Self Repair) 모듈(115)은 메모리 제조 과정에서 분석 장치(120)에 의해 정보 저장 테이블(111)에 저장된, 서브 어레이당 남은 스페어 셀의 개수가 최대인 해시 함수 정보와, 이때의 결함 정보 및 BIST 모듈(114)에서 검출된 결함 셀의 위치 정보를 이용하여 결함 셀을 리페어 한다.
- [0049] 검출된 결함 셀에 대해 리페어가 성공하면 결함 정보 저장 테이블(111)에 리페어된 결함 셀 정보를 저장하고, 리페어가 성공했을 때의 타겟 리프레스 주기로 전체 리프레스 주기를 설정한다.
- [0050] 만약 검출된 결함 셀에 대한 리페어가 실패하면, 타겟 리프레스 주기를 감소시키고, 다시 BIST 모듈(114)이 테스트 패턴을 생성하는 과정으로 복귀하여, 감소된 타겟 리프레스가 64ms가 될 때까지 결함 검출 및 리페어 과정을 반복한다.
- [0051] 본 출원의 실시 예에 따른 분석 시스템(100)은 제조 과정에서 설정 가능한 모든 해시 함수에 대해 리페어를 수행하고 스페어 셀의 개수가 최대인 해시 함수 정보와 이때의 결함 정보를 결함 정보 저장 테이블(111)에 저장하고, 전원이 들어올 때마다 아직 리페어 되지 않은 결함 셀 및 약한 셀 등에 대한 결함 정보를 검출하고, 검출된 정보와 결함 정보 저장 테이블(111)에 저장된 정보를 이용하여 리페어를 실시하고, 이러한 검출 및 리페어 과정을 리프레스 주기를 줄여가며 반복함으로써 전체 메모리 셀에 대한 리프레스 횟수를 감소시킬 수 있다.
- [0052] 도 4는 제조 과정에서 분석 장치(120)가 본 발명의 일 실시 예에 따라 리페어 알고리즘을 수행하는 과정을 예시적으로 보여준다.
- [0053] 도 4의 실시 예에서는 로우 어드레스가 3비트로 이루어져 있으며, 1비트의 가상 영역 인덱스를 사용하기 때문에, 설정 가능한 해시 함수의 종류는 $3C_1$, 즉, 3 가지이다. 따라서, 도 4의 실시 예에서는 분석 장치(120)가 h_0 , h_1 , h_2 로 이루어진 해시 함수 목록 내의 3개의 모든 해시 함수에 대해서 리페어를 수행한다. 도 4에서 각각의 해시 함수는 물리 영역, 즉, Subarray 0과 Subarray1을 가상 영역, 즉, Region 0과 Region 1 으로 매핑한다.
- [0054] 도 4의 실시 예에서는 제조 과정에서 1개의 스페어 로우(spare row)를 이용하여 각 해시 함수에 대해 리페어를 수행하고, 두개의 스페어 컬럼은 이후의 전원 인가 과정에서 BISR 모듈(125)의 리페어 과정에서 사용되는 것을

예시적으로 보여준다. 다만, 이는 예시적인 것이며, 본 발명의 실시 예는 이에 한정되는 것은 아니다. 예를 들어, 스페어 로우(spare row)뿐만 아니라 스페어 컬럼(spare column)을 사용하여 제조 과정에서 리페어 알고리즘을 수행할 수 있다.

[0055] 먼저, 분석 장치(120)는 해시 함수 h_0 을 선택한다.

[0056] 해시 함수 h_0 은 로우 어드레스의 최상위 비트 a_2 를 가상 영역의 어드레스로 매핑한다. 도 4의 실시 예에서는 제조 과정에서 1개의 스페어 로우만 사용하여 리페어를 수행하기 때문에, 가상 영역 0(Region 0)에서 리페어 되지 못한 결함 컬럼의 개수는 2개이며, 가상 영역 1(Region 1)에서 리페어 되지 못한 결함 컬럼의 개수는 1개이다. 따라서, 해시 함수 h_0 을 이용하여 리페어를 했을 때 남은 스페어 컬럼의 수는 가상 영역 0(Region 0)에서는 0개이고, 가상 영역 1(Region 1)에서는 1개이다.

[0057] 분석 장치(120)는 서브 어레이 당 남은 스페어 컬럼의 수를 기록한 후, 해시 함수 h_1 를 선택한다. 이때, 분석 장치(120)는 모든 해시 함수에 대해 리페어를 진행하기 때문에, 분석 장치(120)의 해시 함수 선택은 순차적으로 이루어질 필요는 없으며, 임의의 순서로 이루어질 수 있다.

[0058] 해시 함수 h_1 은 로우 어드레스의 차상위 비트 a_1 을 가상 영역의 어드레스로 매핑한다. 도 4의 실시 예에서, 가상 영역 0(Region 0)에서 리페어 되지 못한 결함 셀의 개수는 1개이며, 가상 영역 1(Region 1)에서 리페어 되지 못한 결함 컬럼의 개수는 1개이다. 따라서, 해시 함수 h_1 을 이용하여 리페어를 했을 때 남은 스페어 컬럼의 수는 가상 영역 0(Region 0)에서는 1개이고 가상 영역 1(Region 1)에서는 1개이다.

[0059] 분석 장치(120)는 서브 어레이당 남은 스페어 컬럼의 수를 기록한 후, 해시 함수 h_2 를 선택한다.

[0060] 해시 함수 h_2 는 로우 어드레스의 최하위 비트 a_2 을 가상 영역의 어드레스로 매핑한다. 도 4의 실시 예에서, 가상 영역 0(Region 0)에서 리페어 되지 못한 결함 셀의 개수는 2개이며, 가상 영역 1(Region 1)에서 리페어 되지 못한 결함 컬럼의 개수는 1개이다. 따라서, 해시 함수 h_1 을 이용하여 리페어를 했을 때 남은 스페어 컬럼의 수는 가상 영역 0(Region 0)에서는 0개이고 가상 영역 1(Region 1)에서는 1개이다.

[0061] 분석 장치(120)가 위와 같이 설정 가능한 해시 함수 목록 모두에 대해 리페어를 수행한 후, 각 서브어레이 당 남은 스페어 컬럼의 수가 최대인 해시 함수 및 이때의 결함 정보를 결함 정보 저장 테이블(111)에 기록한다.

[0062] 도 4의 실시 예에서는, 해시 함수 h_1 을 사용했을 때 남은 스페어 컬럼의 수가 최대이기때문에, 해시 함수 h_1 을 기록하고, 결함 정보를 기록한다. 이때, 결함 정보는 스페어 로우와 교체되는 결함 셀의 위치(또는 위치 정보)일 수 있다.

[0063] 도 4의 실시 예에서는, 분석 장치(120)가 1개의 스페어 로우만을 사용하여 리페어를 수행하였지만, 추가적으로 두 개의 스페어 컬럼을 사용하여 리페어를 수행할 수도 있으며, 이때, 결함 정보 저장 테이블(111)은 리페어에 사용된 스페어 컬럼과 관련된 정보를 추가적으로 포함할 수 있으며, 이러한 정보는 이후 전원 인가시 수행되는 리페어 과정에 사용될 수 있다.

[0064] 또한, 도 4는 본 발명의 일 실시 예일 뿐, 리페어 과정에서 사용되는 해시 함수의 개수, 리페어 과정에서 사용되는 스페어 컬럼 및 스페어 로우의 개수 및 리페어 방식은 제품의 실제 설계 필요에 따라 그 변형이 다양할 수 있다.

[0065] 도 5는 전원 인가 시, UBISR 장치(113)가 최적의 타겟 리프래시 주기로 전체 리프래시 주기를 설정하기 위해 수행하는 동작 알고리즘을 예시적으로 보여준다.

[0066] 전원 인가 후, BIST 모듈(114)은 타겟 리프래시 주기에 따라 메모리 셀의 결함을 검출하기 위한 테스트 패턴을 생성하고, 생성된 테스트 패턴을 이용하여 메모리 셀의 결함을 검출하고, 이를 BISR 모듈(115)로 결함 셀의 정보를 전달한다.

[0067] 도 5의 실시 예에서는, BIST 모듈(114)은 제조 과정에서 리페어 되지 못한 결함 셀과 타겟 리프래시 주기에서 정상 작동하지 못하는 약한 셀에 관한 정보를 BISR 모듈(115)로 전달한다.

[0068] BISR 모듈(115)은 메모리 제조 과정에서 분석 장치(120)에 의해 정보 저장 테이블(111)에 저장된, 서브 어레이 당 남은 스페어 셀의 개수가 최대인 해시 함수 정보와, 이때의 결함 정보 및 BIST 모듈(114)에서 검출된 결함

셀의 위치 정보를 이용하여 결함 셀을 리페어 한다. 이때, 서브 어레이당 남은 예비 요소가 최대인 해시 함수를 이용하여 리페어 하기 때문에, 보다 효율적인 리페어 수행이 가능하다.

- [0069] 도 5의 실시 예에서는, 제조 과정에서 분석 장치(120)에 의해 리페어 수행시 서브 어레이 당 남은 예비 요소가 최대인 해시 함수 h_1 을 이용해 리페어를 수행한다.
- [0070] 도 5의 실시 예에서, BIST 모듈(114)에서 검출된 결함 정보는 분석 장치(120)에서 리페어하지 못한 결함셀 및 타겟 리프레시 주기에서 정상 작동하지 못하는 약한 셀의 위치 정보를 포함하며, BISR 모듈(115)은 이와 같은 결함 셀 및 약한 셀에 대해 해시 함수 h_1 을 이용해 리페어를 수행한다.
- [0071] 도 5의 실시 예에서, BISR 모듈(115)은 BIST 모듈(114)에서 검출된 결함 셀 및 약한 셀에 대해 리페어를 성공하였기 때문에, 이때의 리페어 정보를 결함 정보 저장 테이블에 업데이트 한다. 도 5의 실시 예에서, 리페어 정보는 제공된 스페어 컬럼과 교체되는 결함 셀의 위치(또는 위치 정보)일 수 있다.
- [0072] BISR 모듈(115)은 나아가, 리페어 성공시의 타겟 리프레시 주기를 전체 메모리에 대한 리프레시 주기로 설정한다.
- [0073] 한편, 도 5의 실시 예에서는 리페어에 성공하였지만, 리페어에 실패한 경우 타겟 리프레시를 감소시켜 결함 검출 및 리페어 과정을 반복한다.
- [0074] 도 6은 분석 장치(120)의 동작을 보여주는 순서도이다. 이하에서는, 도 6을 참조하여 분석 장치(120)가 본 발명의 일 실시 예에 따라 리페어 알고리즘을 수행하는 과정을 설명한다.
- [0075] S110 단계에서, 분석 장치(120)는 저장 장치(110)의 설정에 따라 해시 함수 목록을 생성한다. 예를 들어, 저장 장치(110)의 로우 어드레스가 X 비트이고, 저장 장치의 서브 어레이(또는 가상 영역)의 인덱스 비트가 Y 비트이면 $x \times C_Y$ 개의 해시 함수로 이루어진 해시 함수 목록을 생성할 수 있다.
- [0076] S120 단계에서, 분석 장치(120)는 해시 함수 목록 상의 해시 함수 하나를 선택하여 물리 영역과 가상 영역을 구성한다. 본 발명의 실시 예에서, 분석 장치(120)는 모든 해시 함수에 대해 리페어를 진행하기 때문에, 분석 장치(120)의 해시 함수 선택은 순차적으로 이루어질 필요는 없으며, 임의의 순서로 이루어질 수 있다.
- [0077] S130 단계에서, 분석 장치(120)는 구성된 영역에 대해 결함 셀에 대한 리페어 동작을 수행한다. 이때, 스페어 로우만을 이용하여 결함 셀을 리페어할 수도 있으며, 스페어 로우뿐만 아니라 스페어 컬럼을 사용하여 제조 과정에서 리페어 알고리즘을 수행할 수 있으나, 리페어에 사용되는 스페어 컬럼 및 스페어 로우의 개수 및 리페어 방식은 제품의 실제 설계 필요에 따라 그 변형이 다양할 수 있다.
- [0078] S140 단계에서, 분석 장치(120)는 결함 셀에 대해 리페어가 성공했는지를 판단한다.
- [0079] 만약, 리페어가 성공하지 못했으면, S120단계로 돌아가 다른 해시 함수를 선택하여 물리 영역과 가상 영역을 구성한다. 리페어가 성공하였으면, S150 단계로 이동한다.
- [0080] S150 단계에서, 분석 장치(120)는 각 서브 어레이 당 남은 예비 요소의 수를 기록한다. 예를 들어, 리페어 성공 후 남은 스페어 컬럼의 수를 기록할 수 있으며, 이 때, 남은 예비요소와 관련된 정보는 결함 정보 저장 테이블(111)에 기록할 수도 있으나, 이에 한정되지는 않는다.
- [0081] S160 단계에서, 분석 장치(120)는 해시 함수 목록 상의 모든 해시 함수에 대해서 리페어를 수행했는지 여부를 판단한다. 본 발명에서는 리페어에 성공하더라도 예비 요소가 최대일 때의 해시 함수를 찾기 위해 해시 함수 목록 상의 다른 모든 해시 함수에 대해 리페어를 수행한다.
- [0082] 만약 해시 함수 목록 상의 모든 해시 함수에 대해서 리페어를 수행하지 않았다면, 분석 장치(120)는 S120 단계로 돌아가 다른 해시 함수를 선택하여 리페어를 다시 수행한다.
- [0083] 만약 해시 함수 목록 상의 모든 해시 함수에 대해서 리페어를 수행하였다면, S170 단계를 수행한다.
- [0084] S170 단계에서, 분석 장치(120)는 예비 요소가 최대인 해시 함수와 그 해시 함수를 사용했을 때의 리페어 정보를 결함 정보 저장 테이블(111)에 저장한다. 여기서, 예비 요소는 스페어 셀, 스페어 컬럼 및 스페어 로우 중 하나 이상을 포함한다.
- [0085] 예를 들어, 분석 장치(120)가 스페어 로우만을 사용하여 리페어를 수행했을 때, BISR 모듈(125)의 리페어 과정에서 사용할 수 있는 스페어 컬럼의 수가 최대인 해시 함수와 이때 스페어 로우와 교체되는 결함 셀의 위치 정

보를 결함 정보 저장 테이블(111)에 저장할 수 있다.

- [0086] 또 다른 예로, 분석 장치(120)가 스페어 로우 및 스페어 컬럼을 사용하여 리페어를 수행했을 때, 남은 스페어 컬럼의 수가 최대인 해시 함수 및 스페어 로우 또는 스페어 컬럼과 교체되는 결함 셀의 위치 정보 뿐만 아니라 이미 리페어에 사용된 스페어 컬럼과 관련된 정보를 포함할 수 있다.
- [0087] 도 7은 전원 인가 시, UBISR 장치(113)가 수행하는 동작을 보여주는 순서도이다. 이하에서는, 도 7을 참조하여 UBISR 장치(113)가 본 발명의 일 실시 예에 따라 리페어 알고리즘을 수행하는 과정을 설명한다.
- [0088] S210 단계에서, UBISR 장치(113)는 전원 인가 후, 최대 타겟 리프레시 주기를 설정한다. 일 실시 예에서, 512ms로 최대 타겟 리프레시 주기를 설정할 수 있지만, 이에 한정되지 않으며 저장 장치(120)의 실제 설계에 따라 다양한 최대 타겟 리프레시 주기 설정이 가능하다.
- [0089] S220 단계에서, BIST 모듈(114)은 타겟 리프레시 주기에 따라 메모리 셀의 결함을 검출하기 위한 테스트 패턴을 생성하고, 생성된 테스트 패턴을 이용하여 메모리 셀의 결함을 검출한다. 나아가, BIST 모듈(114)은 검출된 결함 정보를 BISR 모듈(115)로 전송한다.
- [0090] 이때, 검출된 결함 정보는 분석 장치(120)에서 리페어하지 못한 결함 셀 및 타겟 리프레시 주기에서 정상 작동하지 못하는 약한 셀의 위치 정보를 포함한다. 또한, 검출된 결함 정보는 메모리(112) 동작 과정 중 추가적으로 발생한 결함 셀의 위치 정보를 포함할 수 있다.
- [0091] S230 단계에서, BISR 모듈(115)은 메모리(112)의 제조 과정에서 분석 장치(120)에 의해 결함 정보 저장 테이블(111)에 저장된, 서브 어레이당 남은 스페어 셀의 개수가 최대인 해시 함수 정보와 BIST 모듈(113)에서 검출된 결함 정보를 이용하여 결함 셀을 리페어한다.
- [0092] 이때, 메모리(112) 제조 과정에서 분석 장치(120)가 스페어 로우(또는 스페어 컬럼) 만을 사용하여 리페어를 수행하기로 하고, BISR 모듈(115)은 스페어 컬럼(또는 스페어 로우) 만을 사용하여 리페어를 수행하기로 한 경우, BISR 모듈(115)은 어떤 예비 요소를 사용할 지에 대한 별도의 결정을 내릴 필요가 없다.
- [0093] 만약 제조 과정에서 분석 장치(120)가 스페어 로우 뿐만 아니라 스페어 컬럼도 사용하여 리페어를 수행한 경우, BISR 모듈(115)은 결함 정보 저장 테이블(111)에 저장된, 분석 장치(120)가 메모리(112) 제조 과정에서 리페어 시에 이미 사용한 예비 요소(예를 들어, 스페어 컬럼)와 관련된 정보를 이용하여 리페어할 수 있다.
- [0094] S240 단계에서, BISR 모듈(115)은 타겟 리프레시 주기에서 결함 리페어 동작이 성공했는지 판단한다. 리페어 동작이 성공했다 함은 BIST 모듈(114)에 의해 검출된 결함 셀 및 약한 셀에 대해 모두 리페어를 했다는 것을 의미한다.
- [0095] 만약 리페어 동작에 실패했다면, UBISR 장치(113)는 S250 단계를 수행한다.
- [0096] S250 단계에서, 타겟 리프레시 주기가 감소된다.
- [0097] 본 발명의 일 실시 예에서는, 타겟 리프레시를 64ms 단위로 감소시키지만 이에 한정되지 않으며 저장 장치(120)의 실제 설계에 따라 다양한 감소 단위가 있을 수 있다.
- [0098] 또 다른 실시 예에서, 리페어 결과에 따라 타겟 리프레시 감소 단위를 다르게 할 수 있다. 예를 들어, 많은 결함 셀과 약한 셀이 리페어되지 않았으면, 타겟 리프레시를 더 많이 감소시킬 수 있으며, 적은 수의 셀만이 리페어되지 않았으면 타겟 리프레시를 더 적게 감소시킬 수 있다.
- [0099] S260 단계에서, UBISR 장치(113)는 감소된 타겟 리프레시 주기가 최소 타겟 리프레시 주기보다 큰지 판단한다. 예를 들어, 최소 리프레시 주기는 64ms 일 수 있지만, 이에 한정되지 않으며 저장 장치(120)의 실제 설계에 따라 다양한 최소 타겟 리프레시 주기가 있을 수 있다.
- [0100] 만약 감소된 타겟 리프레시 주기가 미리 설정된 최소 타겟 리프레시 주기보다 크면, UBISR 장치(113)는 S220 단계로 돌아가 S220 내지 S240의 단계를 반복한다. 리프레시 주기를 감소시키며 S220 내지 S240의 단계를 반복하면 검출된 결함의 수는 계속 감소할 것이다.
- [0101] 만약 감소된 타겟 리프레시 주기가 미리 설정된 최소 리프레시 주기보다 같거나 작으면 과정을 종료한다.
- [0102] 만약, 감소된 타겟 리프레시 주기에서 리페어가 성공하면 UBISR 장치(113)는 S270 단계를 수행한다.
- [0103] S270 단계에서, UBISR 장치(113)는 결함 정보 저장 테이블(111)에 리페어 정보를 저장하고, 리페어 성공 시의

타겟 리프레시 주기로 전체 메모리에 대한 타겟 리프레시 주기를 설정한다. 이때, 리페어 정보는 예비 요소로 대체된 결함 셀 및 약한 셀의 위치 정보일 수 있다.

[0104] 본 발명의 일 실시 예에서, 타겟 리프레시 주기에서 리페어가 성공하면 전체 메모리 셀에서 타겟 리프레시 주기로 동작했을 때 데이터를 유지하지 못하는 약한 셀은 모두 리페어가 완료된 상태이다. 따라서, 타겟 리프레시 주기를 최소 리프레시 주기보다 길게 설정하더라도, 전체 저장 장치(110)에서 데이터를 잃지 않고 정상 동작할 수 있다.

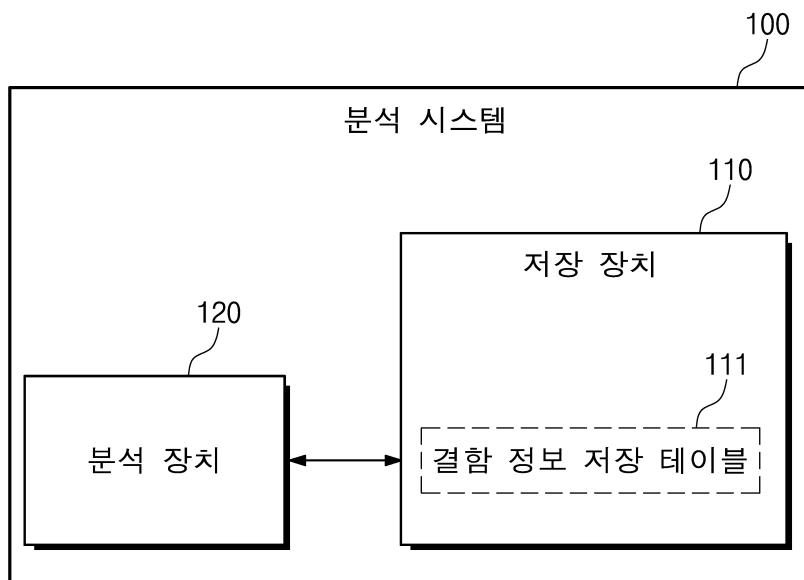
[0105] 한편, 본 발명의 범위 또는 기술적 사상을 벗어나지 않고 본 발명의 구조가 다양하게 수정되거나 변경될 수 있음은 이 분야에 숙련된 자들에게 자명하다. 상술한 내용을 고려하여 볼 때, 만약 본 발명의 수정 및 변경이 아래의 청구항들 및 동등물의 범주 내에 속한다면, 본 발명이 이 발명의 변경 및 수정을 포함하는 것으로 여겨진다.

부호의 설명

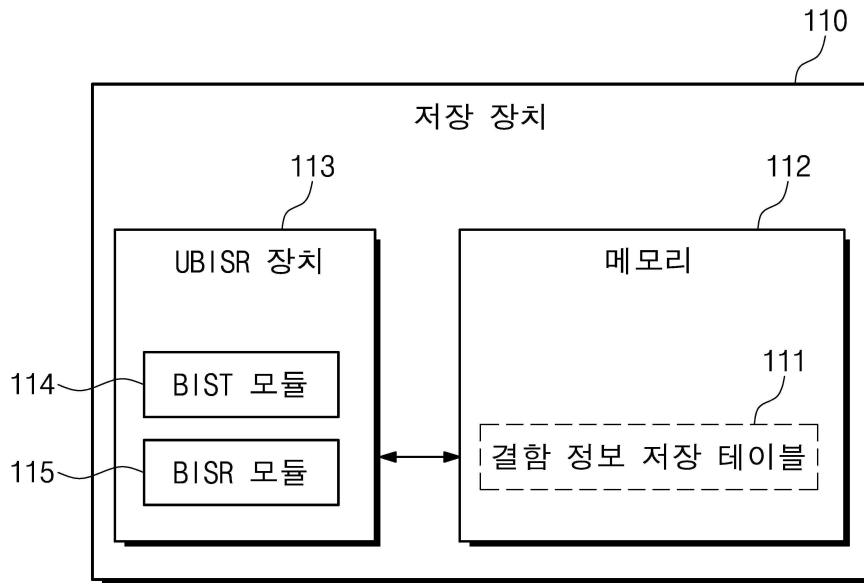
[0106] 100: 분석 시스템
110: 저장 장치
111: 결함 정보 테이블
112: 메모리
113: UBISR(Universal BuiltIn Self Repair) 장치
114: BIST(BuiltInSelf Test) 모듈
115: BISR(BuiltIn Self Repair) 모듈
120: 분석 장치

도면

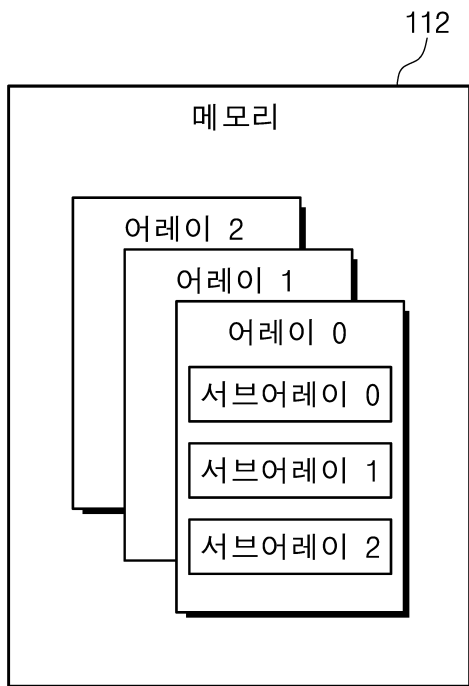
도면1



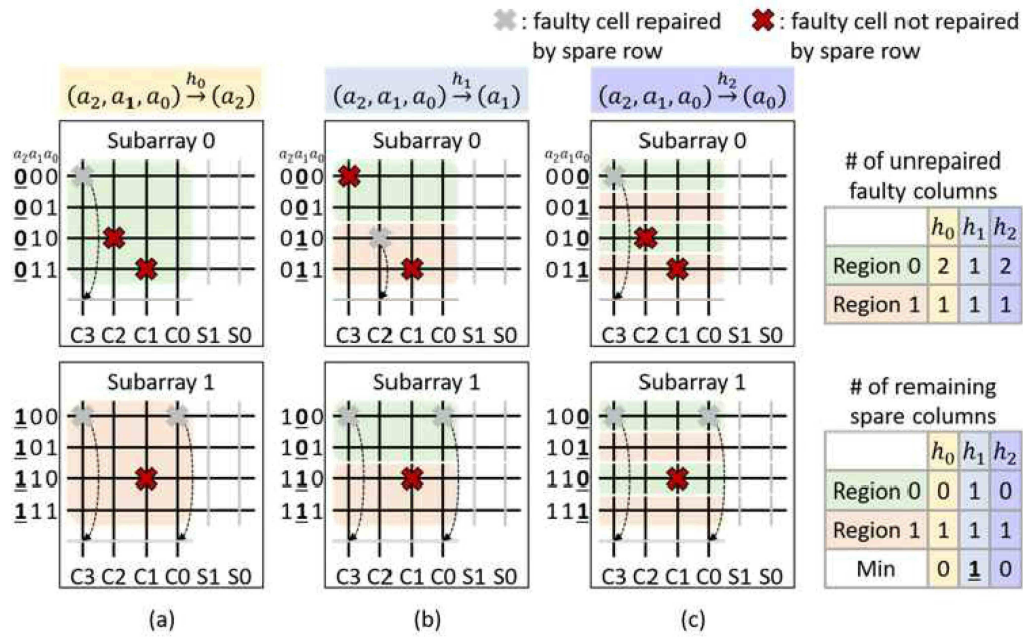
도면2



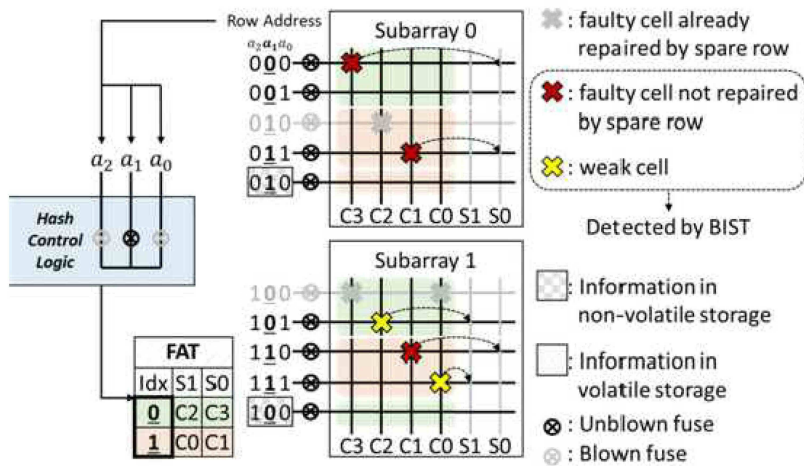
도면3



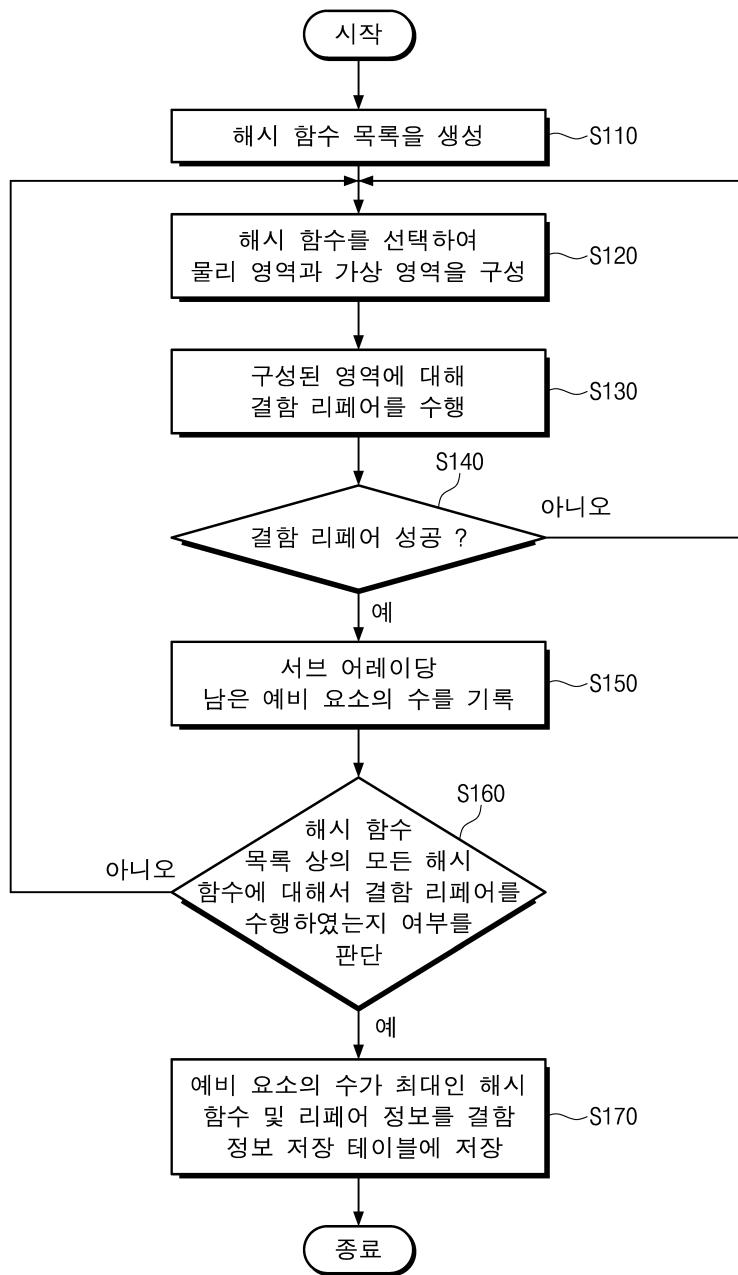
도면4



도면5



도면6



도면7

