【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】令和7年1月30日(2025.1.30)

【国際公開番号】WO2023/223829
【出願番号】特願2024-521658(P2024-521658)
【国際特許分類】
H01L 25/07(2006.01)
H01L 25/04(2023.01)
【FI】
H01L 25/04 C
H01L 25/04 Z

【手続補正書】
【提出日】令和6年10月17日(2024.10.17)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
各々が第１スイッチング素子および第２スイッチング素子を含む少なくとも１つの第１スイッチ部と、
前記第１スイッチング素子および前記第２スイッチング素子に第１駆動信号を入力する第１制御素子と、
前記第１スイッチング素子および前記第２スイッチング素子が搭載される搭載部と、
第１ワイヤ、第２ワイヤおよび第３ワイヤを含む複数のワイヤと、
を備え、
前記少なくとも１つの第１スイッチ部の各々において、前記第１スイッチング素子と前記第２スイッチング素子とが電気的に並列に接続され、
前記第１スイッチング素子は、前記搭載部の厚さ方向の一方を向く第１主面と、前記第１主面に配置された第１制御電極とを有し、
前記第２スイッチング素子は、前記厚さ方向の一方を向く第２主面と、前記第２主面に配置された第２制御電極および主面配線部とを有し、
前記第１ワイヤは、前記第１制御素子と、前記主面配線部とに接合され、
前記第２ワイヤは、前記主面配線部と、前記第１制御電極とに接合され、
前記第３ワイヤは、前記第１制御素子と、前記第２制御電極とに接合され、
前記第１制御素子は、前記第１スイッチング素子および前記第２スイッチング素子よりも、前記厚さ方向に直交する第１方向の一方側に配置され、
前記第２スイッチング素子は、前記第１方向において、前記第１制御素子と前記第１スイッチング素子との間に配置される、半導体装置。
【請求項２】
前記主面配線部は、前記第１ワイヤが接合される第１パッド部と前記第２ワイヤが接合される第２パッド部とを含む、請求項１に記載の半導体装置。
【請求項３】
前記第１パッド部と前記第２パッド部とは、前記厚さ方向に見て、前記第１方向に沿って配置され、
前記第１パッド部は、前記第１方向において、前記第２パッド部よりも前記第１制御素子の近くに位置する、請求項２に記載の半導体装置。

【請求項４】
前記主面配線部は、前記第１パッド部と前記第２パッド部とを繋ぐ連結部を含む、請求項３に記載の半導体装置。
【請求項５】
前記連結部の前記厚さ方向および前記第１方向に直交する第２方向の寸法が、前記第１パッド部および前記第２パッド部の各々の前記第２方向の寸法と同じである、請求項４に記載の半導体装置。
【請求項６】
前記連結部の前記厚さ方向および前記第１方向に直交する第２方向の寸法が、前記第１パッド部および前記第２パッド部の各々の前記第２方向の寸法よりも小さい、請求項４に記載の半導体装置。
【請求項７】
前記第２パッド部は、前記第１パッド部に対して、前記第１方向の一方側に位置し、かつ、前記厚さ方向および前記第１方向に直交する第２方向の他方側に位置する、請求項２に記載の半導体装置。
【請求項８】
前記第２制御電極は、前記第１方向において、前記第２主面の前記第１方向の中央よりも前記第１制御素子の近くに位置する、請求項１ないし請求項７のいずれかに記載の半導体装置。
【請求項９】
前記第２主面において、前記第２制御電極および前記主面配線部の各々は、前記厚さ方向および前記第１方向に直交する第２方向における中央部に配置される、請求項８に記載の半導体装置。
【請求項１０】
前記主面配線部は、前記厚さ方向に見た前記第２主面の周縁の一部に沿って配置される、請求項８に記載の半導体装置。
【請求項１１】
前記主面配線部は、前記厚さ方向に見て、前記第２主面の前記厚さ方向および前記第１方向に直交する第２方向の一方側の端縁に沿う帯状である、請求項１０に記載の半導体装置。
【請求項１２】
前記主面配線部は、前記厚さ方向に見て、前記第２主面の前記厚さ方向および前記第１方向に直交する第２方向の一方側の端縁に沿う第１帯状部と、前記厚さ方向に見て、前記第２主面の前記第１方向の他方側の端縁に沿う第２帯状部と、を含み、
前記第１帯状部と前記第２帯状部とは、一体的に形成されている、請求項１０に記載の半導体装置。
【請求項１３】
前記少なくとも１つの第１スイッチ部は、複数の第１スイッチ部を含み、
前記複数の第１スイッチ部は、各々が第１スイッチング素子および第２スイッチング素子を有する第１アーム、第２アームおよび第３アームを含む、請求項１ないし請求項７のいずれかに記載の半導体装置。
【請求項１４】
前記第１アーム、前記第２アームおよび前記第３アームは、前記厚さ方向および前記第１方向に直交する第２方向に配列され、
前記第２アームは、前記第２方向において、前記第１アームと前記第３アームとの間に位置する、請求項１３に記載の半導体装置。
【請求項１５】
各々が第３スイッチング素子および第４スイッチング素子を含む少なくとも１つの第２スイッチ部と、
前記少なくとも１つの第２スイッチ部の各々の前記第３スイッチング素子および前記第

４スイッチング素子に第２駆動信号を入力する第２制御素子と、
をさらに備え、
前記少なくとも１つの第２スイッチ部の各々において、前記第３スイッチング素子と前記第４スイッチング素子とが電気的に並列に接続され、
前記第３スイッチング素子は、前記厚さ方向の一方を向く第３主面と、前記第３主面に配置された第３制御電極とを有し、
前記第４スイッチング素子は、前記厚さ方向の一方を向く第４主面と、前記第４主面に配置された第４制御電極および第２主面配線部とを有し、
前記複数のワイヤは、第４ワイヤ、第５ワイヤおよび第６ワイヤを含み、
前記第４ワイヤは、前記第２制御素子と、前記第２主面配線部とに接合され、
前記第５ワイヤは、前記第２主面配線部と、前記第３制御電極とに接合され、
前記第６ワイヤは、前記第２制御素子と、前記第４制御電極とに接合され、
前記第２制御素子は、前記第３スイッチング素子および前記第４スイッチング素子よりも、前記第１方向の一方側に配置され、
前記第４スイッチング素子は、前記第１方向において、前記第２制御素子と前記第３スイッチング素子との間に配置される、請求項１３に記載の半導体装置。
【請求項１６】
前記少なくとも１つの第２スイッチ部は、複数の第２スイッチ部を含み、
前記複数の第２スイッチ部は、第４アーム、第５アームおよび第６アームを含み、
前記第４アーム、前記第５アームおよび前記第６アームは、前記厚さ方向および前記第１方向に直交する第２方向に配列され、
前記第５アームは、前記第２方向において、前記第４アームと前記第６アームとの間に位置する、請求項１５に記載の半導体装置。
【請求項１７】
前記第１アームを下アーム、前記第４アームを上アームとして、前記第１アームと前記第４アームとが電気的に直列に接続されて、三相交流回路の第１相を構成し、
前記第２アームを下アーム、前記第５アームを上アームとして、前記第２アームと前記第５アームとが電気的に直列に接続されて、前記三相交流回路の第２相を構成し、
前記第３アームを下アーム、前記第６アームを上アームとして、前記第３アームと前記第６アームとが電気的に直列に接続されて、前記三相交流回路の第３相を構成する、請求項１６に記載の半導体装置。