

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

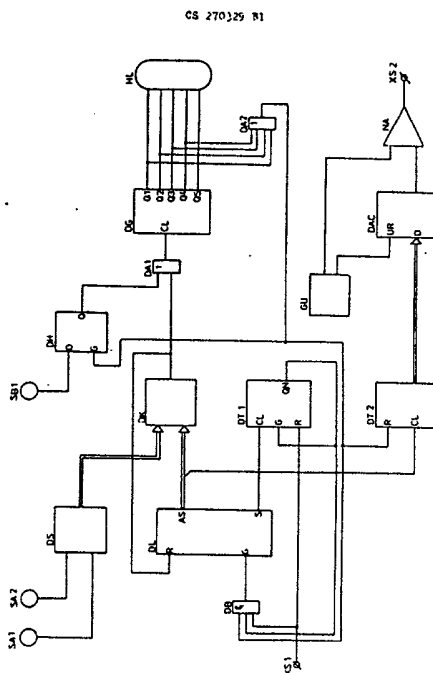
(40)	Zveřejněno	14 11 89
(45)	Vydáno	19 03 91

(11)

(13) B1

(51) Int. Cl.⁴
G 05 B 19/02

(57) Zapojení se týká časového programování funkce libovolného systému, vyžadujícího digitální i analogové vstupní signály. Elektronický časový programátor je tvořen integrovanými hodinami, programovým blokem, komparátorem, posuvným registrem, dvěma čítači, digitálně analogovým převodníkem a příslušnými pomocnými obvody. Zapojení umožňuje vysokou funkční variabilitu a činnost i při výpadku síťového napětí včetně odměřování doby trvání tohoto výpadku. Zapojení je možno využít všude tam, kde je potřeba opakovaně zajistit určitý časový průběh technologického procesu, je-li příslušné technologické zařízení ovladatelné elektrickými digitálními a analogovými signály.



Vynález se týká zapojení elektronického časového programátoru a řeší časové programování funkce libovolného systému, vyžadujícího digitální i analogové vstupní signály.

Dosud používaná zapojení pro programování funkce systému v závislosti na čase jsou značně složitá, což znemožňuje jejich používání v jednodušších systémech a snižuje spolehlivost zařízení.

Uvedené nevýhody odstraňuje zapojení elektronického časového programátoru podle vynálezu. Podstata vynálezu spočívá v tom, že výstupní sběrnice programového bloku, na jehož vstupu jsou připojeny ovládací prvky, je připojena na první vstup komparátoru. Na druhý vstup komparátoru je připojena výstupní sběrnice AS hodin. Výstup komparátoru je připojen jednak na vstup R hodin, jednak na první vstup hradla. Druhý vstup tohoto hradla je napojen přes obvod blokování na ovládací prvek, a jeho výstup je připojen na vstup CL posuvného registru. Výstupy posuvného registru jsou připojeny jednak na zobrazovač, jednak na vstupy dalšího hradla, jehož výstup je připojen současně na vstup G blokovacího obvodu, na vstup R druhého čítače a na první vstup hradla. Výstup S hodin je spojen se vstupem CL prvního čítače, jehož vstup R je propojen současně se vstupní svorkou a se třetím vstupem hradla. Výstup QN prvního čítače je připojen zároveň na vstup G prvního čítače a na druhý vstup hradla, jehož výstup je napojen na vstup G hodin. Část výstupní sběrnice AS hodin je dále připojena na vstup CL druhého čítače, jehož výstup je napojen na vstup D digitálně analogového převodníku. Výstup tohoto převodníku je připojen na první vstup zesilovače, jehož výstup je připojen na výstupní svorku, přičemž vstup UR převodníku a druhý vstup zesilovače jsou jednotlivě připojeny k výstupům referenčního zdroje.

Hlavními výhodami popisovaného zapojení jsou jednoduchost, vysoká funkční variabilita daná vysokým stupněm integrace centrálního hodinového obvodu a činnost programátoru i při výpadku sítě. Schema zapojení podle vynálezu je na výkresu.

Výstupní sběrnice programového bloku DS, na jehož vstupy jsou připojeny ovládací prvky SA 1 a SA 2, je připojena na první vstup komparátoru IK. Na druhý vstup komparátoru IK je připojena výstupní sběrnice AS hodin DL. Výstup komparátoru IK je připojen zároveň na vstup R hodin DL a na první vstup hradla DA 1, jehož druhý vstup je napojen přes obvod DH blokování na ovládací prvek SB 1. Výstup hradla DA 1 je připojen na vstup CL posuvného registru DG, jehož výstupy jsou připojeny současně na zobrazovač HL a na vstupy hradla DA 2. Výstup hradla DA 2 je připojen současně na vstup G obvodu DH blokování, na vstup R čítače CT 2 a na první vstup hradla DB. Výstup S hodin DL je spojen se vstupem CL čítače DT 1, jehož vstup R je propojen současně se svorkou XS a se třetím vstupem hradla DB. Výstup QN čítače DT 1 je připojen zároveň na vstup G téhož čítače DR 1 a na druhý vstup hradla DB, jehož výstup je napojen na vstup G hodin DL. Část výstupní sběrnice AS hodin DL je připojena na vstup CL čítače DT 2, jehož výstup je napojen na vstup D digitálně analogového převodníku DAC. Výstup tohoto převodníku DAC je připojen na první vstup zesilovače NA, jehož výstup je připojen na svorku XS 2. Vstup UR převodníku DAC a druhý vstup zesilovače NA jsou jednotlivě připojeny k výstupům referenčního zdroje GU.

Funkce zapojení časového programátoru podle vynálezu spočívá v tom, že digitální časový údaj na výstupní sběrnici hodin DL je průběžně porovnáván s údajem z programového bloku DS. Při dosažení jednotlivých časů, předvolených ovládacími prvky SA 1 a SA 2, výstupní impuls z komparátoru IK jednak vynuluje hodiny DL, jednak posune registr RG o jeden bit, čímž se nastartuje další programový úsek.

První programový úsek se startuje ovládacím prvkem SB 1, jehož funkce je pak po celou dobu běhu programu zablokována obvodem DH. Blokovací signál je získáván z výstupu hradla DA 2 na základě vyhodnocení kombinace stavu výstupů registru RG, a kde dále využíván pro blokování chodu DL a čítače DT 2.

Čítač DT 1 slouží pro odměřování doby absence síťového napětí. Po dosažení přípustné doby výpadku sítě se signálem z výstupu QN čítače CT 1 zablokuje jak hodiny DL, tak i sám čítač CT 1.

Čítač CT 2 je zařazen ve funkci generátoru digitálního údaje pro digitálně analogový převodník DAC. Výstupní analogový signál z převodníku DAC je upraven na požadovaný výstupní rozsah zesilovačem NA. Referenční zdroj GU slouží jednak pro převodník DAC, jednak pro posuv výstupního napětí zesilovače NA.

P R Ě D M Ě T V Y N Á I E Z U

Zapojení elektronického časového programátoru, vyznačené tím, že výstupní sběrnice programového bloku (DS), na jehož vstupy jsou připojeny ovládací prvky (SA 1) a (SA 2), je připojena na první vstup komparátoru (IK), na jehož druhý vstup je připojena výstupní sběrnice (AS) hodin (DL) a výstup komparátoru (IK) je připojen jednak na vstup (R) hodin (DL) a jednak na první vstup hradla (DA 1), jehož druhý vstup je připojen přes obvod (DH) blokování na ovládací prvek (SB 1), zatímco výstup hradla (DA 1) je připojen na vstup (CL) posuvného registru (DG), jehož výstupy jsou připojeny jednak na zobrazovač (HL) a jednak čtyři na vstupy hradla (DA 2), a výstup hradla (DA 2) je připojen současně na vstup (G) obvodu (DH) blokování, na vstup (R) čítače (DT 2) a na první vstup hradla (DB); přičemž výstup (S) hodin (DL) je spojen se vstupem (OL) čítače (DT 1), jehož vstup (R) je propojen současně se svorkou (XS) a se třetím vstupem hradla (DB), přičemž výstup (QN) čítače (DT 1) je připojen jednak na vstup (G) čítače (DT 1) a jednak na druhý vstup hradla (DB), jehož výstup je připojen na vstup (G) hodin (DL); přičemž část výstupní sběrnice (AS) hodin (DL) je připojena na vstup (CL) čítače (DT 2), jehož výstup je připojen na vstup (D) digitálně analogového převodníku (DAC), jehož výstup je připojen na první vstup zesilovače (NA), jehož výstup je připojen na svorku (XS 2), přičemž vstup (UR) převodníku (DAC) a druhý vstup zesilovače (NA) jsou jednotlivě připojeny k výstupům referenčního zdroje (GU).

