[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 21/76
H01L 21/8239 H01L 21/8242

[12] 发明专利说明书

[21] ZL 专利号 99111868.5

[45] 授权公告日 2004 年 9 月 8 日

[11] 授权公告号 CN 1165984C

[22] 申请日 1999.7.30 [21] 申请号 99111868.5

[30] 优先权

[32] 1998. 7.31 [33] US [31] 09/127262

[71] 专利权人 西门子公司

地址 联邦德国慕尼黑

[72] 发明人 U·格吕宁

审查员 刘静_1

[74] 专利代理机构 中国专利代理(香港)有限公司

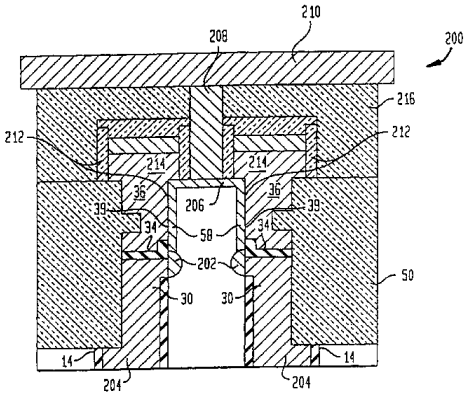
代理人 吴增勇 陈景峻

权利要求书 5 页 说明书 10 页 附图 10 页

[54] 发明名称 形成受控深沟槽顶部隔离层的装置和方法

[57] 摘要

用以控制半导体存储器的深沟槽中隔离层厚度的方法包括以下步骤：形成深沟槽，在深沟槽中形成具有埋层带的存储节点；在埋层带上淀积隔离层，用来为存储节点提供电隔离；在隔离层上形成用来掩蔽隔离层的与埋层带接触的部分的掩蔽层；以及去除隔离层的除了由掩蔽层掩蔽的部分之外的部分，从而改善对隔离层的厚度的控制。 还包括制造垂直晶体管的方法：使基片凹进，使得可以增加晶体管沟道与埋层带向外扩散部分之间的重叠。还公开一种半导体存储器。



ISSN1008-4274

1. 一种用于控制半导体存储器的沟槽中隔离层厚度的方法，它包括以下步骤:

形成深沟槽，在深沟槽中形成存储节点，所述存储节点具有埋层带;

在所述埋层带上淀积隔离层，以便为所述存储节点提供电隔离;

在所述隔离层上形成用来掩蔽所述隔离层的与所述埋层带接触的部分的掩蔽层; 以及

去除所述隔离层的除了由所述掩蔽层掩蔽的部分之外的部分。

2. 权利要求 1 的方法，其特征在于: 所述淀积隔离层的步骤包括采用化学汽相淀积法淀积所述隔离层。

3. 权利要求 1 的方法，其特征在于: 所述淀积隔离层的步骤包括采用等离子体增强的化学汽相淀积法淀积所述隔离层。

4. 权利要求 1 的方法，其特征在于: 所述隔离层包括氧化物。

5. 权利要求 1 的方法，其特征在于: 所述隔离层包括氮化物。

6. 权利要求 1 的方法，其特征在于: 所述隔离层的厚度在大约 20 纳米至大约 50 纳米之间。

7. 权利要求 1 的方法，其特征在于: 所述形成掩蔽层的步骤包括淀积可以对其进行相对于所述隔离层的选择性蚀刻的材料的步骤。

8. 权利要求 7 的方法，其特征在于: 所述材料包括多晶硅。

9. 一种用于制造具有沟槽隔离层的存储单元的方法，它包括以下步骤:

在基片中形成深沟槽，在深沟槽中形成存储节点，所述存储节点具有埋层带;

在所述埋层带上淀积隔离层，以便为所述存储节点提供电隔离;

在所述隔离层上形成用来掩蔽所述隔离层的与所述埋层带接触

的部分的掩蔽层;

对所述隔离层进行相对于所述掩蔽层的选择性的蚀刻，以便留下由掩蔽层所掩蔽的部分;

通过至少去除所述基片的与所述深沟槽相邻的部分来开通与所述深沟槽连通的隔离沟槽;

用介质材料填充所述隔离沟槽，以便形成沟槽隔离层。

10. 权利要求 9 的方法，其特征在于还包括以下步骤：形成用于对位于所述隔离层下面的沟槽中的存储节点进行存取的存取器件。

11. 权利要求 10 的方法，其特征在于：所述形成存取器件的步骤包括形成具有在基片中形成的、用来把所述埋层带电耦合到位线的沟道的晶体管。

12. 权利要求 11 的方法，其特征在于还包括以下步骤：使所述基片的、与所述深沟槽相邻的部分凹进、以便形成离开所述深沟槽较大距离的所述晶体管。

13. 权利要求 9 的方法，其特征在于还包括以下步骤：在所述深沟槽的顶部形成与所述沟槽隔离层相邻并且与所述隔离层相邻的晶体管栅极。

14. 权利要求 9 的方法，其特征在于：所述淀积所述隔离层的步骤包括通过化学汽相淀积来淀积所述隔离层。

15. 权利要求 9 的方法，其特征在于：所述隔离层包括氧化物。

16. 权利要求 9 的方法，其特征在于：所述隔离层包括氮化物。

17. 权利要求 9 的方法，其特征在于：所述隔离层的厚度在大约 20 纳米至大约 50 纳米之间。

18. 权利要求 9 的方法，其特征在于：所述掩蔽层包括多晶硅。

19. 权利要求 9 的方法，其特征在于：所述沟槽隔离包括浅沟槽隔离。

20. 权利要求 9 的方法，其特征在于：所述沟槽隔离包括凸起的浅沟槽隔离。

21. 一种用于制造垂直晶体管的方法，它包括以下步骤：

形成基片，在基片中形成沟槽，每一个沟槽具有形成在其中的存储节点，所述存储节点具有埋层带；

在所述埋层带上形成隔离层；

对所述基片进行横向蚀刻，以便在所述基片中形成凹口，使得所述凹口延伸到所述沟槽的各侧边之外，所述凹口与所述沟槽连通；以及

在所述凹口中形成栅极导体，以便形成与所述栅极导体邻接的沟道，后者用来在激励所述栅极导体时在所述埋层带和导电线路之间提供电传导。

22. 权利要求 21 的方法，其特征在于：所述横向蚀刻步骤包括采用干式蚀刻工艺的横向蚀刻。

23. 权利要求 21 的方法，其特征在于：所述横向蚀刻步骤包括采用化学下游蚀刻和反应离子蚀刻法中的一种的横向蚀刻。

24. 权利要求 21 的方法，其特征在于：所述导电线路包括位线。

25. 一种半导体存储器，它包括：

基片，所述基片具有多个形成在其中的深沟槽，每一个深沟槽具有：

形成在其中的、用来对位于该深沟槽中的存储节点进行存取的埋层带；

在所述埋层带上形成的、用来为所述埋层带提供电隔离的淀积的隔离层；以及

在所述隔离层上形成的、用来为所述隔离层的与所述埋层带接触的部分提供掩模的掩蔽层，所述掩蔽层是可以对其进行相对于所述隔离层的选择性蚀刻的，其中，所述掩蔽层改进了对所述隔离层的厚度的控制。

26. 权利要求 25 的半导体存储器，其特征在于：所述掩蔽层可

以包含多晶硅。

27. 权利要求 25 的半导体存储器，其特征在于：所述隔离层包括氧化物。

28. 权利要求 25 的半导体存储器，其特征在于：所述隔离层包括氮化物。

29. 权利要求 25 的半导体存储器，其特征在于：所述隔离层的厚度在大约 20 纳米至大约 50 纳米之间。

30. 权利要求 25 的半导体存储器，其特征在于还包括存取晶体管，所述存取晶体管包含形成在沟槽中的栅极并且所述栅极的至少一部分与隔离层接触，所述晶体管具有形成在所述基片中邻接所述栅极的沟道，用来把所述埋层带电耦合到位线。

31. 权利要求 30 的半导体存储器，其特征在于还包括在所述深沟槽的至少一部分中形成的用于将所述栅极与所述存储节点隔离的沟槽隔离。

32. 权利要求 30 的半导体存储器，其特征在于：所述基片包括凹进部分，所述凹进部分使得可以增加所述埋层带的向外扩散部分和所述沟道之间的重叠。

33. 一种用于制造具有深沟槽的半导体存储器用的垂直晶体管的方法，它包括以下步骤：

形成基片，在所述基片中形成深沟槽，每一个所述深沟槽具有形成在其中的存储节点，所述存储节点具有凹进在所述基片的顶面下面的埋层带；

在所述埋层带和沟槽侧壁上形成隔离层；

在隔离层上淀积空层；

通过至少去除所述基片的邻接所述深沟槽的部分来打通与所述深沟槽连通的隔离层沟槽；

用介质材料填充所述隔离沟槽，以便形成沟槽隔离；

对所述空层进行相对于所述介质材料和所述隔离层的选择性蚀

刻；

从所述沟槽侧壁去除所述隔离层；以及

形成与所述基片的所述被去除部分邻接的垂直晶体管。

5

形成受控深沟槽顶部隔离层的装置和方法

本公开涉及半导体器件，更详细地说，涉及形成用于半导体存储器的深沟槽隔离层的装置和方法。

诸如动态随机存储存储器（DRAM）的半导体存储器通常包含存储单元。这些存储单元包含存储节点。这些存储节点一般形成在蚀刻于半导体存储器芯片的基片中的深沟槽中。这些存储节点是利用存取晶体管来存储的，随着所需要的操作是读出或者写入功能而定，所述存取晶体管使得可以将电荷存入存储节点或者从存储节点取回电荷。通常，必须确保存储节点与栅导体的充分的电隔离。

确保存储节点充分电隔离的一种方法是在存储节点上形成顶部沟槽氧化物层。存储节点通常包含部分地填充深沟槽的多晶硅材料。在制造多晶硅过程中在沟槽的顶部留下凹槽。在半导体器件的表面上淀积氧化物（二氧化硅）。在淀积氧化物的过程中，在沟槽中的多晶硅上淀积氧化物。通过对半导体器件表面进行平面化以及把该氧化物做成凹形来去除淀积的氧化物的其它部分，以便在凹槽的底部留下 30－50 纳米氧化物层。这种氧化物层称为沟槽顶部氧化物或者隔离层。

氧化物凹进工艺是难于控制的。这种困难在剩余的氧化物层厚度方面引入了许多可变性。沟槽顶部氧化物厚度是重要的参数，为了使半导体存储器正常工作，必须维持该沟槽顶部氧化物厚度。如上所述，沟槽顶部氧化物将存储节点与半导体器件的栅极导体电隔离。

因此，存在对具有可控厚度的沟槽顶部介质的需求。还存在对形成用于在深沟槽顶部形成的晶体管的沟槽顶部隔离层的方法的需

求。

根据本发明，用以控制半导体存储器的深沟槽中隔离层厚度的方法包括以下步骤：形成深沟槽，在深沟槽中形成存储节点，所述存储节点具有埋层带；在所述埋层带上淀积隔离层，以便为存储节点提供电隔离；在所述隔离层上形成用来掩蔽所述隔离层的与所述埋层带接触的部分的掩蔽层；以及去除所述隔离层的除了由所述掩蔽层掩蔽的部分之外的部分，从而改善对所述隔离层的厚度的控制。

在根据本发明的其它有用的方法中，所述淀积隔离层的步骤可以包括采用化学汽相淀积或者采用等离子体增强的化学汽相淀积来淀积所述隔离层。隔离层可以包括氧化物、氮化物或两者的组合。隔离层的厚度最好在大约 20 纳米至大约 50 纳米之间。所述形成掩蔽层的步骤可以包括淀积可以对其进行相对于所述隔离层的选择性蚀刻的材料的步骤。所述材料可以包括多晶硅。

一种用于制造具有沟槽隔离的存储单元的方法包括以下步骤：形成深沟槽，在深沟槽中形成存储节点，所述存储节点具有埋层带；在所述埋层带上淀积隔离层，以便为存储节点提供电隔离；在所述隔离层上形成用来掩蔽所述隔离层的与所述埋层带接触的部分的掩蔽层；相对于所述掩蔽层选择性地蚀刻所述隔离层，以便留下由掩蔽层所掩蔽的部分；通过至少去除所述基片的与深沟槽相邻的部分来开通与所述深沟槽连通的隔离沟槽；用介质材料填充所述隔离沟槽，以便形成沟槽隔离。

在其它特别有用的方法中，最好包括形成用以对位于所述隔离层下面的沟槽中的存储节点进行存取的存取器件的步骤。所述形成存取器件的步骤包括形成具有在基片中形成的、用来把所述埋层带电耦合到位线的沟道的晶体管。最好包括使所述基片的、与深沟槽相邻的部分凹进、以便形成离开深沟槽较大距离的晶体管的步骤。还可以包括在所述深沟槽的顶部形成与所述沟槽隔离相邻并且与所述隔离层相邻的晶体管栅极的步骤。可以通过化学汽相淀积来淀积

所述隔离层。所述隔离层可以包括氧化物、氮化物或者它们的组合。隔离层的厚度最好在大约 20 纳米至大约 50 纳米之间。所述掩蔽层可以包括多晶硅。所述沟槽隔离可以包括浅沟槽隔离或者凸起的浅沟槽隔离。

制造垂直晶体管用的方法包括以下步骤：形成基片，在基片中形成沟槽，每一个沟槽具有形成在其中的存储节点，所述存储节点具有埋层带；在所述埋层带上形成隔离层；对所述基片进行横向蚀刻，以便在基片中形成凹进的台阶，使得凹口延伸到所述沟槽的各侧之外，所述凹口是与沟槽连通的；以及在所述凹口中形成栅极导体，以便形成邻接栅极导体的沟道，后者用来在所述栅极导体被激励时在埋层带和导电线路之间提供电传导。

在制造垂直晶体管的其它方法中，所述横向蚀刻步骤最好包括采用诸如化学下游蚀刻或者反应离子蚀刻法的干式蚀刻工艺的横向蚀刻。所述导电线路可以包括位线。

一种半导体存储器包括具有多个形成在其中的深沟槽的基片。每一个深沟槽具有：形成在其中的、用来对位于该深沟槽中的存储节点进行存取的埋层带；在所述埋层带上形成的、用来为所述埋层带提供电隔离的淀积的隔离层；以及在所述隔离层上形成的、用来为所述隔离层的与所述埋层带接触的部分提供掩模的掩蔽层，所述掩蔽层是可以对其进行相对于隔离层的选择性蚀刻的，其中，所述掩蔽层改进了对所述隔离层的厚度的控制。

在半导体存储器的可供选择的实施例中，掩蔽层可以包含多晶硅。隔离层可以包括氧化物、氮化物或者它们的组合。隔离层的厚度最好在大约 20 纳米至大约 50 纳米之间。可以包括其栅极形成在沟槽中并且该栅极的至少一部分与隔离层接触的存取晶体管，所述晶体管具有形成在基片中的与栅极相邻的沟道，用来把所述埋层带电耦合到位线。可以在沟槽的至少一部分中形成用于将栅极与存储节点隔离的沟槽隔离。基片可以包括凹进部分，所述凹进部分用来

使栅极和沟道能够位于离开沟槽更远的位置。

用于制造具有深沟槽的半导体存储器用的垂直晶体管的方法包括以下步骤：形成基片，在基片中形成深沟槽，每一个深沟槽具有形成在其中的存储节点，所述存储节点具有凹进在基片的顶面下面的埋层带；在所述埋层带和沟槽侧壁上形成隔离层；在隔离层上淀积空层（dummy layer）；通过至少去除所述基片的邻近深沟槽的一部分来打通与深沟槽连通的隔离沟槽；对所述空层进行相对于所述介质材料和隔离层的选择性蚀刻；从所述沟槽侧壁去除隔离层；以及形成与基片的被去除部分邻接的垂直晶体管。

下面将联系附图阅读对本发明的例证性的实施例的详细描述，由此将明白本发明的这些和其它目的、特征和优点。

本公开将联系以下附图给出对最佳实施例的详细描述。

图 1 是半导体器件的一部分的截面图，显示沟槽结构；

图 2 是图 1 的半导体器件的截面图，所述器件具有根据本发明淀积在其上的隔离层；

图 3 是图 2 的半导体器件的截面图，所述器件具有根据本发明淀积在其上的掩蔽层；

图 4 是根据本发明对所述掩蔽层进行深蚀刻之后的图 3 的半导体器件的截面图；

图 5 是根据本发明对所述隔离层进行蚀刻、留下所述隔离层的在所述掩蔽层下面的部分的图 4 的半导体器件的截面图；

图 6 是图 5 的半导体器件的截面图，显示根据本发明被去除的掩蔽层；

图 7 是根据本发明蚀刻出隔离沟槽之后的图 6 的半导体器件的截面图；

图 8 是图 7 的半导体器件的截面图，显示根据本发明在所述座上形成的凸起的浅沟道隔离介质；

图 9 是图 8 的半导体器件的截面图，显示根据本发明形成在所

述沟槽中的栅极叠层;

图 10 是另一个实施例的截面图，显示具有根据本发明淀积在其上的掩蔽层的图 2 的半导体器件;

图 11 是根据本发明蚀刻出座或者小孔之后的图 10 的半导体器件的截面图;

图 12 是图 11 的半导体器件的截面图，显示根据本发明形成在所述座中的浅沟槽隔离介质;

图 13 是图 12 的半导体器件的截面图，显示根据本发明利用部分掩蔽层去除所述浅沟槽隔离介质中的一部分;

图 14 是根据本发明对所述隔离层进行蚀刻、留下所述隔离层的在所述掩蔽层下面的部分的图 13 的半导体器件的截面图;

图 15 是根据本发明去除焊盘叠层的图 14 的半导体器件的截面图;

图 16 是图 15 的半导体器件的截面图，显示根据本发明形成在所述沟槽中的栅极叠层;

图 17 是本发明的另一个实施例的截面图，显示根据本发明的用来形成更加离开沟槽的晶体管器件的凹进的基片;

图 18 是本发明的另一个实施例的截面图，显示根据本发明的具有更加远离沟槽的晶体管栅极和晶体管沟道的凹进的基片;

图 19 是半导体器件的截面图，显示根据本发明的两个垂直晶体管; 以及

图 20 是显示图 19 的半导体器件的布局的示意图。

本公开涉及半导体器件，更详细地说，涉及形成用于半导体存储器的深沟槽隔离层的装置和方法。本发明提供用于在深沟槽中存储节点上形成顶部沟槽隔离层的改进的方法。在淀积沟槽顶部隔离层之后引入空层或者掩蔽层。这样，可以把所述空层蚀刻到所需要的高度。然后，将空层平面化并且使其一些部分凹进，在存储节点上面留下受控的沟槽顶部隔离层部分。本文中包含进一步的细节。

现在，在细节方面参考附图，其中，所有各图中相同的标号标记类似的或相同的元件，图 1 显示半导体器件 10 的一部分。半导体器件 10 包括基片 12，后者最好是硅基片，虽然也考虑其它材料，例如砷化镓。采用本专业的技术人员已知的工艺在基片 12 中形成穿过焊盘叠层 16 的深沟槽 14，焊盘叠层 16 最好包括焊盘氧化物层 18 和焊盘氮化物层 20。虽然可以采用淀积方法，但是最好采用热氧化来形成焊盘氧化物层 18。焊盘氮化物层 20 最好是淀积在焊盘氧化物层 18 上的。在沟槽 14 中形成用于将沟槽 14 的一部分与基片 12 电隔离的套环 22。通过围绕沟槽 14 的侧面和底面的薄的介质层（未示出）来使沟槽 14 的下部分（未示出）进一步与基片 12 电隔离。

用导电填充材料、最好是多晶硅或者掺杂的多晶硅填充沟槽 14。填充材料 24 伸展到套环 22 的顶部并且接触基片 12。由此在沟槽 14 中留下凹口 26。

参考图 2，淀积隔离层 28。隔离层 28 覆盖各暴露的表面，包括焊盘叠层 16、沟槽 14 和填充材料 24 的壁。隔离层 28 包括用来将工作时起存储节点作用的填充材料隔离的介质材料。通常把隔离层 28 和套环 22 的顶部之间的填充材料称为埋层带 30。隔离层 28 最好包括氧化物、例如氧化硅，氮化物、例如氮化硅，或者它们的组合。隔离层 28 的淀积由于消除了先有技术中进行的传统的填充和凹进处理而获得对层 28 的厚度的较好的控制。 隔离层 28 的淀积可以包括化学汽相淀积（CVD），等离子体增强的化学汽相淀积（PCVD）或其它合适的淀积工艺。由于与先有技术相比，隔离层的厚度得到更好和更可靠的控制，所以，这种淀积工艺是最佳的。在最佳实施例中，层 28 具有大约 20 纳米至 50 纳米之间的厚度，而更加可取的是大约 30 纳米至 40 纳米之间的厚度。

参考图 3 至 9，图中描述用于浅沟槽隔离（RSTI）的受控隔离层的形成。参考图 3，在图 2 中所示的结构上淀积空层或者掩蔽层 32。空层 32 最好是多晶硅，后者有利的是比氧化物或者氮化物更加容易

凹进。空层 32 可以包括抗蚀剂。如图 4 中所示，空层 32 向下凹进到沟槽 14 中，到达隔离层 28 上方预定的高度。虽然也可以考虑干式蚀刻工艺，但是最好通过湿式蚀刻工艺对隔离层 28 进行选择性蚀刻，以便去除隔离层 28 中除了被空层 32 掩蔽的部分之外的部分，如图 5 中所示。湿式蚀刻可以包括利用 HF 或者 HF 甘油的蚀刻。干式蚀刻可以包括化学下游蚀刻或者反应离子蚀刻。

参考图 6，从基片 12 去除焊盘叠层 16，最好采用湿式蚀刻工艺。任选地蚀刻出空掩模 32，但是，随设计而定，可以留下空掩模 32。剩余的结构包括受控的沟槽顶部隔离层 34，并且准备进行损失（sacrificial）氧化物淀积和离子注入，以便在器件 10 上形成各种器件。

参考图 7，在离子注入之后，去除损失氧化物层（未示出）。在沟槽 14 中淀积导电材料 38。在去除损失氧化物层之后，形成栅极氧化物 39，继之以导电材料 38 淀积（栅极导体 36 的一部分）。导电材料 38 淀积过程可以充满或者未充满所述沟槽凹口。淀积最好是氮化物的第二焊盘叠层 37。将器件 10（有源区）掩蔽并且蚀刻器件 10 的一部分，以便形成用于凸起的浅沟槽隔离材料的隔离沟道 29。如图 7 中所示，去除基片 12、埋层带 30、沟槽顶部隔离层 34，套环 22 填充材料 24 和导电材料 38 的一部分。

参考图 8 和 9，在隔离沟槽 29 中淀积最好是氧化物的介质材料 40，并且把它平面化到焊盘层 37。除去焊盘层 37，继之以淀积剩余的栅极叠层。通过淀积附加的导电材料，最好是多晶硅或者掺杂的多晶硅，来形成栅极导体 36。可以在栅极导体 36 上淀积例如硅化物、诸如硅化钨的导电层 42，以便进一步改善栅极导体 36 的导电性。在顶部和侧面用介质材料 44 使栅极导体 36 和导电层 42 与外界隔离，从而形成栅极叠层。介质材料 44 可以包括氧化物或氮化物，最好是氮化硅。栅极导体 36 邻接基片 12 的部分 46。部分 46 起垂直晶体管的沟道的作用。垂直晶体管具有作为源极的位线 210 和作为漏极的

存储节点 204（见图 19）。如图 9 中所示，栅极导体 36 通过隔离层 34 与埋层带 30 分离。如上所述，通过把空层 32 用于隔离层的形成的淀积工艺可靠地形成具有预定厚度的隔离层 34。虽然所示的是用于垂直晶体管结构的方法，但是，所述方法很容易扩展到其它晶体管和器件。如本专业中已知的那样，在所述栅极导体和基片 12 之间设置薄的栅极氧化物层 39。

现在将参考图 10－17 描述根据本发明的用于浅沟槽隔离(STI)的方法。参考图 10，在图 2 的结构上淀积空层或者掩蔽层 32。空层 32 覆盖隔离层 28。隔离层 28 基本上与上面所描述的相同。空层 32 最好包括多晶硅。可以淀积具有大约 20 纳米至大约 50 纳米之间的厚度的空层 32。空层 32 还可以用作随后的光刻工艺的防反射涂层（ARC），所述光刻工艺用于形成供在以后步骤中形成的器件用的有源区。

参考图 11 和 12，用掩模掩蔽器件 100，并且对器件 100 的各部分进行蚀刻，以便形成供浅沟槽隔离材料用的座 31。如图 11 中所示，去除基片 12、埋层带 30、沟槽顶部隔离层 28，套环 22，填充材料 24 和空层 32 的一部分。如图 12 中所示，用介质材料 50、最好是诸如二氧化硅的氧化物填充座 31。将顶面 52 平面化，以便制备供进一步处理用的表面 52。

参考图 13 和 14，使顶面 52 经历“消冰过程”（deglaze），以便从其中去除剩余的氧化物。使空层 32 凹进，以便形成如图中所示的凹口 54。如图 14 中所示，对隔离层 28 进行相对于空层 32 的选择性的蚀刻。同样，可以蚀刻介质材料 50 的一部分。虽然也考虑干式蚀刻，但是所述蚀刻工艺最好包括湿式蚀刻。湿式蚀刻可以包括利用 HF 或者 HF 甘油的蚀刻。干式蚀刻可以包括化学下游蚀刻或者反应离子蚀刻。空层 32 将隔离层 28 的与埋层带 30 接触的部分掩蔽，以便形成受控的隔离层 34。

参考图 15，从基片 12 去除焊盘叠层 16，最好采用湿式蚀刻工

艺。在去除焊盘氧化物之前任选地蚀刻掉空层 32，但是，随设计而定，可以留下空层 32。剩余的结构包括受控的沟槽顶部隔离层 34，并且准备进行损失（sacrificial）氧化物淀积和离子注入，以便在器件 100 上形成各种器件。

参考图 16，在离子注入之后，去除损失氧化物层（未示出）。通过在导电材料 38 上顶部建立栅极叠层来形成栅极导体 36。导电材料最好包括多晶硅或者掺杂的多晶硅。象本专业中已知的那样在栅极导体和基片 12 之间设置薄栅极氧化物层 39。可以在栅极导体 36 上淀积例如硅化物、诸如硅化钨的导电层 42，以便进一步改善栅极导体 36 的导电性。在顶部和侧面用介质材料 44 使栅极导体 36 和导电层 42 与外界隔离。介质材料 44 可以包括氧化物或氮化物，最好是氮化硅。栅极导体 36 邻接基片 12 的部分 46。部分 46 起垂直晶体管的沟道的作用。垂直晶体管具有作为源极的位线 210 和作为漏极的存储节点 204（见图 19）。如图 16 中所示，栅极导体 36 通过隔离层 34 与埋层带 30 分离。如上所述，通过把空层 32 用于隔离层形成的淀积工艺可靠地形成具有预定厚度的隔离层 34。虽然所示的是用于垂直晶体管结构的方法，但是，所述方法很容易扩展到其它晶体管和器件。

参考图 17 和 18，在一个实施例中，可以进一步处理图 14 的结构，以便实现关于垂直晶体管的改进。以下措施是有益的：移动晶体管沟道、使其离开沟槽 14 更远，以便增加与埋层带向外扩散部分的重叠而不会由于形成深结而降低器件的性能。最好进行去除基片 12 的部分 60 的蚀刻处理，使得当形成沟道 58 时，沟道 58 离开沟槽 14 更远。同时，也可以蚀刻空层 32。所述蚀刻工艺最好包括干式蚀刻，例如化学下游蚀刻。对基片 12 进行蚀刻，以便形成凹口 60。如图 18 中所示，凹口 60 形成用于移动垂直晶体管（由虚线包围的）、使其更加远离沟槽 14 的空间。象本专业中已知的那样在栅极导体和基片 12 之间设置薄栅极氧化物层 39。

参考图 19 和 20，图中示出具有两个根据本发明的存储单元的半导体器件 200。每个存储单元包括具有按照本发明的方法形成在其上的隔离层 34 的埋层带 30。埋层带 30 包括协助把沟道 58 连接到沟槽 14 中的存储节点 204 的向外扩散区域 202。掺杂区 206 把沟道 58 连接到位线 208，后者连接到位线 210。位线 210 作为垂直晶体管 212 的源极，而存储节点 204 作为其漏极。工作时，栅极 214 被激励，使得电流可以在位线 210 和存储节点 204 之间流动。隔离层 34 将栅极导体 36 与存储节点 204 分离。象本专业中已知的那样在栅极导体和基片 12 之间设置薄栅极氧化物层 39。介质层 216 将位线 210 隔离。介质层 216 最好包括氧化物，例如硼磷硅玻璃（BPSG）。

已经描述了关于用来形成半导体存储器的深沟槽隔离的装置和方法的最佳实施例（它们的意图是例证性的而非限制性的），应当指出，根据以上的指导，本专业的技术人员可以作出各种修改和变化。因此，显然，在所公开的发明的特定的实施例方面，可以在后附的权利要求书所概述的本发明的范围和精神内作出各种变化。这样，已经利用专利法所要求的细节和特殊性描述了本发明，后附的权利要求书中陈述了要求和需要用专利权来保护的内容。

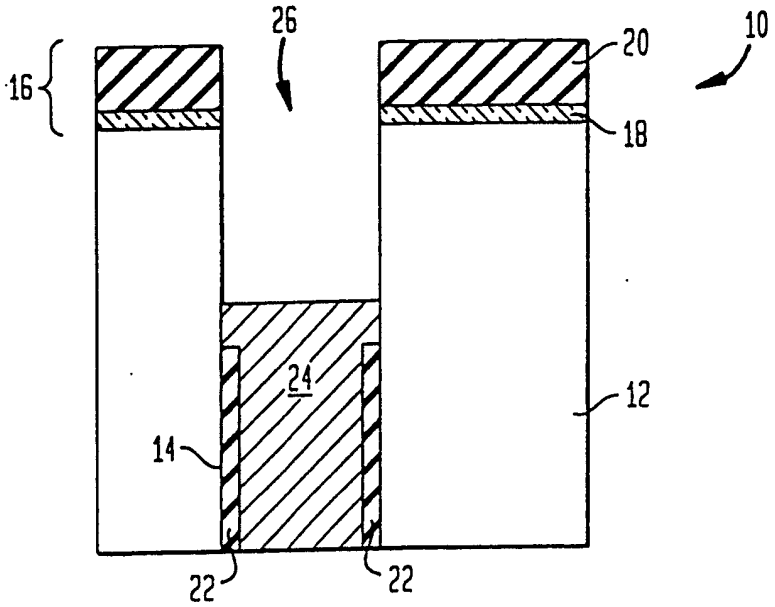


图 1

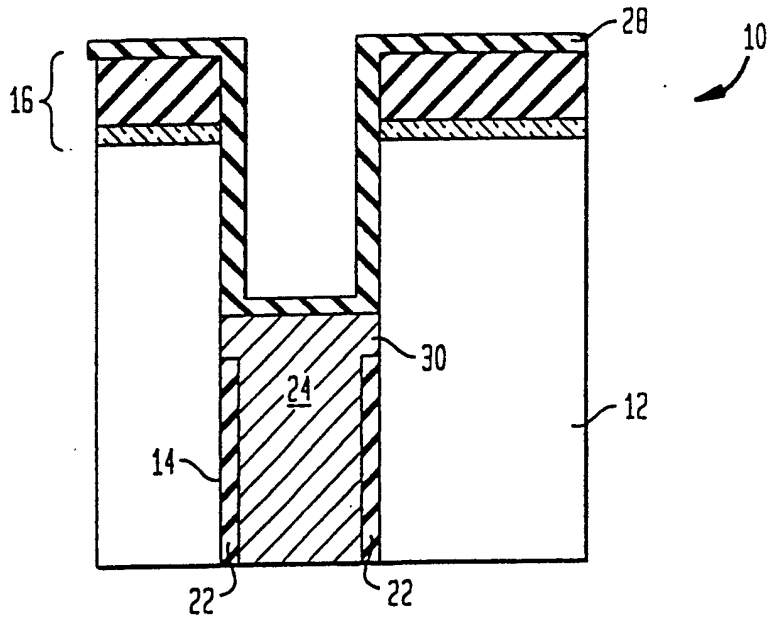


图 2

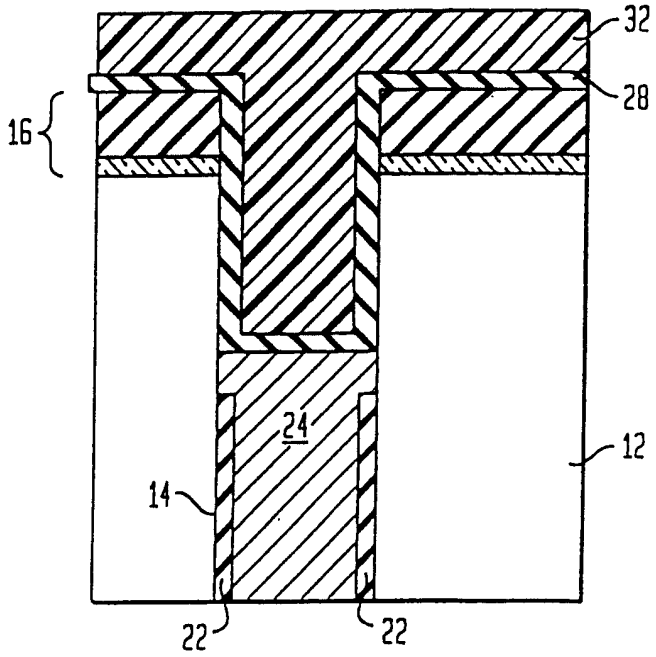


图 3

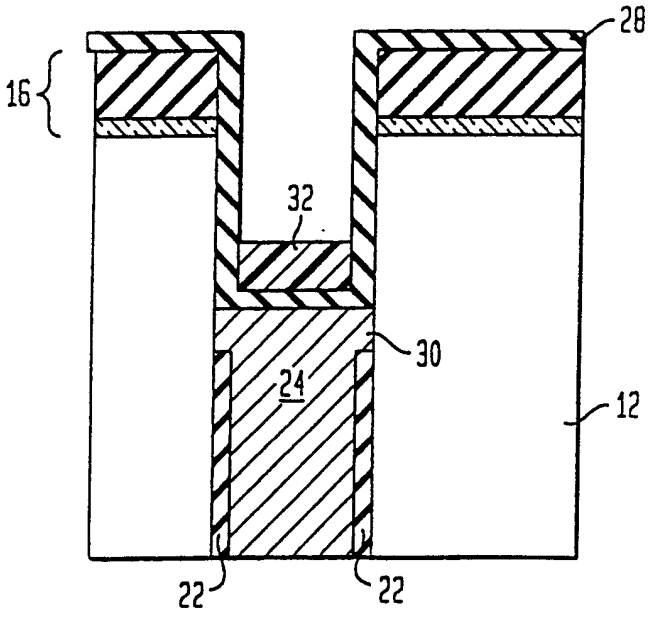


图 4

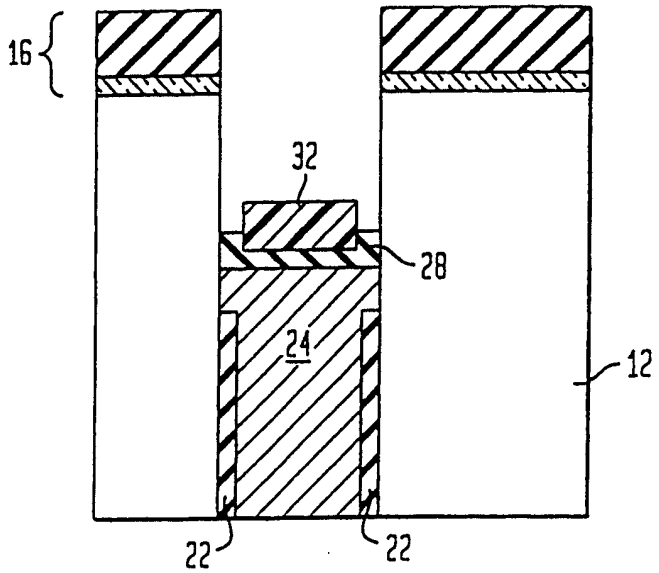


图 5

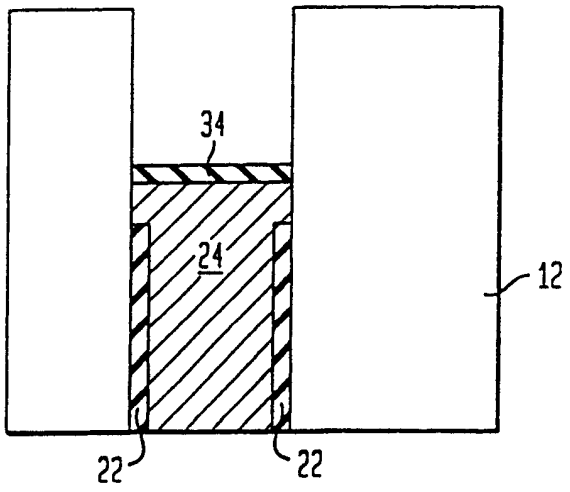


图 6

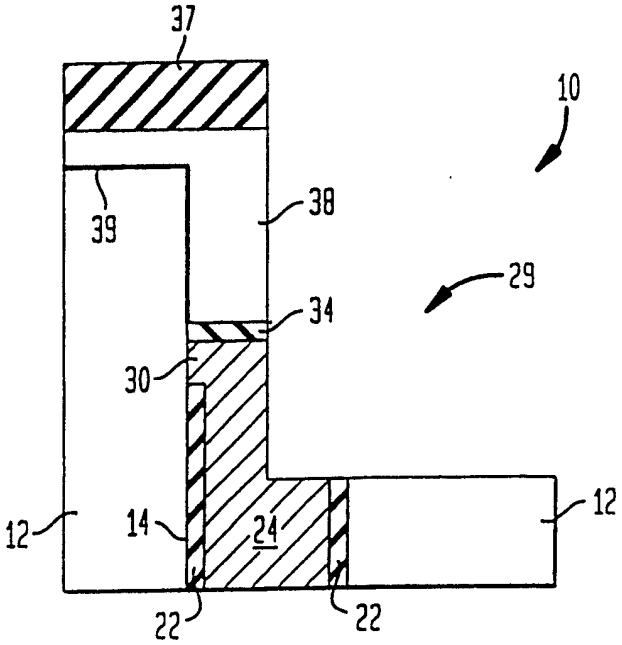


图 7

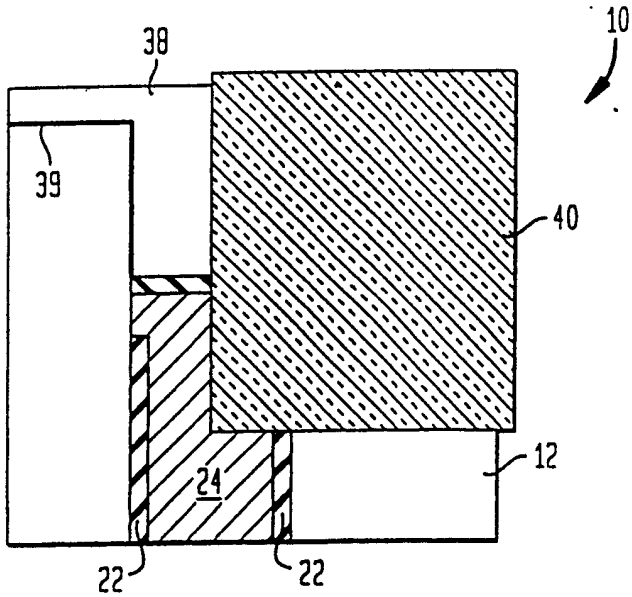


图 8

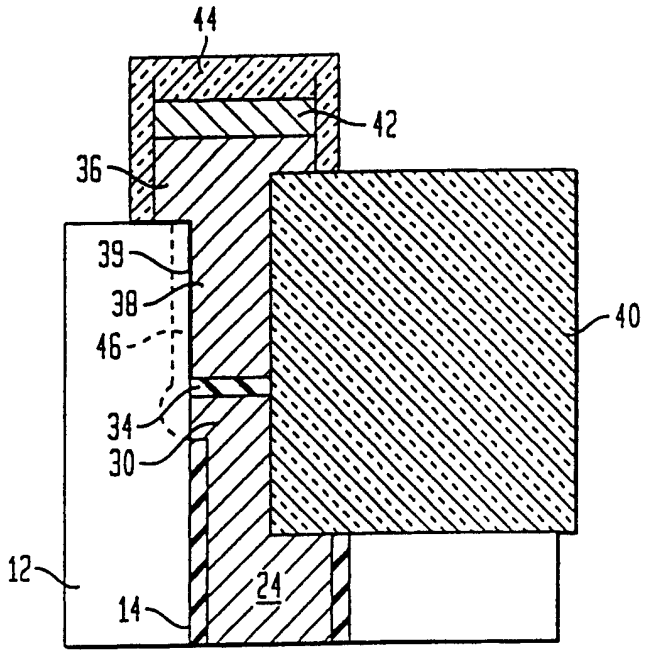


图 9

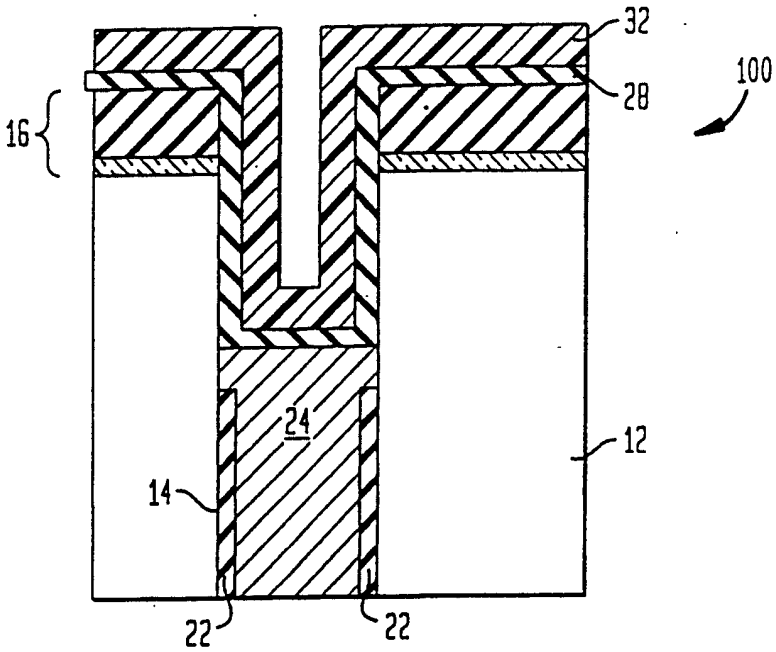


图 10

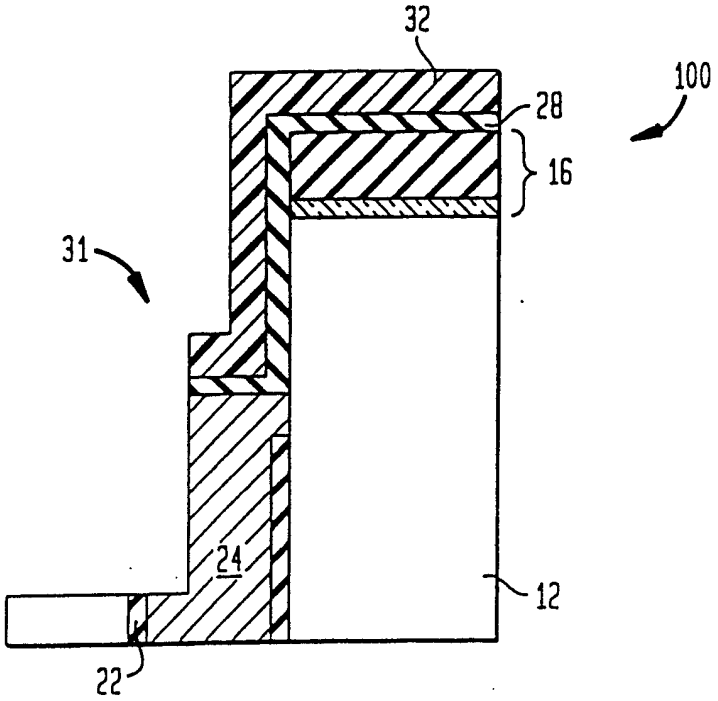


图 11

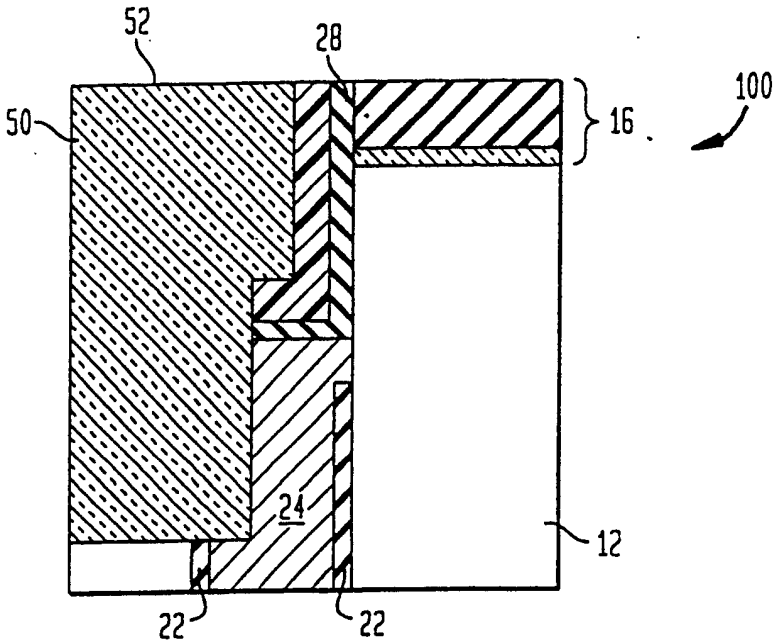


图 12

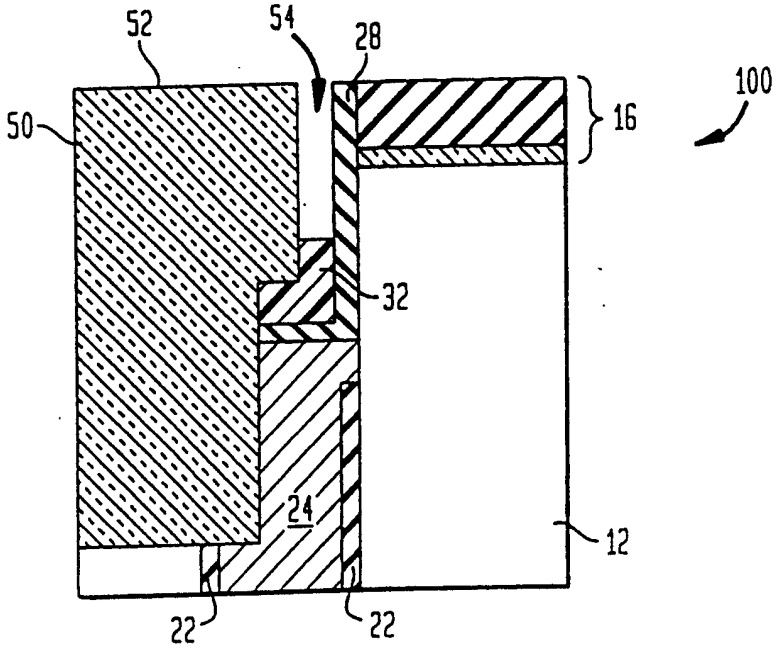


图 13

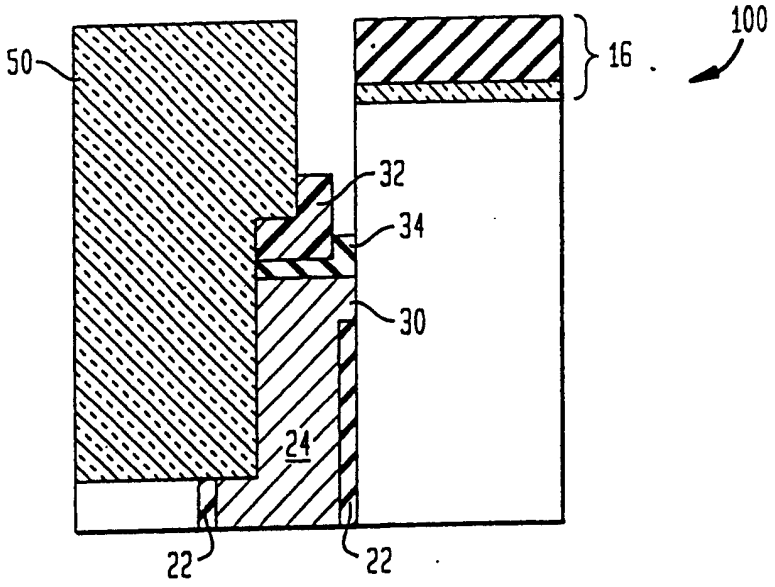


图 14

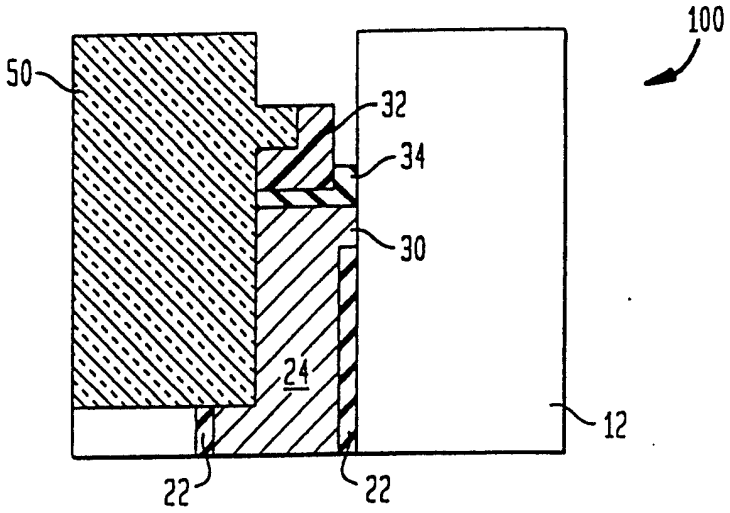


图 15

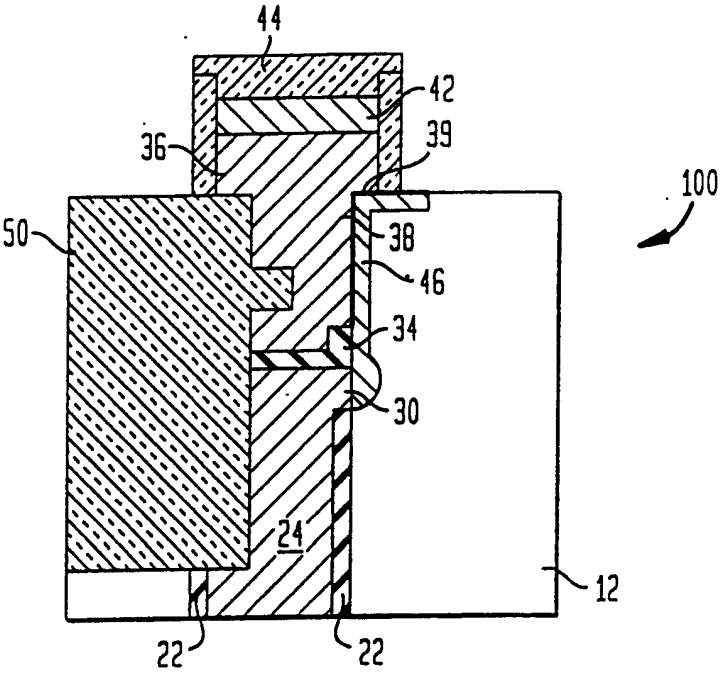


图 16

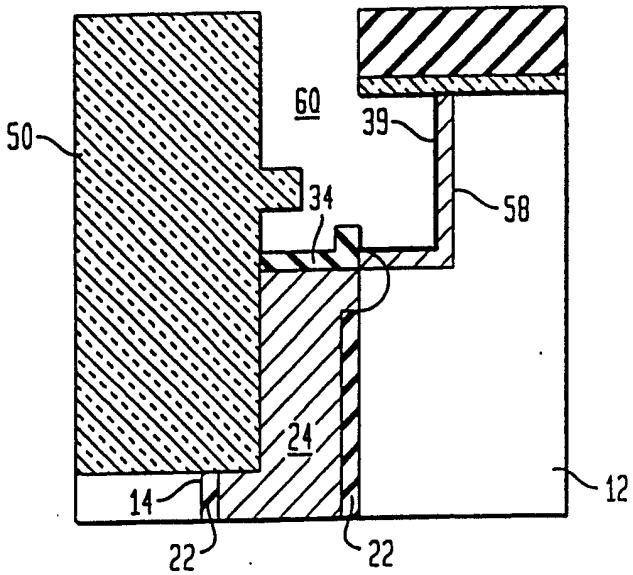


图 17

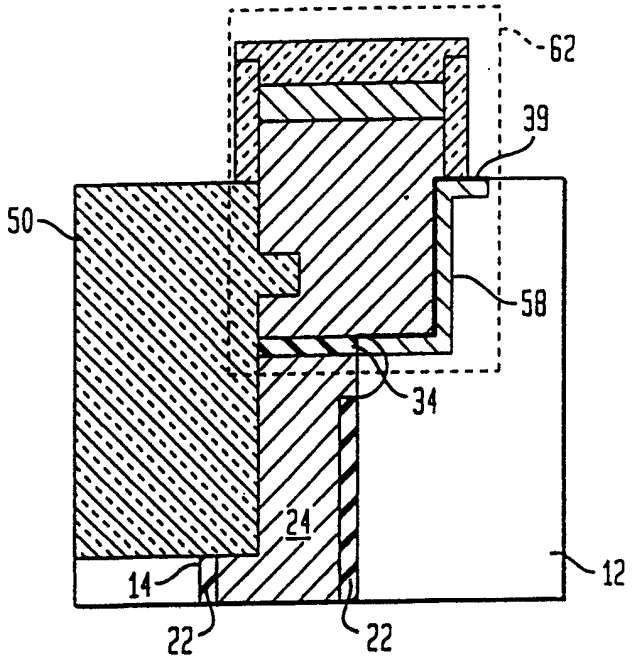


图 18

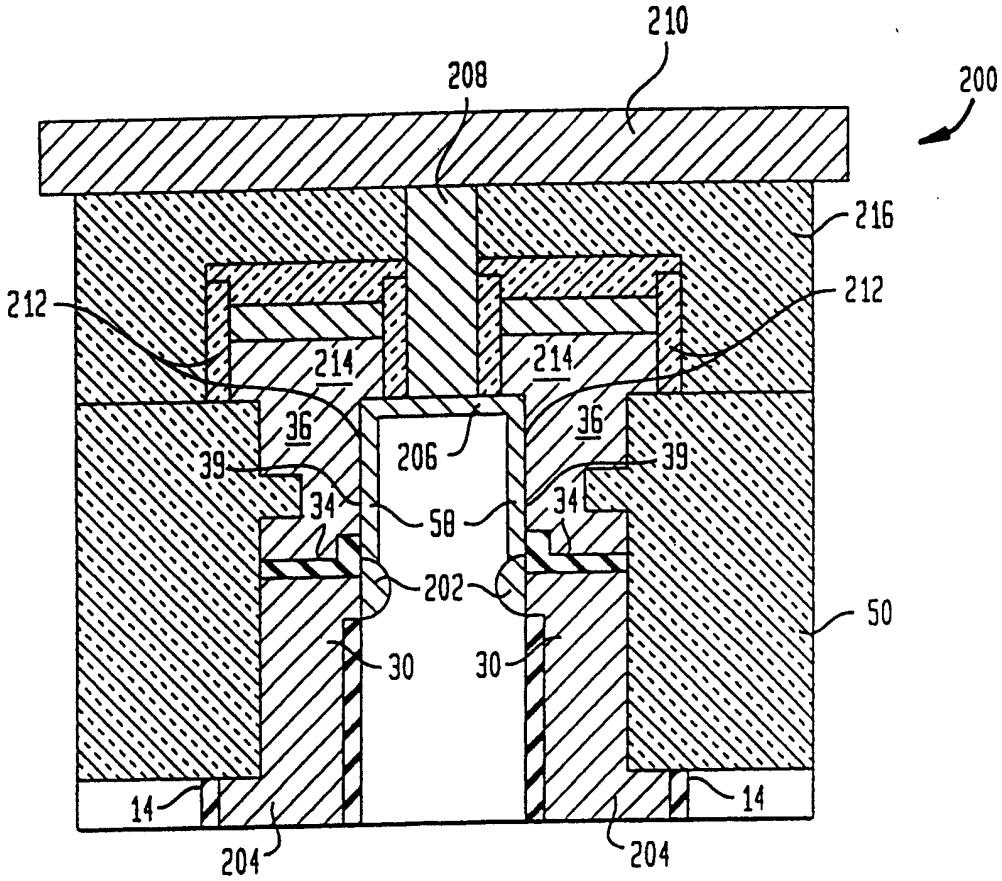

210
208
200
216
212
212
214
214
36
36
39
39
206
34
34
58
202
50
30
30
14
14
204
204

图 19

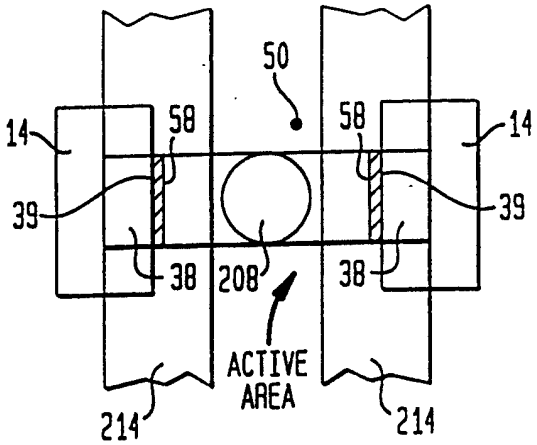

50
14
58
58
14
39
39
38
208
38
ACTIVE
AREA
214
214

图 20