

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2010-109359

(P2010-109359A)

(43) 公開日 平成22年5月13日 (2010.5.13)

| | | |
|---------------------------------|-----------------------|-------------|
| (51) Int.Cl. | F I | テーマコード (参考) |
| H 0 1 L 29/786 (2006.01) | H 0 1 L 29/78 6 1 2 B | 2 H 0 9 2 |
| G 0 2 F 1/1345 (2006.01) | H 0 1 L 29/78 6 1 8 B | 5 F 1 1 0 |
| G 0 2 F 1/1368 (2006.01) | G 0 2 F 1/1345 | |
| | G 0 2 F 1/1368 | |

審査請求 未請求 請求項の数 6 O L (全 47 頁)

| | | | |
|--------------|------------------------------|----------|---------------------|
| (21) 出願番号 | 特願2009-229226 (P2009-229226) | (71) 出願人 | 000153878 |
| (22) 出願日 | 平成21年10月1日 (2009.10.1) | | 株式会社半導体エネルギー研究所 |
| (31) 優先権主張番号 | 特願2008-258992 (P2008-258992) | | 神奈川県厚木市長谷398番地 |
| (32) 優先日 | 平成20年10月3日 (2008.10.3) | (72) 発明者 | 山崎 舜平 |
| (33) 優先権主張国 | 日本国 (JP) | | 神奈川県厚木市長谷398番地 株式会社 |
| | | | 半導体エネルギー研究所内 |
| | | (72) 発明者 | 秋元 健吾 |
| | | | 神奈川県厚木市長谷398番地 株式会社 |
| | | | 半導体エネルギー研究所内 |
| | | (72) 発明者 | 梅崎 敦司 |
| | | | 神奈川県厚木市長谷398番地 株式会社 |
| | | | 半導体エネルギー研究所内 |

最終頁に続く

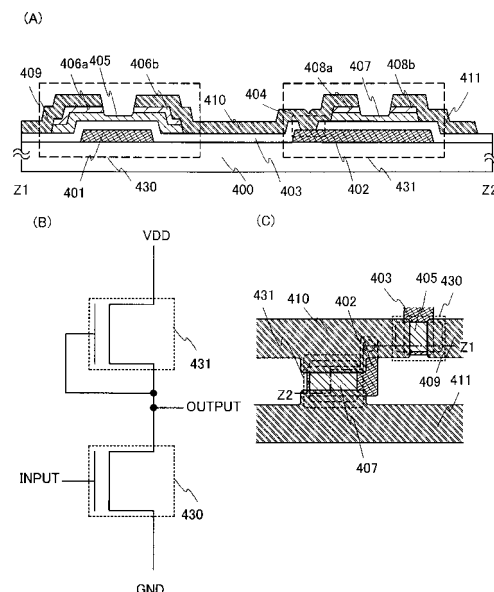
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】表示装置の高精細化に伴い、画素数が増加し、ゲート線数、及び信号線数が増加する。ゲート線数、及び信号線数が増加すると、それらを駆動するための駆動回路を有するＩＣチップをボンディング等により実装することが困難となり、製造コストが増大するという問題がある。

【解決手段】同一基板上に画素部と、画素部を駆動する駆動回路とを有し、駆動回路の少なくとも一部の回路を、酸化物半導体を用いた逆スタガ型薄膜トランジスタで構成する。同一基板上に画素部に加え、駆動回路を設けることによって製造コストを低減する。

【選択図】図 1



【特許請求の範囲】**【請求項 1】**

画素部と駆動回路とを有し、

前記画素部は、少なくとも第 1 の酸化物半導体層を有する第 1 の薄膜トランジスタを有し、

前記駆動回路は、少なくとも第 2 の酸化物半導体層を有する第 2 の薄膜トランジスタと、第 3 の酸化物半導体層を有する第 3 の薄膜トランジスタとを有し、

前記第 2 の酸化物半導体層の下方に設けられた前記第 2 の薄膜トランジスタのゲート電極と直接接する配線が、前記第 3 の酸化物半導体層の上方に設けられ、

前記配線は、前記第 3 の酸化物半導体層と電氣的に接続する前記第 3 の薄膜トランジスタのソース配線又はドレイン配線であることを特徴とする表示装置。

10

【請求項 2】

画素部と駆動回路とを有し、

前記画素部は、少なくとも第 1 の酸化物半導体層を有する第 1 の薄膜トランジスタを有し、

前記駆動回路は、少なくとも第 2 の酸化物半導体層を有する第 2 の薄膜トランジスタと、第 3 の酸化物半導体層を有する第 3 の薄膜トランジスタとを有し、

前記第 2 の酸化物半導体層の下方に設けられた前記第 2 の薄膜トランジスタのゲート電極と直接接する配線が、前記第 3 の酸化物半導体層の上方に設けられ、

前記配線は、前記第 3 の酸化物半導体層と電氣的に接続する前記第 3 の薄膜トランジスタのソース配線又はドレイン配線であり、

20

前記ソース配線と前記第 3 の酸化物半導体層との間、又は前記ドレイン配線と前記第 3 の酸化物半導体層との間に、前記第 3 の酸化物半導体層の膜厚よりも薄く、かつ前記第 3 の酸化物半導体層の導電率よりも高い導電率を有する第 4 の酸化物半導体層を有することを特徴とする表示装置。

【請求項 3】

請求項 1 又は請求項 2 において、前記第 1 の酸化物半導体層、前記第 2 の酸化物半導体層、及び前記第 3 の酸化物半導体層はそれぞれ膜厚の薄い領域を有することを特徴とする表示装置。

30

【請求項 4】

請求項 3 において、前記第 1 の薄膜トランジスタ、前記第 2 の薄膜トランジスタ、及び前記第 3 の薄膜トランジスタを覆い、かつ前記第 1 の酸化物半導体層、前記第 2 の酸化物半導体層、及び前記第 3 の酸化物半導体層に接する絶縁層を有することを特徴とする表示装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、前記第 1 の酸化物半導体層、前記第 2 の酸化物半導体層、及び前記第 3 の酸化物半導体層は、インジウム、ガリウム、及び亜鉛を含むことを特徴とする表示装置。

【請求項 6】

請求項 2 において、前記第 4 の酸化物半導体層は、インジウム、ガリウム、及び亜鉛を含むことを特徴とする表示装置。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、酸化物半導体を用いる表示装置及びその製造方法に関する。

【背景技術】**【0002】**

液晶表示装置に代表されるように、ガラス基板等の平板に形成される薄膜トランジスタは、アモルファスシリコン、多結晶シリコンによって作製されている。アモルファスシリコンを用いた薄膜トランジスタは、電界効果移動度が低いもののガラス基板の大面积化に対

50

応することができ、一方、結晶シリコンを用いた薄膜トランジスタは電界効果移動度が高いものの、レーザアニール等の結晶化工程が必要であり、ガラス基板の大面积化には必ずしも適応しないといった特性を有している。

【0003】

これに対し、酸化物半導体を用いて薄膜トランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体膜として酸化亜鉛、 In-Ga-Zn-O 系酸化物半導体を用いて薄膜トランジスタを作製し、画像表示装置のスイッチング素子などに用いる技術が特許文献1及び特許文献2で開示されている。

【先行技術文献】

【特許文献】

10

【0004】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

酸化物半導体にチャネル形成領域を設ける薄膜トランジスタは、アモルファスシリコンを用いた薄膜トランジスタよりも高い電界効果移動度が得られている。酸化物半導体膜はスパッタリング法などによって300以下の温度で膜形成が可能であり、多結晶シリコンを用いた薄膜トランジスタよりも製造工程が簡単である。

20

【0006】

このような酸化物半導体を用いてガラス基板、プラスチック基板等に薄膜トランジスタを形成し、液晶ディスプレイ、エレクトロルミネセンスディスプレイ又は電子ペーパー等への応用が期待されている。

【0007】

表示装置の高精細化に伴い、画素数が増加し、ゲート線数、及び信号線数が増加する。ゲート線数、及び信号線数が増加すると、それらを駆動するための駆動回路を有するICチップをボンディング等により実装することが困難となり、製造コストが増大するという問題がある。

【0008】

30

また、駆動回路において、高速駆動を図るために、素子間を繋ぐ配線間の接触抵抗などを低減することも課題の一とする。例えば、ゲート配線と上層配線との接触抵抗が高いと、入力された信号が歪む恐れがある。

【0009】

また、コンタクトホール数を少なくし、駆動回路の占有面積を縮小化できる表示装置の構造を提供することも課題の一とする。

【課題を解決するための手段】

【0010】

同一基板上に画素部と、画素部を駆動する駆動回路とを有し、駆動回路の少なくとも一部の回路を、酸化物半導体を用いた逆スタガ型薄膜トランジスタで構成する。同一基板上に画素部に加え、駆動回路を設けることによって製造コストを低減する。

40

【0011】

本明細書中で用いる酸化物半導体は、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される薄膜を形成し、その薄膜を半導体層として用いた薄膜トランジスタを作製する。なお、Mは、ガリウム(Ga)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)及びコバルト(Co)から選ばれた一の金属元素又は複数の金属元素を示す。例えばMとして、Gaの場合があることその他、GaとNi又はGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。本明細書においてはこの薄膜をIn-Ga-Zn-O系非単結晶膜とも呼ぶ

50

。

【 0 0 1 2 】

誘導結合プラズマ質量分析法 (Inductively Coupled Plasma Mass Spectrometry: ICP-MS 分析法) により代表的な測定例を表 1 に示す。In₂O₃:Ga₂O₃:ZnO=1:1:1 としたターゲット (In:Ga:Zn=1:1:0.5) を用い、スパッタ法でのアルゴンガス流量を 40 sccm とした条件 1 で得られる酸化物半導体膜は、InGa_{0.95}Zn_{0.41}O_{3.33} である。また、スパッタ法でのアルゴンガス流量を 10 sccm、酸素を 5 sccm とした条件 2 で得られる酸化物半導体膜は、InGa_{0.94}Zn_{0.40}O_{3.31} である。

【 0 0 1 3 】

【表 1】

| 流量比 | 組成 (atomic%) | | | | 組成式 |
|-------------------|--------------|------|-----|------|---|
| Ar/O ₂ | In | Ga | Zn | O | |
| 40/0 | 17.6 | 16.7 | 7.2 | 58.6 | InGa _{0.95} Zn _{0.41} O _{3.33} |
| 10/5 | 17.7 | 16.7 | 7 | 58.6 | InGa _{0.94} Zn _{0.40} O _{3.31} |

10

【 0 0 1 4 】

また、測定方法をラザフォード後方散乱分析法 (Rutherford Backscattering Spectrometry: RBS 分析法) に変えて定量化した結果を表 2 に示す。

20

【 0 0 1 5 】

【表 2】

| 流量比 | 組成 (atomic%) | | | | | 組成式 |
|-------------------|--------------|------|-----|------|-----|---|
| Ar/O ₂ | In | Ga | Zn | O | Ar | |
| 40/0 | 17 | 15.8 | 7.5 | 59.4 | 0.3 | InGa _{0.93} Zn _{0.44} O _{3.49} |
| 10/5 | 16 | 14.7 | 7.2 | 61.7 | 0.4 | InGa _{0.92} Zn _{0.45} O _{3.86} |

【 0 0 1 6 】

条件 1 の試料を RBS 分析で測定した結果、酸化物半導体膜は、InGa_{0.93}Zn_{0.44}O_{3.49} である。また、条件 2 の試料を RBS 分析で測定した結果、酸化物半導体膜は、InGa_{0.92}Zn_{0.45}O_{3.86} である。

30

【 0 0 1 7 】

In-Ga-Zn-O 系非単結晶膜の結晶構造は、スパッタ法で成膜した後、200 ~ 500 °C、代表的には 300 ~ 400 °C で 10 分 ~ 100 分行っているため、アモルファス構造が XRD (X 線回折) の分析では観察される。また、薄膜トランジスタの電気特性もゲート電圧 ±20 V において、オンオフ比が 10⁹ 以上、移動度が 10 以上のものを作製することができる。

【 0 0 1 8 】

このような電気特性を有する薄膜トランジスタを駆動回路に用いることは有用である。例えば、ゲート線駆動回路は、ゲート信号を順次転送するシフトレジスタ回路と、バッファ回路などで構成され、ソース線駆動回路は、ゲート信号を順次転送するシフトレジスタと、バッファ回路と、画素への映像信号の転送のオンオフを切り替えるアナログスイッチなどにより構成される。アモルファスシリコンを用いた TFT に比べ高い移動度を有する酸化物半導体膜を用いた TFT は、シフトレジスタ回路を高速駆動させることができる。

40

【 0 0 1 9 】

また、画素部を駆動する駆動回路の少なくとも一部の回路を酸化物半導体を用いた薄膜トランジスタで構成する場合、全て n チャネル型 TFT で形成され、図 1 (B) に示した回路を基本単位として形成する。また、駆動回路において、ゲート電極とソース配線、或いはドレイン配線を直接接続させることにより、良好なコンタクトを得ることができ、接触

50

抵抗を低減することができる。駆動回路において、ゲート電極とソース配線、或いはドレイン配線を他の導電膜、例えば透明導電膜を介して接続する場合、コンタクトホール数の増加、コンタクトホール数の増加による占有面積の増大、または接触抵抗及び配線抵抗の増大、さらには工程の複雑化を招く恐れがある。

【0020】

本明細書で開示する発明の構成の一形態は、画素部と駆動回路とを有し、画素部は、少なくとも第1の酸化物半導体層を有する第1の薄膜トランジスタを有し、駆動回路は、少なくとも第2の酸化物半導体層を有する第2の薄膜トランジスタと、第3の酸化物半導体層を有する第3の薄膜トランジスタとを有する表示装置である。第2の酸化物半導体層の下方に設けられた第2の薄膜トランジスタのゲート電極と直接接する配線が、第3の酸化物半導体層の上方に設けられ、配線は、第3の酸化物半導体層と電気的に接続する第3の薄膜トランジスタのソース配線又はドレイン配線である。

10

【0021】

本発明の一形態は、上記課題の少なくとも一つを解決する。

【0022】

また、本発明の一形態に用いる薄膜トランジスタにおいて、ソース配線とチャネル形成領域となる酸化物半導体層（上記構成においては第3の酸化物半導体層）の間、ドレイン配線とチャネル形成領域となる酸化物半導体層（上記構成においては第3の酸化物半導体層）の間に、第3の酸化物半導体層の膜厚よりも薄く、且つ、第3の酸化物半導体層の導電率よりも高い導電率を有する第4の酸化物半導体層を有する構成としてもよい。

20

【0023】

第4の酸化物半導体層は、n型の導電型を示し、ソース領域及びドレイン領域として機能する。

【0024】

また第3の酸化物半導体層は非晶質構造を有し、第4の酸化物半導体層は非晶質構造の中に結晶粒（ナノクリスタル）を含む場合がある。この第4の酸化物半導体層中の結晶粒（ナノクリスタル）は直径1nm～10nm、代表的には2nm～4nm程度である。

【0025】

また、ソース領域及びドレイン領域（n+層）として機能する第4の酸化物半導体層としてIn-Ga-Zn-O系非単結晶膜を用いることができる。

30

【0026】

表示装置に含まれる第1の薄膜トランジスタ、第2の薄膜トランジスタ、及び第3の薄膜トランジスタを覆い、かつ第1の酸化物半導体層、第2の酸化物半導体層、及び第3の酸化物半導体層に接する絶縁層を有する構成としてもよい。また、配線のエッチング工程において、酸化物半導体層の一部もエッチングする場合があり、その場合第1の酸化物半導体層、第2の酸化物半導体層、及び第3の酸化物半導体層はそれぞれ膜厚の薄い領域を有する構成となる。

【0027】

また、薄膜トランジスタは静電気などにより破壊されやすいため、ゲート線またはソース線に対して、駆動回路保護用の保護回路を同一基板上に設けることが好ましい。保護回路は、酸化物半導体を用いた非線形素子を用いて構成することが好ましい。

40

【0028】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【0029】

また、駆動回路を有する表示装置としては、液晶表示装置の他に、発光素子を用いた発光表示装置や、電気泳動表示素子を用いた電子ペーパーとも称される表示装置が挙げられる。

【0030】

50

発光素子を用いた発光表示装置においては、画素部に複数の薄膜トランジスタを有し、画素部においてもある薄膜トランジスタのゲート電極と他のトランジスタのソース配線、或いはドレイン配線を直接接続させる箇所を有している。また、発光素子を用いた発光表示装置の駆動回路においては、薄膜トランジスタのゲート電極とその薄膜トランジスタのソース配線、或いはドレイン配線を直接接続させる箇所を有している。

【 0 0 3 1 】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【 発明の効果 】

【 0 0 3 2 】

ゲート線駆動回路またはソース線駆動回路で酸化物半導体を用いた薄膜トランジスタで形成することにより、製造コストを低減する。そして駆動回路に用いる薄膜トランジスタのゲート電極とソース配線、或いはドレイン配線を直接接続させることでコンタクトホール数を少なくし、駆動回路の占有面積を縮小化できる表示装置を提供することができる。

【 0 0 3 3 】

従って、本発明の一形態により、電気特性が高く信頼性のよい表示装置を低コストで提供することができる。

【 図面の簡単な説明 】

【 0 0 3 4 】

【 図 1 】 半導体装置を説明する図。

【 図 2 】 半導体装置を説明する図。

【 図 3 】 半導体装置の作製方法を説明する図。

【 図 4 】 半導体装置の作製方法を説明する図。

【 図 5 】 半導体装置の作製方法を説明する図。

【 図 6 】 半導体装置の作製方法を説明する図。

【 図 7 】 半導体装置の作製方法を説明する図。

【 図 8 】 半導体装置の作製方法を説明する図。

【 図 9 】 半導体装置の作製方法を説明する図。

【 図 1 0 】 半導体装置を説明する図。

【 図 1 1 】 半導体装置を説明する図。

【 図 1 2 】 半導体装置を説明する図。

【 図 1 3 】 半導体装置を説明する図。

【 図 1 4 】 半導体装置のブロック図を説明する図。

【 図 1 5 】 信号線駆動回路の構成を説明する図。

【 図 1 6 】 信号線駆動回路の動作を説明するタイミングチャート。

【 図 1 7 】 信号線駆動回路の動作を説明するタイミングチャート。

【 図 1 8 】 シフトレジスタの構成を説明する図。

【 図 1 9 】 図 1 8 に示すフリップフロップの接続構成を説明する図。

【 図 2 0 】 半導体装置の画素等価回路を説明する図。

【 図 2 1 】 半導体装置を説明する図。

【 図 2 2 】 半導体装置を説明する図。

【 図 2 3 】 半導体装置を説明する図。

【 図 2 4 】 半導体装置を説明する図。

【 図 2 5 】 電子ペーパーの使用形態の例を説明する図。

【 図 2 6 】 電子書籍の一例を示す外観図。

【 図 2 7 】 テレビジョン装置およびデジタルフォトフレームの例を示す外観図。

【 図 2 8 】 遊技機の例を示す外観図。

【 図 2 9 】 携帯電話機の一例を示す外観図。

【 図 3 0 】 半導体装置を説明する図。

【 発明を実施するための形態 】

10

20

30

40

50

【 0 0 3 5 】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【 0 0 3 6 】

(実施の形態 1)

ここでは、2つのnチャネル型の薄膜トランジスタを用いてインバータ回路を構成する例を基に本発明の一形態を以下に説明する。

10

【 0 0 3 7 】

画素部を駆動するための駆動回路は、インバータ回路、容量、抵抗などを用いて構成する。2つのnチャネル型TFTを組み合わせるインバータ回路を形成する場合、エンハンスメント型トランジスタとデプレッション型トランジスタとを組み合わせる場合(以下、EDMOS回路という)と、エンハンスメント型TFT同士で形成する場合(以下、EEMOS回路という)がある。なお、nチャネル型TFTのしきい値電圧が正の場合は、エンハンスメント型トランジスタと定義し、nチャネル型TFTのしきい値電圧が負の場合は、デプレッション型トランジスタと定義し、本明細書を通してこの定義に従うものとする。

20

【 0 0 3 8 】

画素部と駆動回路は、同一基板上に形成し、画素部においては、マトリクス状に配置したエンハンスメント型トランジスタを用いて画素電極への電圧印加のオンオフを切り替える。この画素部に配置するエンハンスメント型トランジスタは、酸化物半導体を用いており、その電気特性は、ゲート電圧 $\pm 20\text{V}$ において、オンオフ比が 10^9 以上であるため、リーク電流が少なく、低消費電力駆動を実現することができる。

【 0 0 3 9 】

駆動回路のインバータ回路の断面構造を図1(A)に示す。なお、図1に示す第1の薄膜トランジスタ430、第2の薄膜トランジスタ431は、逆スタガ型薄膜トランジスタであり、半導体層上にソース領域又はドレイン領域を介して配線が設けられている薄膜トランジスタの例である。

30

【 0 0 4 0 】

図1(A)において、基板400上に第1のゲート電極401及び第2のゲート電極402を設ける。第1のゲート電極401及び第2のゲート電極402の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【 0 0 4 1 】

例えば、第1のゲート電極401及び第2のゲート電極402の2層の積層構造としては、アルミニウム層上にモリブデン層が積層された二層の積層構造、または銅層上にモリブデン層を積層した二層構造、または銅層上に窒化チタン層若しくは窒化タンタルを積層した二層構造、窒化チタン層とモリブデン層とを積層した二層構造とすることが好ましい。3層の積層構造としては、タングステン層または窒化タングステンと、アルミニウムとシリコンの合金またはアルミニウムとチタンの合金と、窒化チタンまたはチタン層とを積層した積層とすることが好ましい。

40

【 0 0 4 2 】

また、第1のゲート電極401及び第2のゲート電極402を覆うゲート絶縁層403上には、第1の酸化物半導体層405と、第2の酸化物半導体層407とを設ける。

【 0 0 4 3 】

第1の酸化物半導体層405上には第1配線409、及び第2配線410を設け、第2の

50

配線 4 1 0 は、ゲート絶縁層 4 0 3 に形成されたコンタクトホール 4 0 4 を介して第 2 のゲート電極 4 0 2 と直接接続する。また、第 2 の酸化物半導体層 4 0 7 上には第 3 配線 4 1 1 を設ける。

【0044】

第 1 の薄膜トランジスタ 4 3 0 は、第 1 のゲート電極 4 0 1 と、ゲート絶縁層 4 0 3 を介して第 1 のゲート電極 4 0 1 と重なる第 1 の酸化物半導体層 4 0 5 とを有し、第 1 配線 4 0 9 は、接地電位の電源線（接地電源線）である。この接地電位の電源線は、負の電圧 V_{DL} が印加される電源線（負電源線）としてもよい。

【0045】

また、第 2 の薄膜トランジスタ 4 3 1 は、第 2 のゲート電極 4 0 2 と、ゲート絶縁層 4 0 3 を介して第 2 のゲート電極 4 0 2 と重なる第 2 の酸化物半導体層 4 0 7 とを有し、第 3 配線 4 1 1 は、正の電圧 V_{DD} が印加される電源線（正電源線）である。

10

【0046】

また、第 1 の酸化物半導体層 4 0 5 と第 1 配線 4 0 9 との間には n^+ 層 4 0 6 a を設け、第 1 の酸化物半導体層 4 0 5 と第 2 配線 4 1 0 との間には n^+ 層 4 0 6 b を設ける。また、第 2 の酸化物半導体層 4 0 7 と第 2 配線 4 1 0 との間には n^+ 層 4 0 8 a を設け、第 2 の酸化物半導体層 4 0 7 と第 3 配線 4 1 1 との間には n^+ 層 4 0 8 b を設ける。

【0047】

本実施の形態では、ソース領域又はドレイン領域として機能する n^+ 層 4 0 6 a、4 0 6 b、4 0 8 a、4 0 8 b は、 $In-Ga-Zn-O$ 系非単結晶膜であり、第 1 の酸化物半導体層 4 0 5、第 2 の酸化物半導体層 4 0 7 の成膜条件とは異なる成膜条件で形成され、より低抵抗な酸化物半導体層である。例えば上記表 1 に記載の、スパッタ法でのアルゴンガス流量を 40 sccm とした条件 1 で得られる酸化物半導体膜で形成した n^+ 層 4 0 6 a、4 0 6 b、4 0 8 a、4 0 8 b は、 n 型の導電性を有し、活性化エネルギー（ E ）が 0.01 eV 以上 0.1 eV 以下である。なお、本実施の形態では、 n^+ 層 4 0 6 a、4 0 6 b、4 0 8 a、4 0 8 b は、 $In-Ga-Zn-O$ 系非単結晶膜であり、少なくともアモルファス成分を含んでいるものとする。 n^+ 層 4 0 6 a、4 0 6 b、4 0 8 a、4 0 8 b は非晶質構造の中に結晶粒（ナノクリスタル）を含む場合がある。この n^+ 層 4 0 6 a、4 0 6 b、4 0 8 a、4 0 8 b 中の結晶粒（ナノクリスタル）は直径 1 nm ~ 10 nm、代表的には 2 nm ~ 4 nm 程度である。

20

30

【0048】

n^+ 層 4 0 6 a、4 0 6 b、4 0 8 a、4 0 8 b を設けることにより、金属層である第 1 配線 4 0 9、第 2 配線 4 1 0、第 3 配線 4 1 1 と、第 1 の酸化物半導体層 4 0 5、第 2 の酸化物半導体層 4 0 7 との間を良好な接合としてショットキー接合に比べて熱的にも安定動作を有せしめる。また、チャネルのキャリアを供給する（ソース側）、またはチャネルのキャリアを安定して吸収する（ドレイン側）、または抵抗成分を配線との界面に作らないためにも積極的に n^+ 層を設けると効果的である。また低抵抗化により、高いドレイン電圧でも良好な移動度を保持することができる。

【0049】

図 1 (A) に示すように、第 1 の酸化物半導体層 4 0 5 と第 2 の酸化物半導体層 4 0 7 の両方に電氣的に接続する第 2 の配線 4 1 0 は、ゲート絶縁層 4 0 3 に形成されたコンタクトホール 4 0 4 を介して第 2 の薄膜トランジスタ 4 3 1 の第 2 のゲート電極 4 0 2 と直接接続する。直接接続させることにより、良好なコンタクトを得ることができ、接触抵抗を低減することができる。第 2 のゲート電極 4 0 2 と第 2 配線 4 1 0 を他の導電膜、例えば透明導電膜を介して接続する場合に比べて、コンタクトホールの数の低減、コンタクトホールの数の低減による占有面積の縮小を図ることができる。

40

【0050】

また、駆動回路のインバータ回路の平面図を図 1 (C) に示す。図 1 (C) において、鎖線 Z1 - Z2 で切断した断面が図 1 (A) に相当する。

【0051】

50

また、EDMOS回路の等価回路を図1(B)に示す。図1(A)及び図1(C)示す回路接続は、図1(B)に相当し、第1の薄膜トランジスタ430をエンハンスメント型のnチャネル型トランジスタとし、第2の薄膜トランジスタ431をデプレッション型のnチャネル型トランジスタとする例である。

【0052】

同一基板上にエンハンスメント型のnチャネル型トランジスタとデプレッション型のnチャネル型トランジスタとを作製する方法は、例えば、第1の酸化物半導体層405と第2の酸化物半導体層407とを異なる材料や異なる成膜条件を用いて作製する。また、酸化物半導体層の上下にゲート電極を設けてしきい値制御を行い、一方のTFTがノーマリーオンとなるようにゲート電極に電圧をかけ、もう一方のTFTがノーマリーオフとなるようにしてEDMOS回路を構成してもよい。

10

【0053】

(実施の形態2)

実施の形態1は、EDMOS回路の例を示したが、本実施の形態では、EEMOS回路の等価回路を図2(A)に示す。図2(A)の等価回路においては、どちらもエンハンスメント型のnチャネル型トランジスタとする組み合わせとする例を示す。

【0054】

どちらも同じエンハンスメント型のnチャネル型トランジスタとする組み合わせで作製できる図2(A)の回路構成を駆動回路に用いることは、画素部に用いるトランジスタも同じエンハンスメント型のnチャネル型トランジスタとするため作製工程が増大せず、好ましいと言える。また、平面図を図2(B)に示す。図2(B)において、鎖線Y1-Y2で切断した断面が図2(A)に相当する。

20

【0055】

なお、図2に示す第1の薄膜トランジスタ460、第2の薄膜トランジスタ461は、逆スタガ型薄膜トランジスタであり、半導体層上にソース領域又はドレイン領域を介して配線が設けられている薄膜トランジスタの例である。

【0056】

また、インバータ回路の作製工程の一例を図3(A)、図3(B)、及び図3(C)に示す。

【0057】

基板440上に、スパッタ法により第1の導電膜を形成し、第1のフォトリソマスクを用いて選択的に第1の導電膜のエッチングを行い、第1のゲート電極441及び第2のゲート電極442を形成する。次いで、第1のゲート電極401及び第2のゲート電極442を覆うゲート絶縁層443をプラズマCVD法またはスパッタ法を用いて形成する。ゲート絶縁層443は、CVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層又は窒化酸化シリコン層を単層で又は積層して形成することができる。また、ゲート絶縁層443として、有機シランガスを用いたCVD法により酸化シリコン層を形成することも可能である。有機シランガスとしては、珪酸エチル(TEOS:化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、テトラメチルシラン(TMS:化学式 $\text{Si}(\text{CH}_3)_4$)、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、トリスジメチルアミノシラン($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)等のシリコン含有化合物を用いることができる。

30

40

【0058】

次いで、第2のフォトリソマスクを用いてゲート絶縁層443を選択的にエッチングして第2のゲート電極442に達するコンタクトホール444を形成する。ここまでの段階での断面図が図3(A)に相当する。

【0059】

次いで、酸化物半導体膜をスパッタ法により成膜し、さらにその上に n^+ 層を成膜する。なお、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズ

50

マを発生させる逆スパッタを行い、ゲート絶縁層 443 の表面及びコンタクトホール 444 の底面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、 N_2O などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に Cl_2 、 CF_4 などを加えた雰囲気で行ってもよい。

【0060】

次いで、第 3 のフォトリソを用いて選択的に、酸化物半導体膜及び n^+ 層のエッチングを行う。次いで、スパッタ法により第 2 の導電膜を形成し、第 4 のフォトリソを用いて選択的に第 2 の導電膜のエッチングを行い、第 1 配線 449、第 2 配線 450、及び第 3 配線 451 を形成する。第 3 配線 451 は、コンタクトホール 444 を介して第 2 のゲート電極 442 と直接接する。なお、第 2 の導電膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層 443 の表面、 n^+ 層の表面、及びコンタクトホール 444 の底面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、 N_2O などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に Cl_2 、 CF_4 などを加えた雰囲気で行ってもよい。

【0061】

なお、第 2 の導電膜のエッチングの際に、さらに、 n^+ 層及び酸化物半導体膜の一部をエッチングして、 n^+ 層 446a、446b、448a、448b、第 1 の酸化物半導体層 445、第 2 の酸化物半導体層 447 を形成する。このエッチングで第 1 のゲート電極及び第 2 のゲート電極と重なる部分の第 1 の酸化物半導体層 445、第 2 の酸化物半導体層 447 の厚さは薄くなる。このエッチングが終了した段階で第 1 の薄膜トランジスタ 460 と第 2 の薄膜トランジスタ 461 が完成する。ここまでの段階での断面図が図 3 (B) に相当する。

【0062】

次いで大気雰囲気下または窒素雰囲気下で 200 ~ 600 の加熱処理を行う。なお、この加熱処理を行うタイミングは限定されず、酸化物半導体膜の成膜後であればいつ行ってもよい。

【0063】

次いで、保護層 452 を形成し、第 5 のフォトリソを用いて保護層 452 を選択的にエッチングしてコンタクトホールを形成した後、第 3 の導電膜を形成する。最後に第 6 のフォトリソを用いて第 3 の導電膜を選択的にエッチングして第 2 配線 410 と電氣的に接続する接続配線 453 を形成する。ここまでの段階での断面図が図 3 (C) に相当する。

【0064】

発光素子を用いた発光表示装置においては、画素部に複数の薄膜トランジスタを有し、画素部においても、ある一つの薄膜トランジスタのゲート電極と他のトランジスタのソース配線、或いはドレイン配線を直接接続させるためのコンタクトホールを有している。このコンタクト部は、第 2 のフォトリソを用いてゲート絶縁膜にコンタクトホールを形成する際に同じマスクを用いて形成することができる。

【0065】

また、液晶表示装置や電子ペーパーにおいては、FPC などの外部端子と接続するための端子部において、ゲート配線に達するコンタクトホールを形成する際、第 2 のフォトリソを用いてゲート絶縁膜にコンタクトホールを形成する際に同じマスクを用いて形成することができる。

【0066】

なお、上述した工程順序は一例であって特に限定されない。例えば、フォトリソ数が 1

10

20

30

40

50

枚増えるが、第2の導電膜をエッチングするフォトマスクと、 n^+ 層及び酸化物半導体膜の一部をエッチングするフォトマスクを別々に用いてエッチングを行ってもよい。

【0067】

(実施の形態3)

本実施の形態では、インバータ回路の作製において、実施の形態2とは異なる作製工程の例を図4(A)、図4(B)、及び図4(C)を用いて説明する。

【0068】

基板440上に、スパッタ法により第1の導電膜を形成し、第1のフォトマスクを用いて選択的に第1の導電膜のエッチングを行い、第1のゲート電極441及び第2のゲート電極442を形成する。次いで、第1のゲート電極441及び第2のゲート電極442を覆うゲート絶縁層443をプラズマCVD法またはスパッタ法を用いて形成する。

10

【0069】

次いで、酸化物半導体膜をスパッタ法により成膜し、さらにその上に n^+ 層を成膜する。

【0070】

次いで、第2のフォトマスクを用いて選択的に、酸化物半導体膜及び n^+ 層のエッチングを行う。こうして、第1のゲート電極441とゲート絶縁層443を介して重なる酸化物半導体膜454、及び n^+ 層455が形成され、第2のゲート電極442とゲート絶縁層443を介して重なる酸化物半導体膜456、 n^+ 層457が形成される。ここまでの段階での断面図が図4(A)に相当する。

20

【0071】

次いで、第3のフォトマスクを用いてゲート絶縁層443を選択的にエッチングして第2のゲート電極442に達するコンタクトホール444を形成する。ここまでの段階での断面図が図4(B)に相当する。

【0072】

次いで、スパッタ法により第2の導電膜を形成し、第4のフォトマスクを用いて選択的に第2の導電膜のエッチングを行い、第1配線449、第2配線450、及び第3配線451を形成する。なお、第2の導電膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層443の表面、 n^+ 層455、457の表面、及びコンタクトホール444の底面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、 N_2O などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に Cl_2 、 CF_4 などを加えた雰囲気で行ってもよい。

30

【0073】

本実施の形態の工程においては、コンタクトホール444を形成した後、他の成膜を行うことなく第2の導電膜を形成することができるため、実施の形態2に比べてコンタクトホールの底面が曝される工程数が少ないため、ゲート電極の材料の材料選択の自由度が広がる。実施の形態2においては、コンタクトホール444で露出しているゲート電極面に接して酸化物半導体膜が成膜されるため、酸化物半導体膜のエッチング工程でゲート電極の材料がエッチングされないエッチング条件またはゲート電極の材料を選択する必要がある。

40

【0074】

なお、第2の導電膜のエッチングの際に、さらに、 n^+ 層及び酸化物半導体膜の一部をエッチングして、 n^+ 層446a、446b、448a、448b、第1の酸化物半導体層445、第2の酸化物半導体層447を形成する。このエッチングで第1のゲート電極及び第2のゲート電極と重なる部分の第1の酸化物半導体層445、第2の酸化物半導体層447の厚さは薄くなる。このエッチングが終了した段階で第1の薄膜トランジスタ460と第2の薄膜トランジスタ461が完成する。

【0075】

50

第1の薄膜トランジスタ460は、第1のゲート電極441と、ゲート絶縁層443を介して第1のゲート電極441と重なる第1の酸化物半導体層445とを有し、第1配線449は、接地電位の電源線（接地電源線）である。この接地電位の電源線は、負の電圧V_{DL}が印加される電源線（負電源線）としてもよい。

【0076】

また、第2の薄膜トランジスタ461は、第2のゲート電極442と、ゲート絶縁層443を介して第2のゲート電極442と重なる第2の酸化物半導体層447とを有し、第3配線451は、正の電圧V_{DD}が印加される電源線（正電源線）である。

【0077】

また、第1の酸化物半導体層445と第1配線449との間にはn⁺層446aを設け、第1の酸化物半導体層445と第2配線450との間にはn⁺層446bを設ける。また、第2の酸化物半導体層447と第2配線450との間にはn⁺層448aを設け、第2の酸化物半導体層447と第3配線451との間にはn⁺層448bを設ける。

10

【0078】

ここまでの段階での断面図が図4（C）に相当する。

【0079】

次いで大気雰囲気下または窒素雰囲気下で200～600の加熱処理を行う。なお、この加熱処理を行うタイミングは限定されず、酸化物半導体膜の成膜後であればいつ行ってもよい。

【0080】

次いで、保護層452を形成し、第5のフォトリソマスクを用いて保護層452を選択的にエッチングしてコンタクトホールを形成した後、第3の導電膜を形成する。最後に第6のフォトリソマスクを用いて第3の導電膜を選択的にエッチングして第2配線450と電気的に接続する接続配線453を形成する。

20

【0081】

発光素子を用いた発光表示装置においては、画素部に複数の薄膜トランジスタを有し、画素部においてもある薄膜トランジスタのゲート電極と他のトランジスタのソース配線、或いはドレイン配線を直接接続させるためのコンタクトホールを有している。このコンタクト部は、第3のフォトリソマスクを用いてゲート絶縁膜にコンタクトホールを形成する際に同じマスクを用いて形成することができる。

30

【0082】

また、液晶表示装置や電子ペーパーにおいては、FPCなどの外部端子と接続するための端子部において、ゲート配線に達するコンタクトホールを形成する際、第3のフォトリソマスクを用いてゲート絶縁膜にコンタクトホールを形成する際に同じマスクを用いて形成することができる。

【0083】

なお、上述した工程順序は一例であって特に限定されない。例えば、フォトリソマスク数が1枚増えるが、第2の導電膜をエッチングするフォトリソマスクと、n⁺層及び酸化物半導体膜の一部をエッチングするフォトリソマスクを別々に用いてエッチングを行ってもよい。

【0084】

40

（実施の形態4）

本実施の形態では、本発明の一形態の薄膜トランジスタを含む表示装置の作製工程について、図5乃至図12を用いて説明する。

【0085】

図5（A）において、透光性を有する基板100にはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0086】

次いで、導電層を基板100全面に形成した後、第1のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極（ゲート電極層101を含むゲート配線、容量配線108、及び第1の端子121）を形成する

50

。このとき少なくともゲート電極層 101 の端部にテーパ形状が形成されるようにエッチングする。この段階での平面図を図 5 (A) に示した。なお、この段階での平面図が図 7 に相当する。

【0087】

ゲート電極層 101 を含むゲート配線と容量配線 108、端子部の第 1 の端子 121 は、アルミニウム (Al) や銅 (Cu) などの低抵抗導電性材料で形成することが望ましいが、Al 単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。耐熱性導電性材料としては、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、クロム (Cr)、Nd (ネオジム)、スカンジウム (Sc) から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金、または上述した元素を成分とする窒化物で形成する。

10

【0088】

次いで、ゲート電極層 101 上にゲート絶縁層 102 を全面に成膜する。ゲート絶縁層 102 はスパッタ法などを用い、膜厚を 50 ~ 250 nm とする。

【0089】

例えば、ゲート絶縁層 102 としてスパッタ法により酸化シリコン膜を用い、100 nm の厚さで形成する。勿論、ゲート絶縁層 102 はこのような酸化シリコン膜に限定されるものでなく、酸化窒化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

20

【0090】

なお、酸化物半導体膜を成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層の表面に付着しているゴミを除去することが好ましい。なお、アルゴン雰囲気にて酸素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、 N_2O などに加えした雰囲気で行ってもよい。また、アルゴン雰囲気に Cl_2 、 CF_4 などに加えした雰囲気で行ってもよい。

【0091】

次に、ゲート絶縁層 102 上に、第 1 の酸化物半導体膜 (本実施の形態では第 1 の In - Ga - Zn - O 系非単結晶膜) を成膜する。プラズマ処理後、大気に曝すことなく第 1 の In - Ga - Zn - O 系非単結晶膜を成膜することは、ゲート絶縁層と半導体膜の界面にゴミや水分を付着させない点で有用である。ここでは、直径 8 インチの In、Ga、及び Zn を含む酸化物半導体ターゲット ($In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$) を用いて、基板とターゲットの間との距離を 170 mm、圧力 0.4 Pa、直流 (DC) 電源 0.5 kW、アルゴン又は酸素雰囲気下で成膜する。なお、パルス直流 (DC) 電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。第 1 の In - Ga - Zn - O 系非単結晶膜の膜厚は、5 nm ~ 200 nm とする。本実施の形態では第 1 の In - Ga - Zn - O 系非単結晶膜の膜厚は、100 nm とする。

30

【0092】

次いで、大気に曝すことなく、第 2 の酸化物半導体膜 (本実施の形態では第 2 の In - Ga - Zn - O 系非単結晶膜) をスパッタ法で成膜する。ここでは、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ としたターゲットを用い、成膜条件は、圧力を 0.4 Pa とし、電力を 500 W とし、成膜温度を室温とし、アルゴンガス流量 40 sccm を導入してスパッタ成膜を行う。 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ としたターゲットを意図的に用いているにも関わらず、成膜直後で大きさ 1 nm ~ 10 nm の結晶粒を含む In - Ga - Zn - O 系非単結晶膜が形成されることがある。なお、ターゲットの成分比、成膜圧力 (0.1 Pa ~ 2.0 Pa)、電力 (250 W ~ 3000 W : 8 インチ)、温度 (室温 ~ 100)、反応性スパッタの成膜条件などを適宜調節することで結晶粒の有無や、結晶粒の密度や、直径サイズは、1 nm ~ 10 nm の範囲で調節されうると言える。第 2 の In - Ga - Zn - O 系非単結晶膜の膜厚は、5 nm ~ 20 nm とする。勿論、膜中に結晶粒が含まれる場合、含まれる結晶粒のサイズが膜厚を超える大きさとならない。

40

50

本実施の形態では第2のIn-Ga-Zn-O系非単結晶膜の膜厚は、5nmとする。

【0093】

第1のIn-Ga-Zn-O系非単結晶膜は、第2のIn-Ga-Zn-O系非単結晶膜の成膜条件と異ならせる。例えば、第2のIn-Ga-Zn-O系非単結晶膜の成膜条件における酸素ガス流量とアルゴンガス流量の比よりも第1のIn-Ga-Zn-O系非単結晶膜の成膜条件における酸素ガス流量の占める比率が多い条件とする。具体的には、第2のIn-Ga-Zn-O系非単結晶膜の成膜条件は、希ガス（アルゴン、又はヘリウムなど）雰囲気下（または酸素ガス10%以下、アルゴンガス90%以上）とし、第1のIn-Ga-Zn-O系非単結晶膜の成膜条件は、酸素雰囲気下（又は酸素ガス流量がアルゴンガス流量と同量かそれ以上）とする。

10

【0094】

第2のIn-Ga-Zn-O系非単結晶膜の成膜は、先に逆スパッタを行ったチャンバーと同一チャンバーを用いてもよいし、先に逆スパッタを行ったチャンバーと異なるチャンバーで成膜してもよい。

【0095】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法と、DCスパッタ法があり、さらにパルス的にバイアスを与えるパルスDCスパッタ法もある。RFスパッタ法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属膜を成膜する場合に用いられる。

20

【0096】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0097】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

【0098】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアスパッタ法もある。

30

【0099】

次に、第2のフォトリソグラフィー工程を行い、レジストマスクを形成し、第1のIn-Ga-Zn-O系非単結晶膜及び第2のIn-Ga-Zn-O系非単結晶膜をエッチングする。ここではITO07N（関東化学社製）を用いたウェットエッチングにより、不要な部分を除去して第1のIn-Ga-Zn-O系非単結晶膜である酸化物半導体膜109、第2のIn-Ga-Zn-O系非単結晶膜である酸化物半導体膜111を形成する。なお、ここでのエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。この段階での平面図を図5（B）に示した。なお、この段階での平面図が図8に相当する。

40

【0100】

次いで、第3のフォトリソグラフィー工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去してゲート電極層と同じ材料の配線や電極層に達するコンタクトホールを形成する。このコンタクトホールは後に形成する導電膜と直接接続するために設ける。例えば、駆動回路において、ゲート電極層とソース電極層或いはドレイン電極層と直接接する薄膜トランジスタや、端子部のゲート配線と電氣的に接続する端子を形成する場合にコンタクトホールを形成する。

【0101】

次に、酸化物半導体膜109及び酸化物半導体膜111上に金属材料からなる導電膜132をスパッタ法や真空蒸着法で形成する。この段階での断面図を図5（C）に示した。

50

【0102】

導電膜132の材料としては、Al、Cr、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、200 ~ 600 の熱処理を行う場合には、この熱処理に耐える耐熱性を導電膜に持たせることが好ましい。Al単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。Alと組み合わせる耐熱性導電性材料としては、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジウム)、Sc(スカンジウム)から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金、または上述した元素を成分とする窒化物で形成する。

10

【0103】

ここでは、導電膜132としてチタン膜の単層構造とする。また、導電膜132は、2層構造としてもよく、アルミニウム膜上にチタン膜を積層してもよい。また、導電膜132としてTi膜と、そのTi膜上に重ねてNdを含むアルミニウム(Al-Nd)膜を積層し、さらにその上にTi膜を成膜する3層構造としてもよい。導電膜132は、シリコンを含むアルミニウム膜の単層構造としてもよい。

【0104】

次に、第4のフォトリソグラフィ工程を行い、レジストマスク131を形成し、エッチングにより不要な部分を除去してソース電極層又はドレイン電極層105a、105b、ソース領域又はドレイン領域として機能する n^+ 層104a、104b、及び接続電極120を形成する。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。例えば導電膜132としてアルミニウム膜、又はアルミニウム合金膜を用いる場合は、磷酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチングを行うことができる。ここでは、アンモニア過水(過酸化水素:アンモニア:水=5:2:2)を用いたウェットエッチングにより、Ti膜の導電膜132をエッチングしてソース電極層又はドレイン電極層105a、105bを、酸化物半導体膜111をエッチングして n^+ 層104a、104bを形成する。このエッチング工程において、酸化物半導体膜109の露出領域も一部エッチングされ、半導体層103となる。よって n^+ 層104a、104bの間の半導体層103のチャネル領域は膜厚の薄い領域となる。図6(A)においては、ソース電極層又はドレイン電極層105a、105b、 n^+ 層104a、104bのエッチングをアンモニア過水のエッチング材によって一度に行うため、ソース電極層又はドレイン電極層105a、105b及び n^+ 層104a、104bの端部は一致し、連続的な構造となっている。またウェットエッチングを用いるために、エッチングが等方的に行われ、ソース電極層又はドレイン電極層105a、105bの端部はレジストマスク131より後退している。以上の工程で半導体層103をチャネル形成領域とする薄膜トランジスタ170が作製できる。この段階での断面図を図6(A)に示した。なお、この段階での平面図が図9に相当する。

20

30

【0105】

次いで、200 ~ 600、代表的には300 ~ 500 の熱処理を行うことが好ましい。ここでは炉に入れ、窒素雰囲気下で350、1時間の熱処理を行う。この熱処理によりIn-Ga-Zn-O系非単結晶膜の原子レベルの再配列が行われる。この熱処理によりキャリアの移動を阻害する歪が解放されるため、ここでの熱処理(光アニールも含む)は重要である。なお、熱処理を行うタイミングは、第2のIn-Ga-Zn-O系非単結晶膜の成膜後であれば特に限定されず、例えば画素電極形成後に行ってもよい。

40

【0106】

さらに、露出している半導体層103のチャネル形成領域に、酸素ラジカル処理を行ってもよい。酸素ラジカル処理を行うことにより薄膜トランジスタをノーマリーオフとすることができる。また、ラジカル処理を行うことにより、半導体層103のエッチングによるダメージを回復することができる。ラジカル処理は O_2 、 N_2O 、好ましくは酸素を含む N_2 、He、Ar雰囲気下で行うことが好ましい。また、上記雰囲気に Cl_2 、 CF_4 を

50

加えた 雰囲気下で行ってもよい。なお、ラジカル処理は、無バイアスで行うことが好ましい。

【0107】

また、この第4のフォトリソグラフィー工程において、ソース電極層又はドレイン電極層105a、105bと同じ材料である第2の端子122を端子部に残す。なお、第2の端子122はソース配線（ソース電極層又はドレイン電極層105a、105bを含むソース配線）と電氣的に接続されている。

【0108】

また、端子部において、接続電極120は、ゲート絶縁膜に形成されたコンタクトホールを介して端子部の第1の端子121と直接接続される。なお、ここでは図示しないが、上述した工程と同じ工程を経て駆動回路の薄膜トランジスタのソース配線あるいはドレイン配線とゲート電極が直接接続される。

10

【0109】

また、多階調マスクにより形成した複数（代表的には二種類）の厚さの領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができるため、工程簡略化、低コスト化が図れる。

【0110】

次いで、レジストマスク131を除去し、薄膜トランジスタ170を覆う保護絶縁層107を形成する。保護絶縁層107はスパッタ法などを用いて得られる窒化シリコン膜、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などを用いることができる。

20

【0111】

次に、第5のフォトリソグラフィー工程を行い、レジストマスクを形成し、保護絶縁層107のエッチングによりソース電極層又はドレイン電極層105bに達するコンタクトホール125を形成する。また、ここでのエッチングにより第2の端子122に達するコンタクトホール127、接続電極120に達するコンタクトホール126も形成する。この段階での断面図を図6（B）に示す。

【0112】

次いで、レジストマスクを除去した後、透明導電膜を成膜する。透明導電膜の材料としては、酸化インジウム（ In_2O_3 ）や酸化インジウム酸化スズ合金（ In_2O_3 SnO_2 、ITOと略記する）などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金（ In_2O_3 ZnO ）を用いても良い。

30

【0113】

次に、第6のフォトリソグラフィー工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層110を形成する。

【0114】

また、この第6のフォトリソグラフィー工程において、容量部におけるゲート絶縁層102及び保護絶縁層107を誘電体として、容量配線108と画素電極層110とで保持容量が形成される。

40

【0115】

また、この第6のフォトリソグラフィー工程において、第1の端子及び第2の端子をレジストマスクで覆い端子部に形成された透明導電膜128、129を残す。透明導電膜128、129はFPCとの接続に用いられる電極または配線となる。第1の端子121と直接接続された接続電極120上に形成された透明導電膜128は、ゲート配線の入力端子として機能する接続用の端子電極となる。第2の端子122上に形成された透明導電膜129は、ソース配線の入力端子として機能する接続用の端子電極である。

【0116】

次いで、レジストマスクを除去し、この段階での断面図を図6（C）に示す。なお、この

50

段階での平面図が図 10 に相当する。

【0117】

また、図 11 (A1)、図 11 (A2) は、この段階でのゲート配線端子部の断面図及び平面図をそれぞれ図示している。図 11 (A1) は図 11 (A2) 中の C1 - C2 線に沿った断面図に相当する。図 11 (A1) において、保護絶縁膜 154 上に形成される透明導電膜 155 は、入力端子として機能する接続用の端子電極である。また、図 11 (A1) において、端子部では、ゲート配線と同じ材料で形成される第 1 の端子 151 と、ソース配線と同じ材料で形成される接続電極 153 とがゲート絶縁層 152 を介して重なり直接接して導通させている。また、接続電極 153 と透明導電膜 155 が保護絶縁膜 154 に設けられたコンタクトホールを介して直接接して導通させている。

10

【0118】

また、図 11 (B1)、及び図 11 (B2) は、ソース配線端子部の断面図及び平面図をそれぞれ図示している。また、図 11 (B1) は図 11 (B2) 中の D1 - D2 線に沿った断面図に相当する。図 11 (B1) において、保護絶縁膜 154 上に形成される透明導電膜 155 は、入力端子として機能する接続用の端子電極である。また、図 11 (B1) において、端子部では、ゲート配線と同じ材料で形成される電極 156 が、ソース配線と電氣的に接続される第 2 の端子 150 の下方にゲート絶縁層 152 を介して重なる。電極 156 は第 2 の端子 150 とは電氣的に接続しておらず、電極 156 を第 2 の端子 150 と異なる電位、例えばフローティング、GND、0V などに設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第 2 の端子 150 は、保護絶縁膜 154 を介して透明導電膜 155 と電氣的に接続している。

20

【0119】

ゲート配線、ソース配線、及び容量配線は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第 1 の端子、ソース配線と同電位の第 2 の端子、容量配線と同電位の第 3 の端子などが複数並べられて配置される。それぞれの端子の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

【0120】

こうして 6 回のフォトリソグラフィ工程により、6 枚のフォトマスクを使用して、ボトムゲート型の n チャネル型薄膜トランジスタである薄膜トランジスタ 170 を有する画素薄膜トランジスタ部、保持容量を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

30

【0121】

アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。なお、対向基板に設けられた対向電極と電氣的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電氣的に接続する第 4 の端子を端子部に設ける。この第 4 の端子は、共通電極を固定電位、例えば GND、0V などに設定するための端子である。

40

【0122】

また、本発明の一形態は、図 10 の画素構成に限定されず、図 10 とは異なる平面図の例を図 12 に示す。図 12 では容量配線を設けず、画素電極を隣り合う画素のゲート配線と保護絶縁膜及びゲート絶縁層を介して重ねて保持容量を形成する例であり、この場合、容量配線及び容量配線と接続する第 3 の端子は省略することができる。なお、図 12 において、図 10 と同じ部分には同じ符号を用いて説明する。

【0123】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極

50

と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【0124】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面黒表示を1フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

【0125】

また、通常の垂直周期を1.5倍若しくは2倍以上にすることで応答速度を改善する、所謂、倍速駆動と呼ばれる駆動技術もある。

【0126】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数のLED（発光ダイオード）光源または複数のEL光源などを用いて面光源を構成し、面光源を構成している各光源を独立して1フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。独立して複数のLEDを制御できるため、液晶層の光学変調の切り替えタイミングに合わせてLEDの発光タイミングを同期させることもできる。この駆動技術は、LEDを部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力の低減効果が図れる。

【0127】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

【0128】

本実施の形態で得られるnチャネル型のトランジスタは、In-Ga-Zn-O系非単結晶膜をチャネル形成領域に用いており、良好な動特性を有するため、これらの駆動技術を組み合わせることができる。

【0129】

また、発光表示装置を作製する場合、有機発光素子の一方の電極（カソードとも呼ぶ）は、低電源電位、例えばGND、0Vなどに設定するため、端子部に、カソードを低電源電位、例えばGND、0Vなどに設定するための第4の端子が設けられる。また、発光表示装置を作製する場合には、ソース配線、及びゲート配線に加えて電源供給線を設ける。従って、端子部には、電源供給線と電氣的に接続する第5の端子を設ける。

【0130】

ゲート線駆動回路またはソース線駆動回路で酸化物半導体を用いた薄膜トランジスタで形成することにより、製造コストを低減する。そして駆動回路に用いる薄膜トランジスタのゲート電極とソース配線、或いはドレイン配線を直接接続させることでコンタクトホール数を少なくし、駆動回路の占有面積を縮小化できる表示装置を提供することができる。

【0131】

従って、本実施の形態により、電気特性が高く信頼性のよい表示装置を低コストで提供することができる。

【0132】

（実施の形態5）

ここでは、実施の形態1において、配線と半導体層とが接する構成の薄膜トランジスタを有する表示装置の例を図30に示す。

【0133】

駆動回路のインバータ回路の断面構造を図30に示す。なお、図30に示す第1の薄膜トランジスタ480、第2の薄膜トランジスタ481は、逆スタガ型薄膜トランジスタであり、第1の酸化物半導体層405に接して第1配線409、第2配線410が設けられ、第2の酸化物半導体層407に接して第2配線410、第3配線411が設けられている例である。

【0134】

第1の薄膜トランジスタ480、第2の薄膜トランジスタ481において、第1の酸化物半導体層405と、第1配線409、第2配線410との接触領域、及び第2の酸化物半導体層407と、第2配線410、第3配線411との接触領域はプラズマ処理によって改質されていることが好ましい。本実施の形態では、配線となる導電膜を形成する前に、酸化物半導体層（本実施の形態ではIn-Ga-Zn-O系非単結晶膜）にアルゴン雰囲気下でプラズマ処理を行う。

【0135】

プラズマ処理は、アルゴン雰囲気中に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気中に酸素、水素、N₂Oなどを加えた雰囲気で行ってもよい。また、アルゴン雰囲気中にCl₂、CF₄などを加えた雰囲気で行ってもよい。

10

【0136】

また、本実施の形態では、第1配線409、第2配線410、第3配線411にチタン膜を用いて、アンモニア過水（過酸化水素：アンモニア：水＝5：2：2）によるウェットエッチングを行う。このエッチング工程において、In-Ga-Zn-O系非単結晶膜である半導体層の露出領域も一部エッチングされ、第1の酸化物半導体層405、第2の酸化物半導体層407となる。よって第1配線409と、第2配線410との間の第1の酸化物半導体層405のチャネル領域は膜厚の薄い領域となる。同様に、第2配線410と、第3配線411との間の第2の酸化物半導体層407のチャネル領域は膜厚の薄い領域となる。

20

【0137】

プラズマ処理により改質された第1の酸化物半導体層405、第2の酸化物半導体層407に接して導電膜を形成し、第1配線409、第2配線410、第3配線411を形成することによって、第1の酸化物半導体層405、第2の酸化物半導体層407と第1配線409、第2配線410、第3配線411とのコンタクト抵抗を低減することができる。

【0138】

以上の工程により、半導体装置として信頼性の高い表示装置を作製することができる。

【0139】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

30

【0140】

（実施の形態6）

本実施の形態では、本発明の一形態の半導体装置の一例である表示装置において、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

【0141】

画素部に配置する薄膜トランジスタは、実施の形態4又は実施の形態5に従って形成する。また、実施の形態4又は実施の形態5に示す薄膜トランジスタはnチャネル型TFTであるため、駆動回路のうち、nチャネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

40

【0142】

本発明の半導体装置の一例であるアクティブマトリクス型液晶表示装置のブロック図の一例を図14（A）に示す。図14（A）に示す表示装置は、基板5300上に表示素子を備えた画素を複数有する画素部5301と、各画素を選択する走査線駆動回路5302と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路5303とを有する。

【0143】

画素部5301は、信号線駆動回路5303から列方向に伸張して配置された複数の信号線S1～Sm（図示せず。）により信号線駆動回路5303と接続され、走査線駆動回路5302から行方向に伸張して配置された複数の走査線G1～Gn（図示せず。）により走査線駆動回路5302と接続され、信号線S1～Sm並びに走査線G1～Gnに対応してマトリクス状に配置された複数の画素（図示せず。）を有する。そして、各画素は、信

50

号線 S_j (信号線 $S_1 \sim S_m$ のうちいずれか一)、走査線 G_i (走査線 $G_1 \sim G_n$ のうちいずれか一) と接続される。

【0144】

また、実施の形態 4 又は実施の形態 5 に示す薄膜トランジスタは、 n チャネル型 TFT であり、 n チャネル型 TFT で構成する信号線駆動回路について図 15 を用いて説明する。

【0145】

図 15 に示す信号線駆動回路は、ドライバ IC 5601、スイッチ群 5602 __ 1 ~ 5602 __ M、第 1 の配線 5611、第 2 の配線 5612、第 3 の配線 5613 及び配線 5621 __ 1 ~ 5621 __ M を有する。スイッチ群 5602 __ 1 ~ 5602 __ M それぞれは、第 1 の薄膜トランジスタ 5603 a、第 2 の薄膜トランジスタ 5603 b 及び第 3 の薄膜トランジスタ 5603 c を有する。

10

【0146】

ドライバ IC 5601 は第 1 の配線 5611、第 2 の配線 5612、第 3 の配線 5613 及び配線 5621 __ 1 ~ 5621 __ M に接続される。そして、スイッチ群 5602 __ 1 ~ 5602 __ M それぞれは、第 1 の配線 5611、第 2 の配線 5612、第 3 の配線 5613 及びスイッチ群 5602 __ 1 ~ 5602 __ M それぞれに対応した配線 5621 __ 1 ~ 5621 __ M に接続される。そして、配線 5621 __ 1 ~ 5621 __ M それぞれは、第 1 の薄膜トランジスタ 5603 a、第 2 の薄膜トランジスタ 5603 b 及び第 3 の薄膜トランジスタ 5603 c を介して、3 つの信号線に接続される。例えば、 J 列目の配線 5621 __ J (配線 5621 __ 1 ~ 配線 5621 __ M のうちいずれか一) は、スイッチ群 5602 __ J が有する第 1 の薄膜トランジスタ 5603 a、第 2 の薄膜トランジスタ 5603 b 及び第 3 の薄膜トランジスタ 5603 c を介して、信号線 S_{j-1} 、信号線 S_j 、信号線 S_{j+1} に接続される。

20

【0147】

なお、第 1 の配線 5611、第 2 の配線 5612、第 3 の配線 5613 には、それぞれ信号が入力される。

【0148】

なお、ドライバ IC 5601 は、単結晶基板上に形成されていることが望ましい。さらに、スイッチ群 5602 __ 1 ~ 5602 __ M は、画素部と同一基板上に形成されていることが望ましい。したがって、ドライバ IC 5601 とスイッチ群 5602 __ 1 ~ 5602 __ M とは FPC などを通して接続するとよい。

30

【0149】

次に、図 15 に示した信号線駆動回路の動作について、図 16 のタイミングチャートを参照して説明する。なお、図 16 のタイミングチャートは、 i 行目の走査線 G_i が選択されている場合のタイミングチャートを示している。さらに、 i 行目の走査線 G_i の選択期間は、第 1 のサブ選択期間 T_1 、第 2 のサブ選択期間 T_2 及び第 3 のサブ選択期間 T_3 に分割されている。さらに、図 15 の信号線駆動回路は、他の行の走査線が選択されている場合でも図 16 と同様の動作をする。

【0150】

なお、図 16 のタイミングチャートは、 J 列目の配線 5621 __ J が第 1 の薄膜トランジスタ 5603 a、第 2 の薄膜トランジスタ 5603 b 及び第 3 の薄膜トランジスタ 5603 c を介して、信号線 S_{j-1} 、信号線 S_j 、信号線 S_{j+1} に接続される場合について示している。

40

【0151】

なお、図 16 のタイミングチャートは、 i 行目の走査線 G_i が選択されるタイミング、第 1 の薄膜トランジスタ 5603 a のオン・オフのタイミング 5703 a、第 2 の薄膜トランジスタ 5603 b のオン・オフのタイミング 5703 b、第 3 の薄膜トランジスタ 5603 c のオン・オフのタイミング 5703 c 及び J 列目の配線 5621 __ J に入力される信号 5721 __ J を示している。

【0152】

50

なお、配線 5 6 2 1 __ 1 ~ 配線 5 6 2 1 __ M には第 1 のサブ選択期間 T 1、第 2 のサブ選択期間 T 2 及び第 3 のサブ選択期間 T 3 において、それぞれ別のビデオ信号が入力される。例えば、第 1 のサブ選択期間 T 1 において配線 5 6 2 1 __ J に入力されるビデオ信号は信号線 S j - 1 に入力され、第 2 のサブ選択期間 T 2 において配線 5 6 2 1 __ J に入力されるビデオ信号は信号線 S j に入力され、第 3 のサブ選択期間 T 3 において配線 5 6 2 1 __ J に入力されるビデオ信号は信号線 S j + 1 に入力される。さらに、第 1 のサブ選択期間 T 1、第 2 のサブ選択期間 T 2 及び第 3 のサブ選択期間 T 3 において、配線 5 6 2 1 __ J に入力されるビデオ信号をそれぞれ Data __ j - 1、Data __ j、Data __ j + 1 とする。

【 0 1 5 3 】

図 1 6 に示すように、第 1 のサブ選択期間 T 1 において第 1 の薄膜トランジスタ 5 6 0 3 a がオンし、第 2 の薄膜トランジスタ 5 6 0 3 b 及び第 3 の薄膜トランジスタ 5 6 0 3 c がオフする。このとき、配線 5 6 2 1 __ J に入力される Data __ j - 1 が、第 1 の薄膜トランジスタ 5 6 0 3 a を介して信号線 S j - 1 に入力される。第 2 のサブ選択期間 T 2 では、第 2 の薄膜トランジスタ 5 6 0 3 b がオンし、第 1 の薄膜トランジスタ 5 6 0 3 a 及び第 3 の薄膜トランジスタ 5 6 0 3 c がオフする。このとき、配線 5 6 2 1 __ J に入力される Data __ j が、第 2 の薄膜トランジスタ 5 6 0 3 b を介して信号線 S j に入力される。第 3 のサブ選択期間 T 3 では、第 3 の薄膜トランジスタ 5 6 0 3 c がオンし、第 1 の薄膜トランジスタ 5 6 0 3 a 及び第 2 の薄膜トランジスタ 5 6 0 3 b がオフする。このとき、配線 5 6 2 1 __ J に入力される Data __ j + 1 が、第 3 の薄膜トランジスタ 5 6 0 3 c を介して信号線 S j + 1 に入力される。

【 0 1 5 4 】

以上のことから、図 1 5 の信号線駆動回路は、1 ゲート選択期間を 3 つに分割することで、1 ゲート選択期間中に 1 つの配線 5 6 2 1 から 3 つの信号線にビデオ信号を入力することができる。したがって、図 1 5 の信号線駆動回路は、ドライバ IC 5 6 0 1 が形成される基板と、画素部が形成されている基板との接続数を信号線の数に比べて約 1 / 3 にすることができる。接続数が約 1 / 3 になることによって、図 1 5 の信号線駆動回路は、信頼性、歩留まりなどを向上できる。

【 0 1 5 5 】

なお、図 1 5 のように、1 ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいて、ある 1 つの配線から複数の信号線それぞれにビデオ信号を入力することができれば、薄膜トランジスタの配置や数、駆動方法などは限定されない。

【 0 1 5 6 】

例えば、3 つ以上のサブ選択期間それぞれにおいて 1 つの配線から 3 つ以上の信号線それぞれにビデオ信号を入力する場合は、薄膜トランジスタ及び薄膜トランジスタを制御するための配線を追加すればよい。ただし、1 ゲート選択期間を 4 つ以上のサブ選択期間に分割すると、1 つのサブ選択期間が短くなる。したがって、1 ゲート選択期間は、2 つ又は 3 つのサブ選択期間に分割されることが望ましい。

【 0 1 5 7 】

別の例として、図 1 7 のタイミングチャートに示すように、1 つの選択期間をプリチャージ期間 T p、第 1 のサブ選択期間 T 1、第 2 のサブ選択期間 T 2、第 3 の選択期間 T 3 に分割してもよい。さらに、図 1 7 のタイミングチャートは、i 行目の走査線 G i が選択されるタイミング、第 1 の薄膜トランジスタ 5 6 0 3 a のオン・オフのタイミング 5 8 0 3 a、第 2 の薄膜トランジスタ 5 6 0 3 b のオン・オフのタイミング 5 8 0 3 b、第 3 の薄膜トランジスタ 5 6 0 3 c のオン・オフのタイミング 5 8 0 3 c 及び J 列目の配線 5 6 2 1 __ J に入力される信号 5 8 2 1 __ J を示している。図 1 7 に示すように、プリチャージ期間 T p において第 1 の薄膜トランジスタ 5 6 0 3 a、第 2 の薄膜トランジスタ 5 6 0 3 b 及び第 3 の薄膜トランジスタ 5 6 0 3 c がオンする。このとき、配線 5 6 2 1 __ J に入力されるプリチャージ電圧 V p が第 1 の薄膜トランジスタ 5 6 0 3 a、第 2 の薄膜トランジスタ 5 6 0 3 b 及び第 3 の薄膜トランジスタ 5 6 0 3 c を介してそれぞれ信号線 S j -

10

20

30

40

50

1、信号線 S_j 、信号線 S_{j+1} に入力される。第 1 のサブ選択期間 T_1 において第 1 の薄膜トランジスタ 5603a がオンし、第 2 の薄膜トランジスタ 5603b 及び第 3 の薄膜トランジスタ 5603c がオフする。このとき、配線 5621__J に入力される $Data_j - 1$ が、第 1 の薄膜トランジスタ 5603a を介して信号線 S_{j-1} に入力される。第 2 のサブ選択期間 T_2 では、第 2 の薄膜トランジスタ 5603b がオンし、第 1 の薄膜トランジスタ 5603a 及び第 3 の薄膜トランジスタ 5603c がオフする。このとき、配線 5621__J に入力される $Data_j$ が、第 2 の薄膜トランジスタ 5603b を介して信号線 S_j に入力される。第 3 のサブ選択期間 T_3 では、第 3 の薄膜トランジスタ 5603c がオンし、第 1 の薄膜トランジスタ 5603a 及び第 2 の薄膜トランジスタ 5603b がオフする。このとき、配線 5621__J に入力される $Data_j + 1$ が、第 3 の薄膜トランジスタ 5603c を介して信号線 S_{j+1} に入力される。

10

【0158】

以上のことから、図 17 のタイミングチャートを適用した図 15 の信号線駆動回路は、サブ選択期間の前にプリチャージ選択期間を設けることによって、信号線をプリチャージできるため、画素へのビデオ信号の書き込みを高速に行うことができる。なお、図 17 において、図 16 と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0159】

また、走査線駆動回路の構成について説明する。走査線駆動回路は、シフトレジスタ、バッファを有している。また場合によってはレベルシフタを有していても良い。走査線駆動回路において、シフトレジスタにクロック信号 (CLK) 及びスタートパルス信号 (SP) が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1 ライン分の画素のトランジスタのゲート電極が接続されている。そして、1 ライン分の画素のトランジスタを一斉に ON にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

20

【0160】

走査線駆動回路の一部に用いるシフトレジスタの一形態について図 18 及び図 19 を用いて説明する。

【0161】

図 18 にシフトレジスタの回路構成を示す。図 18 に示すシフトレジスタは、フリップフロップ 5701__1 ~ 5701__n という複数のフリップフロップで構成される。また、第 1 のクロック信号、第 2 のクロック信号、スタートパルス信号、リセット信号が入力されて動作する。

30

【0162】

図 18 のシフトレジスタの接続関係について説明する。図 18 のシフトレジスタは、 i 段目のフリップフロップ 5701__ i (フリップフロップ 5701__1 ~ 5701__n のうちいずれか) は、図 19 に示した第 1 の配線 5501 が第 7 の配線 5717__ $i - 1$ に接続され、図 19 に示した第 2 の配線 5502 が第 7 の配線 5717__ $i + 1$ に接続され、図 19 に示した第 3 の配線 5503 が第 7 の配線 5717__ i に接続され、図 19 に示した第 6 の配線 5506 が第 5 の配線 5715 に接続される。

40

【0163】

また、図 19 に示した第 4 の配線 5504 が奇数段目のフリップフロップでは第 2 の配線 5712 に接続され、偶数段目のフリップフロップでは第 3 の配線 5713 に接続され、図 19 に示した第 5 の配線 5505 が第 4 の配線 5714 に接続される。

【0164】

ただし、1 段目のフリップフロップ 5701__1 の図 19 に示す第 1 の配線 5501 は第 1 の配線 5711 に接続され、 n 段目のフリップフロップ 5701__n の図 19 に示す第 2 の配線 5502 は第 6 の配線 5716 に接続される。

【0165】

50

なお、第 1 の配線 5 7 1 1、第 2 の配線 5 7 1 2、第 3 の配線 5 7 1 3、第 6 の配線 5 7 1 6 を、それぞれ第 1 の信号線、第 2 の信号線、第 3 の信号線、第 4 の信号線と呼んでもよい。さらに、第 4 の配線 5 7 1 4、第 5 の配線 5 7 1 5 を、それぞれ第 1 の電源線、第 2 の電源線と呼んでもよい。

【0166】

次に、図 18 に示すフリップフロップの詳細について、図 19 に示す。図 19 に示すフリップフロップは、第 1 の薄膜トランジスタ 5 5 7 1、第 2 の薄膜トランジスタ 5 5 7 2、第 3 の薄膜トランジスタ 5 5 7 3、第 4 の薄膜トランジスタ 5 5 7 4、第 5 の薄膜トランジスタ 5 5 7 5、第 6 の薄膜トランジスタ 5 5 7 6、第 7 の薄膜トランジスタ 5 5 7 7 及び第 8 の薄膜トランジスタ 5 5 7 8 を有する。なお、第 1 の薄膜トランジスタ 5 5 7 1、第 2 の薄膜トランジスタ 5 5 7 2、第 3 の薄膜トランジスタ 5 5 7 3、第 4 の薄膜トランジスタ 5 5 7 4、第 5 の薄膜トランジスタ 5 5 7 5、第 6 の薄膜トランジスタ 5 5 7 6、第 7 の薄膜トランジスタ 5 5 7 7 及び第 8 の薄膜トランジスタ 5 5 7 8 は、 n チャネル型トランジスタであり、ゲート・ソース間電圧 (V_{gs}) がしきい値電圧 (V_{th}) を上回ったとき導通状態になるものとする。

10

【0167】

図 19 において、第 3 の薄膜トランジスタ 5 5 7 3 のゲート電極は、電源線と電氣的に接続されている。また、第 3 の薄膜トランジスタ 5 5 7 3 と第 4 の薄膜トランジスタ 5 5 7 4 の接続させた回路 (図 19 中鎖線で囲んだ回路) は、図 2 (A) に示す回路構成に相当すると言える。ここでは全ての薄膜トランジスタは、エンハンスメント型の n チャネル型トランジスタとする例を示すが、特に限定されず、例えば、第 3 の薄膜トランジスタ 5 5 7 3 は、デプレッション型の n チャネル型トランジスタを用いても駆動回路を駆動させることもできる。

20

【0168】

次に、図 19 に示すフリップフロップの接続構成について、以下に示す。

【0169】

第 1 の薄膜トランジスタ 5 5 7 1 の第 1 の電極 (ソース電極またはドレイン電極の一方) が第 4 の配線 5 5 0 4 に接続され、第 1 の薄膜トランジスタ 5 5 7 1 の第 2 の電極 (ソース電極またはドレイン電極の他方) が第 3 の配線 5 5 0 3 に接続される。

【0170】

第 2 の薄膜トランジスタ 5 5 7 2 の第 1 の電極が第 6 の配線 5 5 0 6 に接続され、第 2 の薄膜トランジスタ 5 5 7 2 の第 2 の電極が第 3 の配線 5 5 0 3 に接続される。

30

【0171】

第 3 の薄膜トランジスタ 5 5 7 3 の第 1 の電極が第 5 の配線 5 5 0 5 に接続され、第 3 の薄膜トランジスタ 5 5 7 3 の第 2 の電極が第 2 の薄膜トランジスタ 5 5 7 2 のゲート電極に接続され、第 3 の薄膜トランジスタ 5 5 7 3 のゲート電極が第 5 の配線 5 5 0 5 に接続される。

【0172】

第 4 の薄膜トランジスタ 5 5 7 4 の第 1 の電極が第 6 の配線 5 5 0 6 に接続され、第 4 の薄膜トランジスタ 5 5 7 4 の第 2 の電極が第 2 の薄膜トランジスタ 5 5 7 2 のゲート電極に接続され、第 4 の薄膜トランジスタ 5 5 7 4 のゲート電極が第 1 の薄膜トランジスタ 5 5 7 1 のゲート電極に接続される。

40

【0173】

第 5 の薄膜トランジスタ 5 5 7 5 の第 1 の電極が第 5 の配線 5 5 0 5 に接続され、第 5 の薄膜トランジスタ 5 5 7 5 の第 2 の電極が第 1 の薄膜トランジスタ 5 5 7 1 のゲート電極に接続され、第 5 の薄膜トランジスタ 5 5 7 5 のゲート電極が第 1 の配線 5 5 0 1 に接続される。

【0174】

第 6 の薄膜トランジスタ 5 5 7 6 の第 1 の電極が第 6 の配線 5 5 0 6 に接続され、第 6 の薄膜トランジスタ 5 5 7 6 の第 2 の電極が第 1 の薄膜トランジスタ 5 5 7 1 のゲート電極

50

に接続され、第 6 の薄膜トランジスタ 5 5 7 6 のゲート電極が第 2 の薄膜トランジスタ 5 5 7 2 のゲート電極に接続される。

【 0 1 7 5 】

第 7 の薄膜トランジスタ 5 5 7 7 の第 1 の電極が第 6 の配線 5 5 0 6 に接続され、第 7 の薄膜トランジスタ 5 5 7 7 の第 2 の電極が第 1 の薄膜トランジスタ 5 5 7 1 のゲート電極に接続され、第 7 の薄膜トランジスタ 5 5 7 7 のゲート電極が第 2 の配線 5 5 0 2 に接続される。第 8 の薄膜トランジスタ 5 5 7 8 の第 1 の電極が第 6 の配線 5 5 0 6 に接続され、第 8 の薄膜トランジスタ 5 5 7 8 の第 2 の電極が第 2 の薄膜トランジスタ 5 5 7 2 のゲート電極に接続され、第 8 の薄膜トランジスタ 5 5 7 8 のゲート電極が第 1 の配線 5 5 0 1 に接続される。

10

【 0 1 7 6 】

なお、第 1 の薄膜トランジスタ 5 5 7 1 のゲート電極、第 4 の薄膜トランジスタ 5 5 7 4 のゲート電極、第 5 の薄膜トランジスタ 5 5 7 5 の第 2 の電極、第 6 の薄膜トランジスタ 5 5 7 6 の第 2 の電極及び第 7 の薄膜トランジスタ 5 5 7 7 の第 2 の電極の接続箇所をノード 5 5 4 3 とする。さらに、第 2 の薄膜トランジスタ 5 5 7 2 のゲート電極、第 3 の薄膜トランジスタ 5 5 7 3 の第 2 の電極、第 4 の薄膜トランジスタ 5 5 7 4 の第 2 の電極、第 6 の薄膜トランジスタ 5 5 7 6 のゲート電極及び第 8 の薄膜トランジスタ 5 5 7 8 の第 2 の電極の接続箇所をノード 5 5 4 4 とする。

【 0 1 7 7 】

なお、第 1 の配線 5 5 0 1、第 2 の配線 5 5 0 2、第 3 の配線 5 5 0 3 及び第 4 の配線 5 5 0 4 を、それぞれ第 1 の信号線、第 2 の信号線、第 3 の信号線、第 4 の信号線と呼んでもよい。さらに、第 5 の配線 5 5 0 5 を第 1 の電源線、第 6 の配線 5 5 0 6 を第 2 の電源線と呼んでもよい。

20

【 0 1 7 8 】

また、信号線駆動回路及び走査線駆動回路を実施の形態 4 に示す n チャネル型 T F T のみで作製することも可能である。実施の形態 4 に示す n チャネル型 T F T はトランジスタの移動度が大きいこと、駆動回路の駆動周波数を高くすることが可能となる。また、実施の形態 4 に示す n チャネル型 T F T は $I_n - G_a - Z_n - O$ 系非単結晶膜であるソース領域又はドレイン領域により寄生容量が低減されるため、周波数特性 (f 特性と呼ばれる) が高い。例えば、実施の形態 4 に示す n チャネル型 T F T を用いた走査線駆動回路は、高速に動作させることができるため、フレーム周波数を高くすること、または、黒画面挿入を実現することなども実現することができる。

30

【 0 1 7 9 】

さらに、走査線駆動回路のトランジスタのチャネル幅を大きくすることや、複数の走査線駆動回路を配置することなどによって、さらに高いフレーム周波数を実現することができる。複数の走査線駆動回路を配置する場合は、偶数行の走査線を駆動する為の走査線駆動回路を片側に配置し、奇数行の走査線を駆動するための走査線駆動回路をその反対側に配置することにより、フレーム周波数を高くすることを実現することができる。また、複数の走査線駆動回路により、同じ走査線に信号を出力すると、表示装置の大型化に有利である。

40

【 0 1 8 0 】

また、本発明の半導体装置の一例であるアクティブマトリクス型発光表示装置を作製する場合、少なくとも一つの画素に複数の薄膜トランジスタを配置するため、走査線駆動回路を複数配置することが好ましい。アクティブマトリクス型発光表示装置のブロック図の一例を図 1 4 (B) に示す。

【 0 1 8 1 】

図 1 4 (B) に示す発光表示装置は、基板 5 4 0 0 上に表示素子を備えた画素を複数有する画素部 5 4 0 1 と、各画素を選択する第 1 の走査線駆動回路 5 4 0 2 及び第 2 の走査線駆動回路 5 4 0 4 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 5 4 0 3 とを有する。

50

【 0 1 8 2 】

図 1 4 (B) に示す発光表示装置の画素に入力されるビデオ信号をデジタル形式とする場合、画素はトランジスタのオンとオフの切り替えによって、発光もしくは非発光の状態となる。よって、面積階調法または時間階調法を用いて階調の表示を行うことができる。面積階調法は、1 画素を複数の副画素に分割し、各副画素を独立にビデオ信号に基づいて駆動させることによって、階調表示を行う駆動法である。また時間階調法は、画素が発光する期間を制御することによって、階調表示を行う駆動法である。

【 0 1 8 3 】

発光素子は、液晶素子などに比べて応答速度が高いので、液晶素子よりも時間階調法に適している。具体的に時間階調法で表示を行なう場合、1 フレーム期間を複数のサブフレーム期間に分割する。そしてビデオ信号に従い、各サブフレーム期間において画素の発光素子を発光または非発光の状態にする。複数のサブフレーム期間に分割することによって、1 フレーム期間中に画素が実際に発光する期間のトータルの長さを、ビデオ信号により制御することができ、階調を表示することができる。

10

【 0 1 8 4 】

なお、図 1 4 (B) に示す発光表示装置では、一つの画素に 2 つのスイッチング用 T F T を配置する場合、一方のスイッチング用 T F T のゲート配線である第 1 の走査線に入力される信号を第 1 の走査線駆動回路 5 4 0 2 で生成し、他方のスイッチング用 T F T のゲート配線である第 2 の走査線に入力される信号を第 2 の走査線駆動回路 5 4 0 4 で生成している例を示しているが、第 1 の走査線に入力される信号と、第 2 の走査線に入力される信号とを、共に 1 つの走査線駆動回路で生成するようにしても良い。また、例えば、1 つの画素が有するスイッチング用 T F T の数によって、スイッチング素子の動作を制御するのに用いられる走査線が、各画素に複数設けられることもあり得る。この場合、複数の走査線に入力される信号を、全て 1 つの走査線駆動回路で生成しても良いし、複数の各走査線駆動回路で生成しても良い。

20

【 0 1 8 5 】

また、発光表示装置においても、駆動回路のうち、n チャンネル型 T F T で構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成することができる。また、信号線駆動回路及び走査線駆動回路を実施の形態 4 又は実施の形態 5 に示す n チャンネル型 T F T のみで作製することも可能である。

30

【 0 1 8 6 】

また、上述した駆動回路は、液晶表示装置や発光表示装置に限らず、スイッチング素子と電氣的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）も呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【 0 1 8 7 】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第 1 の粒子と、マイナスの電荷を有する第 2 の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第 1 の粒子または第 2 の粒子は染料を含み、電界がない場合において移動しないものである。また、第 1 の粒子の色と第 2 の粒子の色は異なるもの（無色を含む）とする。

40

【 0 1 8 8 】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。電気泳動ディスプレイは、液晶表示装置には必要な偏光板、対向基板も必要なく、厚さや重さが半減する。

【 0 1 8 9 】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、こ

50

の電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0190】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態4又は実施の形態5の薄膜トランジスタによって得られるアクティブマトリクス基板を用いることができる。

【0191】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

10

【0192】

以上の工程により、半導体装置として信頼性の高い表示装置を作製することができる。

【0193】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0194】

(実施の形態7)

20

本発明の一形態の薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置(表示装置ともいう)を作製することができる。また、本発明の一形態の薄膜トランジスタを駆動回路の一部または全体に用いて、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0195】

表示装置は表示素子を含む。表示素子としては液晶素子(液晶表示素子ともいう)、発光素子(発光表示素子ともいう)を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL(Electro Luminescence)、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

30

【0196】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに本発明の一形態は、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0197】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源(照明装置含む)を指す。また、コネクタ、例えばFPC(Flexible printed circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG(Chip On Glass)方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。

40

【0198】

本実施の形態では、本発明の半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図22を用いて説明する。図22は、第1の基板4001上に形成された実施の形態4で示したIn-Ga-Zn-O系非単結晶膜を半導体層として含む信頼性の高

50

い薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの平面図であり、図22(B)は、図22(A1)(A2)のM-Nにおける断面図に相当する。

【0199】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

10

【0200】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図22(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図22(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

【0201】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図22(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4020、4021が設けられている。

20

【0202】

薄膜トランジスタ4010、4011は、In-Ga-Zn-O系非単結晶膜を半導体層として含む信頼性の高い実施の形態4に示す薄膜トランジスタを適用することができる。また実施の形態5に示す薄膜トランジスタを適用してもよい。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

【0203】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

30

【0204】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiber glass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルム、またはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

40

【0205】

また4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いていても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

【0206】

50

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が $10\mu s \sim 100\mu s$ と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

【0207】

なお本実施の形態は透過型液晶表示装置の例であるが、本発明の一形態は反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

10

【0208】

また、本実施の形態の液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

【0209】

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、実施の形態4で得られた薄膜トランジスタを保護膜や平坦化絶縁膜として機能する絶縁層（絶縁層4020、絶縁層4021）で覆う構成となっている。なお、保護膜は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護膜は、スパッタ法を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、又は窒化酸化アルミニウム膜の単層、又は積層で形成すればよい。本実施の形態では保護膜をスパッタ法で形成する例を示すが、特に限定されず種々の方法で形成すればよい。

20

【0210】

ここでは、保護膜として積層構造の絶縁層4020を形成する。ここでは、絶縁層4020の一層目として、スパッタ法を用いて酸化珪素膜を形成する。保護膜として酸化珪素膜を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム膜のヒロック防止に効果がある。

30

【0211】

また、保護膜の二層目として絶縁層を形成する。ここでは、絶縁層4020の二層目として、スパッタ法を用いて窒化珪素膜を形成する。保護膜として窒化珪素膜を用いると、ナトリウム等の可動イオンが半導体領域中に侵入して、TFTの電気特性を変化させることを抑制することができる。

【0212】

また、保護膜を形成した後に、半導体層のアニール（300～400）を行ってもよい。

【0213】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

40

【0214】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有してい

50

ても良い。

【0215】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021を材料液を用いて形成する場合、ベークする工程で同時に、半導体層のアニール（300～400）を行ってもよい。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

【0216】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0217】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1・cm以下であることが好ましい。

【0218】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0219】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0220】

本実施の形態では、接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【0221】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0222】

また図22においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0223】

図23は、本発明の一形態を適用して作製されるTFT基板2600を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

【0224】

図23は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷

10

20

30

40

50

陰極管 2610 と反射板 2611 により構成され、回路基板 2612 は、フレキシブル配線基板 2609 により TFT 基板 2600 の配線回路部 2608 と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

【0225】

液晶表示モジュールには、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment)、ASM (Axially Symmetric aligned Mic 10
ro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) などを用いることができる。

【0226】

以上の工程により、半導体装置として信頼性の高い液晶表示パネルを作製することができる。

【0227】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。 20

【0228】

(実施の形態 8)

【0229】

本実施の形態では、本発明の一形態の半導体装置として電子ペーパーの例を示す。

【0230】

図 13 は、本発明の一形態を適用した半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ 581 としては、実施の形態 4 で示す薄膜トランジスタと同様に作製でき、In-Ga-Zn-O 系非単結晶膜を半導体層として含む信頼性の高い薄膜トランジスタである。また、実施の形態 5 で示す薄膜トランジスタも本実施の薄膜トランジスタ 581 として適用することもできる。 30

【0231】

図 13 の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第 1 の電極層及び第 2 の電極層の間に配置し、第 1 の電極層及び第 2 の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

【0232】

薄膜トランジスタ 581 はボトムゲート構造の薄膜トランジスタであり、ソース電極層又はドレイン電極層によって第 1 の電極層 587 と、絶縁層 585 に形成する開口で接しており電氣的に接続している。第 1 の電極層 587 と第 2 の電極層 588 との間には黒色領域 590a 及び白色領域 590b を有し、周りに液体で満たされているキャビティ 594 40
を含む球形粒子 589 が設けられており、球形粒子 589 の周囲は樹脂等の充填材 595 で充填されている (図 13 参照。)。本実施の形態においては、第 1 の電極層 587 が画素電極に相当し、第 2 の電極層 588 が共通電極に相当する。第 2 の電極層 588 は、薄膜トランジスタ 581 と同一基板上に設けられる共通電位線と電氣的に接続される。実施の形態 1 乃至 3 に示すいずれか一の共通接続部を用いて、一对の基板間に配置される導電性粒子を介して第 2 の電極層 588 と共通電位線とを電氣的に接続することができる。

【0233】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径 10 μm ~ 20 μm 程度のマイクロカプセルを用いる。第 1 の電極層と第 2 の電極層との間に設けられ 50

るマイクロカプセルは、第 1 の電極層と第 2 の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

【0234】

以上の工程により、半導体装置として信頼性の高い電子ペーパーを作製することができる。

【0235】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0236】

（実施の形態 9）

本実施の形態では、本発明の一形態の半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 EL 素子、後者は無機 EL 素子と呼ばれている。

【0237】

有機 EL 素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0238】

無機 EL 素子は、その素子構成により、分散型無機 EL 素子と薄膜型無機 EL 素子とに分類される。分散型無機 EL 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー・アクセプター再結合型発光である。薄膜型無機 EL 素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機 EL 素子を用いて説明する。

【0239】

図 20 は、本発明の一形態を適用した半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【0240】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層（In-Ga-Zn-O 系非単結晶膜）をチャネル形成領域に用いる n チャネル型のトランジスタを 1 つの画素に 2 つ用いる例を示す。

【0241】

画素 6400 は、スイッチング用トランジスタ 6401、駆動用トランジスタ 6402、発光素子 6404 及び容量素子 6403 を有している。スイッチング用トランジスタ 6401 はゲートが走査線 6406 に接続され、第 1 電極（ソース電極及びドレイン電極の一方）が信号線 6405 に接続され、第 2 電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ 6402 のゲートに接続されている。駆動用トランジスタ 6402 は、ゲートが容量素子 6403 を介して電源線 6407 に接続され、第 1 電極が電源線 640

10

20

30

40

50

7に接続され、第2電極が発光素子6404の第1電極(画素電極)に接続されている。発光素子6404の第2電極は共通電極6408に相当する。共通電極6408は、同一基板上に形成される共通電位線と電氣的に接続され、その接続部分を共通接続部として、図1(A)、図2(A)、或いは図3(A)に示す構造とすればよい。

【0242】

なお、発光素子6404の第2電極(共通電極6408)には低電源電位が設定されている。なお、低電源電位とは、電源線6407に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子6404に印加して、発光素子6404に電流を流して発光素子6404を発光させるため、高電源電位と低電源電位との電位差が発光素子6404の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

【0243】

なお、容量素子6403は駆動用トランジスタ6402のゲート容量を代用して省略することも可能である。駆動用トランジスタ6402のゲート容量については、チャネル領域とゲート電極との間で容量が形成されていてもよい。

【0244】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ6402のゲートには、駆動用トランジスタ6402が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ6402は線形領域で動作させる。駆動用トランジスタ6402は線形領域で動作させるため、電源線6407の電圧よりも高い電圧を駆動用トランジスタ6402のゲートにかける。なお、信号線6405には、(電源線電圧+駆動用トランジスタ6402の V_{th})以上の電圧をかける。

【0245】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図20と同じ画素構成を用いることができる。

【0246】

アナログ階調駆動を行う場合、駆動用トランジスタ6402のゲートに発光素子6404の順方向電圧+駆動用トランジスタ6402の V_{th} 以上の電圧をかける。発光素子6404の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ6402が飽和領域で動作するようなビデオ信号を入力することで、発光素子6404に電流を流すことができる。駆動用トランジスタ6402を飽和領域で動作させるため、電源線6407の電位は、駆動用トランジスタ6402のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子6404にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0247】

なお、図20に示す画素構成は、これに限定されない。例えば、図20に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

【0248】

次に、発光素子の構成について、図21を用いて説明する。ここでは、駆動用TFTがn型の場合を例に挙げて、画素の断面構造について説明する。図21(A)(B)(C)の半導体装置に用いられる駆動用TFTであるTFT7001、7011、7021は、実施の形態4で示す薄膜トランジスタと同様に作製でき、In-Ga-Zn-O系非単結晶膜を半導体層として含む信頼性の高い薄膜トランジスタである。また、実施の形態5で示す薄膜トランジスタをTFT7001、7011、7021として適用することもできる。

【0249】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対

10

20

30

40

50

側の面から発光を取り出す両面射出構造の発光素子があり、本発明の一形態の画素構成はどの射出構造の発光素子にも適用することができる。

【0250】

上面射出構造の発光素子について図21(A)を用いて説明する。

【0251】

図21(A)に、駆動用TFTであるTFT7001がn型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図21(A)では、発光素子7002の陰極7003と駆動用TFTであるTFT7001が電氣的に接続されており、陰極7003上に発光層7004、陽極7005が順に積層されている。陰極7003は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。そして発光層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

10

【0252】

陰極7003及び陽極7005で発光層7004を挟んでいる領域が発光素子7002に相当する。図21(A)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように陽極7005側に射出する。

20

【0253】

次に、下面射出構造の発光素子について図21(B)を用いて説明する。駆動用TFT7011がn型で、発光素子7012から発せられる光が陰極7013側に射出する場合の、画素の断面図を示す。図21(B)では、駆動用TFT7011と電氣的に接続された透光性を有する導電膜7017上に、発光素子7012の陰極7013が成膜されており、陰極7013上に発光層7014、陽極7015が順に積層されている。なお、陽極7015が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜7016が成膜されていてもよい。陰極7013は、図21(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウム膜を、陰極7013として用いることができる。そして発光層7014は、図21(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要はないが、図21(A)と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜7016は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

30

【0254】

陰極7013及び陽極7015で、発光層7014を挟んでいる領域が発光素子7012に相当する。図21(B)に示した画素の場合、発光素子7012から発せられる光は、矢印で示すように陰極7013側に射出する。

40

【0255】

次に、両面射出構造の発光素子について、図21(C)を用いて説明する。図21(C)では、駆動用TFT7021と電氣的に接続された透光性を有する導電膜7027上に、発光素子7022の陰極7023が成膜されており、陰極7023上に発光層7024、陽極7025が順に積層されている。陰極7023は、図21(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば20nmの膜厚を有するAlを、陰極7023として

50

用いることができる。そして発光層 7024 は、図 21 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7025 は、図 21 (A) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

【0256】

陰極 7023 と、発光層 7024 と、陽極 7025 とが重なっている部分が発光素子 7022 に相当する。図 21 (C) に示した画素の場合、発光素子 7022 から発せられる光は、矢印で示すように陽極 7025 側と陰極 7023 側の両方に射出する。

【0257】

なお、ここでは、発光素子として有機 EL 素子について述べたが、発光素子として無機 EL 素子を設けることも可能である。

10

【0258】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ (駆動用 TFT) と発光素子が電氣的に接続されている例を示したが、駆動用 TFT と発光素子との間に電流制御用 TFT が接続されている構成であってもよい。

【0259】

なお本実施の形態で示す半導体装置は、図 21 に示した構成に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【0260】

次に、本発明の半導体装置の一形態に相当する発光表示パネル (発光パネルともいう) の外観及び断面について、図 24 を用いて説明する。図 24 (A) は、第 1 の基板上に形成された薄膜トランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの平面図であり、図 24 (B) は、図 24 (A) の H - I における断面図に相当する。

20

【0261】

第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b を囲むようにして、シール材 4505 が設けられている。また画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b の上に第 2 の基板 4506 が設けられている。よって画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b は、第 1 の基板 4501 とシール材 4505 と第 2 の基板 4506 とによって、充填材 4507 と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム (貼り合わせフィルム、紫外線硬化樹脂フィルム等) やカバー材でパッケージング (封入) することが好ましい。

30

【0262】

また第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b は、薄膜トランジスタを複数有しており、図 24 (B) では、画素部 4502 に含まれる薄膜トランジスタ 4510 と、信号線駆動回路 4503a に含まれる薄膜トランジスタ 4509 とを例示している。

40

【0263】

薄膜トランジスタ 4509、4510 は、In - Ga - Zn - O 系非単結晶膜を半導体層として含む信頼性の高い実施の形態 4 に示す薄膜トランジスタを適用することができる。また実施の形態 5 に示す薄膜トランジスタを適用してもよい。本実施の形態において、薄膜トランジスタ 4509、4510 は n チャネル型薄膜トランジスタである。

【0264】

また 4511 は発光素子に相当し、発光素子 4511 が有する画素電極である第 1 の電極層 4517 は、薄膜トランジスタ 4510 のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子 4511 の構成は、第 1 の電極層 4517、電界発光層 4512、第 2 の電極層 4513 の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子 4511 から取り出す光の方向などに合わせて、発光素子 4511 の

50

構成は適宜変えることができる。

【0265】

隔壁4520は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極層4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0266】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0267】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、DLC膜等を形成することができる。

10

【0268】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

【0269】

本実施の形態では、接続端子電極4515が、発光素子4511が有する第1の電極層4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509、4510が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

20

【0270】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電氣的に接続されている。

【0271】

発光素子4511からの光の取り出し方向に位置する第2の基板4506は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0272】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施の形態は充填材として窒素を用いた。

30

【0273】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0274】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図24の構成に限定されない。

40

【0275】

以上の工程により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

【0276】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

50

【 0 2 7 7 】

(実施の形態 1 0)

本発明の一形態の半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図 2 5、図 2 6 に示す。

【 0 2 7 8 】

図 2 5 (A) は、電子ペーパーで作られたポスター 2 6 3 1 を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、本発明の一形態を適用した電子ペーパーを用いれば短時間で広告の表示を変えることができる。また、表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

10

【 0 2 7 9 】

また、図 2 5 (B) は、電車などの乗り物の車内広告 2 6 3 2 を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、本発明の一形態を適用した電子ペーパーを用いれば人手を多くかけることなく短時間で広告の表示を変えることができる。また表示も崩れることなく安定した画像が得られる。なお、車内広告は無線で情報を送受信できる構成としてもよい。

【 0 2 8 0 】

また、図 2 6 は、電子書籍 2 7 0 0 の一例を示している。例えば、電子書籍 2 7 0 0 は、筐体 2 7 0 1 および筐体 2 7 0 3 の 2 つの筐体で構成されている。筐体 2 7 0 1 および筐体 2 7 0 3 は、軸部 2 7 1 1 により一体とされており、該軸部 2 7 1 1 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

20

【 0 2 8 1 】

筐体 2 7 0 1 には表示部 2 7 0 5 が組み込まれ、筐体 2 7 0 3 には表示部 2 7 0 7 が組み込まれている。表示部 2 7 0 5 および表示部 2 7 0 7 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図 2 6 では表示部 2 7 0 5 ）に文章を表示し、左側の表示部（図 2 6 では表示部 2 7 0 7 ）に画像を表示することができる。

30

【 0 2 8 2 】

また、図 2 6 では、筐体 2 7 0 1 に操作部などを備えた例を示している。例えば、筐体 2 7 0 1 において、電源 2 7 2 1、操作キー 2 7 2 3、スピーカ 2 7 2 5などを備えている。操作キー 2 7 2 3により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2 7 0 0 は、電子辞書としての機能を持たせた構成としてもよい。

40

【 0 2 8 3 】

また、電子書籍 2 7 0 0 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【 0 2 8 4 】

(実施の形態 1 1)

本発明の一形態の半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲ

50

ーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【0285】

図27(A)は、テレビジョン装置9600の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

【0286】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機9610から出力する情報を表示する表示部9607を設ける構成としてもよい。

10

【0287】

なお、テレビジョン装置9600は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

【0288】

図27(B)は、デジタルフォトフレーム9700の一例を示している。例えば、デジタルフォトフレーム9700は、筐体9701に表示部9703が組み込まれている。表示部9703は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

20

【0289】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子(USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

30

【0290】

また、デジタルフォトフレーム9700は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0291】

図28(A)は携帯型遊技機であり、筐体9881と筐体9891の2つの筐体で構成されており、連結部9893により、開閉可能に連結されている。筐体9881には表示部9882が組み込まれ、筐体9891には表示部9883が組み込まれている。また、図28(A)に示す携帯型遊技機は、その他、スピーカ部9884、記録媒体挿入部9886、LEDランプ9890、入力手段(操作キー9885、接続端子9887、センサ9888(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクロフォン9889)等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本発明の一形態の半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図28(A)に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図28(A)に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

40

【0292】

図28(B)は大型遊技機であるスロットマシン9900の一例を示している。スロット

50

マシン 9900 は、筐体 9901 に表示部 9903 が組み込まれている。また、スロットマシン 9900 は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン 9900 の構成は上述のものに限定されず、少なくとも本発明の一形態の半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

【0293】

図 29 (A) は、携帯電話機 1000 の一例を示している。携帯電話機 1000 は、筐体 1001 に組み込まれた表示部 1002 の他、操作ボタン 1003、外部接続ポート 1004、スピーカ 1005、マイク 1006などを備えている。

【0294】

図 29 (A) に示す携帯電話機 1000 は、表示部 1002 を指などで触れることで、情報を入力ことができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部 1002 を指などで触れることにより行うことができる。

【0295】

表示部 1002 の画面は主として 3 つのモードがある。第 1 は、画像の表示を主とする表示モードであり、第 2 は、文字等の情報の入力を主とする入力モードである。第 3 は表示モードと入力モードの 2 つのモードが混合した表示 + 入力モードである。

【0296】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部 1002 を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部 1002 の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

【0297】

また、携帯電話機 1000 内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機 1000 の向き（縦か横か）を判断して、表示部 1002 の画面表示を自動的に切り替えるようにすることができる。

【0298】

また、画面モードの切り替えは、表示部 1002 を触れること、又は筐体 1001 の操作ボタン 1003 の操作により行われる。また、表示部 1002 に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

【0299】

また、入力モードにおいて、表示部 1002 の光センサで検出される信号を検知し、表示部 1002 のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【0300】

表示部 1002 は、イメージセンサとして機能させることもできる。例えば、表示部 1002 に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

【0301】

図 29 (B) も携帯電話機の一例である。図 29 (B) の携帯電話機は、筐体 9411 に、表示部 9412、及び操作ボタン 9413 を含む表示装置 9410 と、筐体 9401 に操作ボタン 9402、外部入力端子 9403、マイク 9404、スピーカ 9405、及び着信時に発光する発光部 9406 を含む通信装置 9400 とを有しており、表示機能を有する表示装置 9410 は電話機能を有する通信装置 9400 と矢印の 2 方向に脱着可能である。よって、表示装置 9410 と通信装置 9400 の短軸同士を取り付けることも、表示装置 9410 と通信装置 9400 の長軸同士を取り付けることもできる。また、表示機能のみを必要とする場合、通信装置 9400 より表示装置 9410 を取り外し、表示装置 9410 を単独で用いることもできる。通信装置 9400 と表示装置 9410 とは無線通

10

20

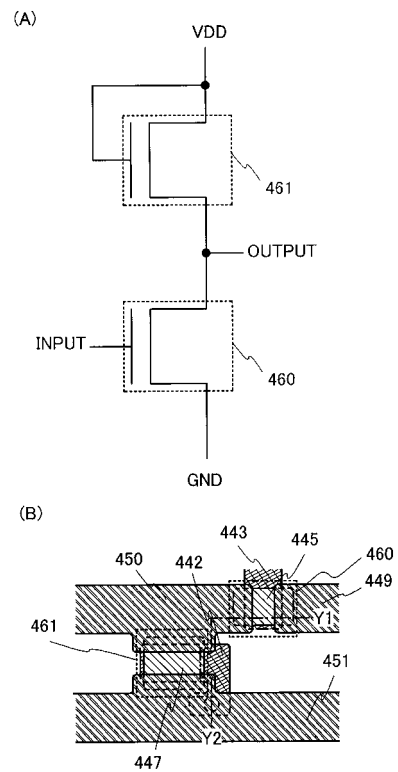
30

40

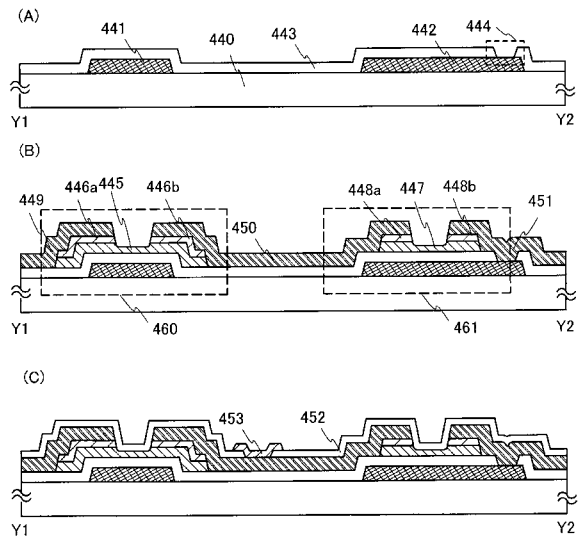
50

信又は有線通信により画像又は入力情報を授受することができ、それぞれ充電可能なバッテリーを有する。

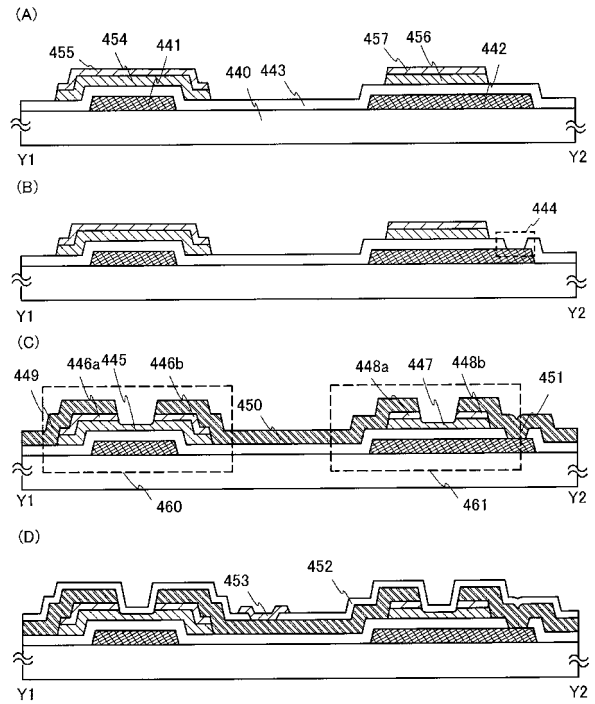
【 図 2 】



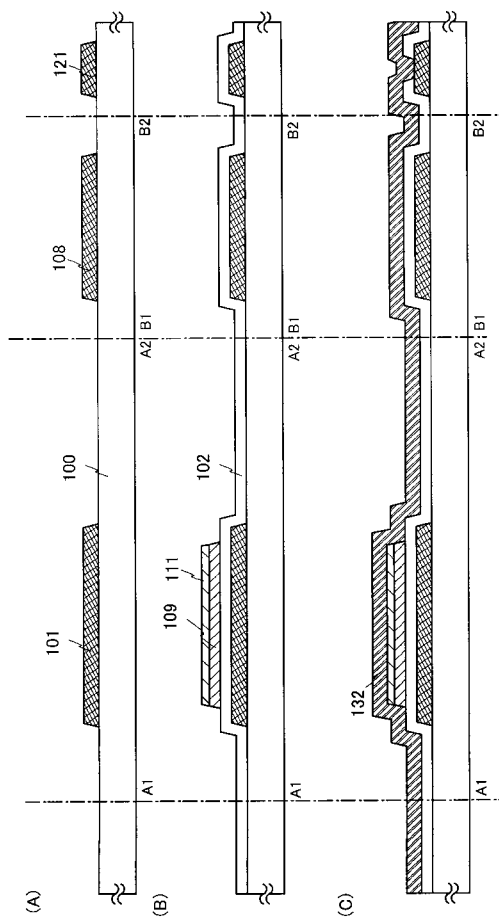
【図 3】



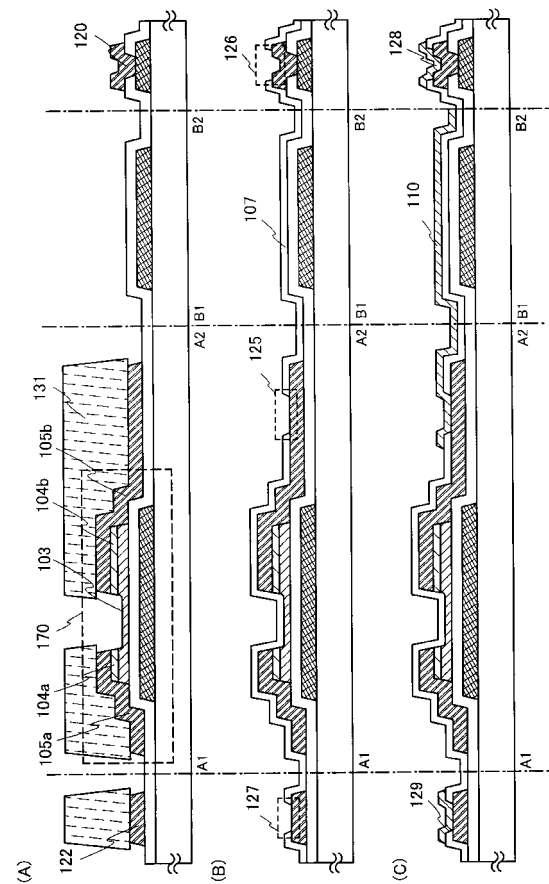
【図 4】



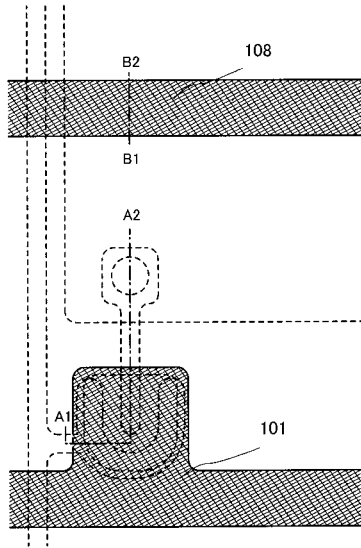
【図 5】



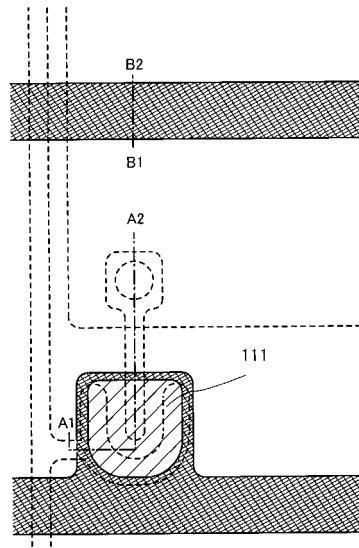
【図 6】



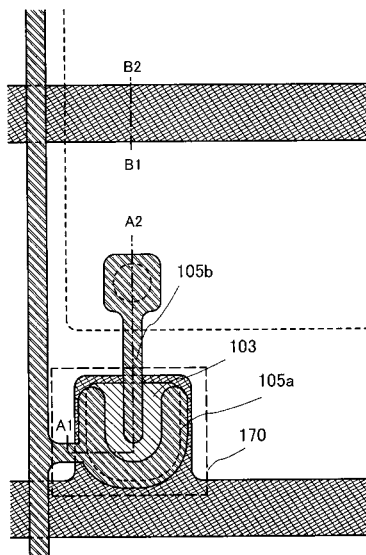
【図 7】



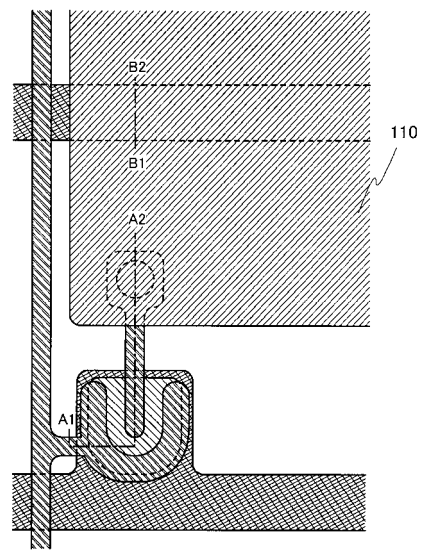
【図 8】



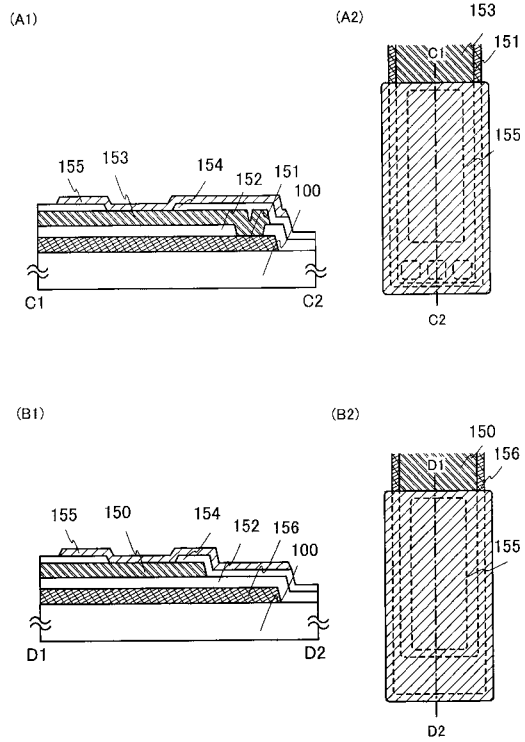
【図 9】



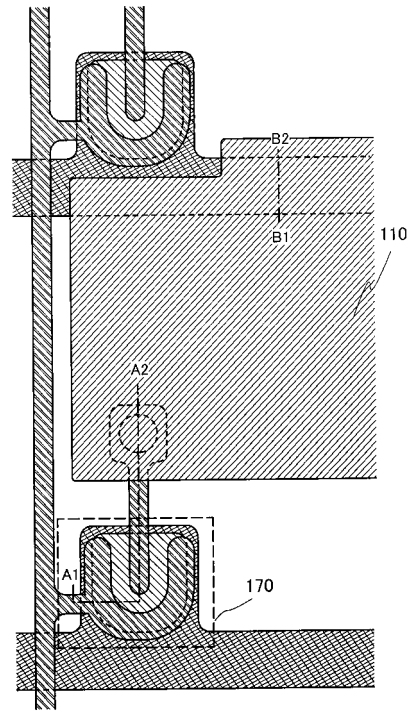
【図 10】



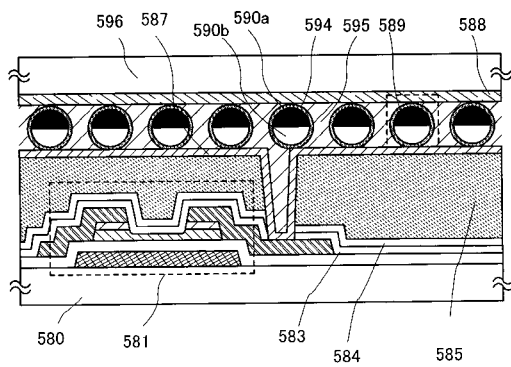
【 図 1 1 】



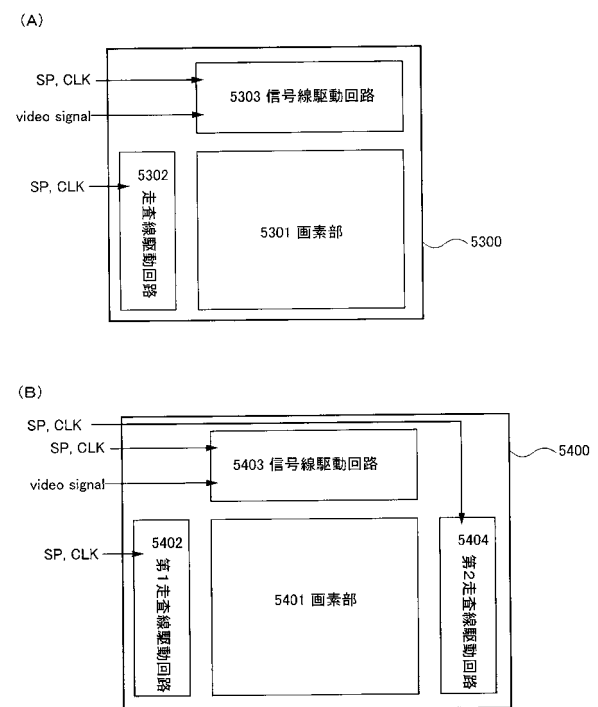
【 図 1 2 】



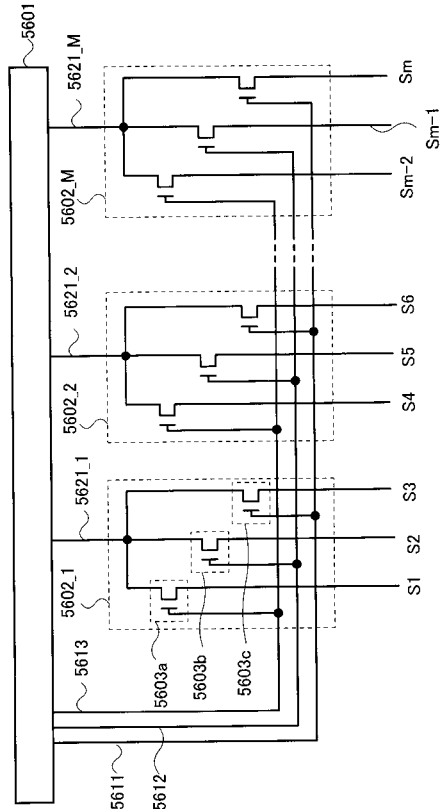
【 図 1 3 】



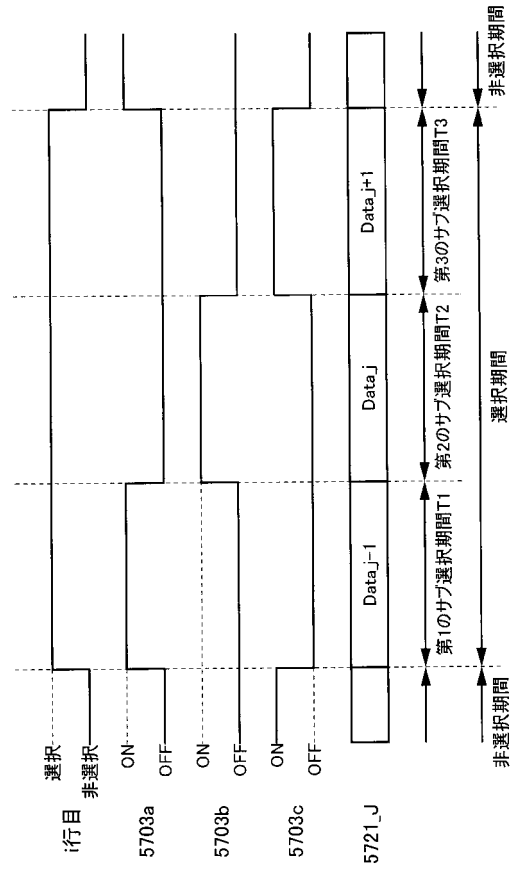
【 図 1 4 】



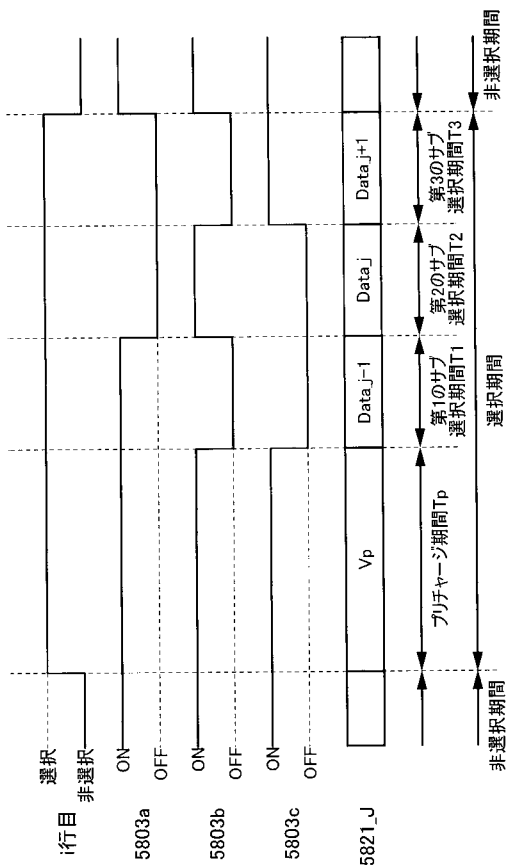
【 図 1 5 】



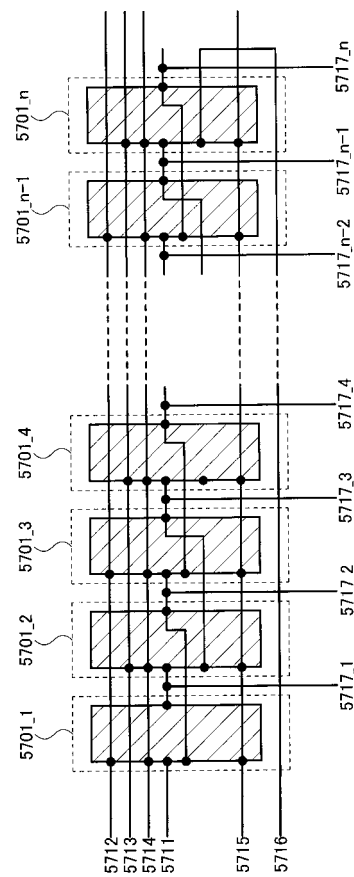
【 図 1 6 】



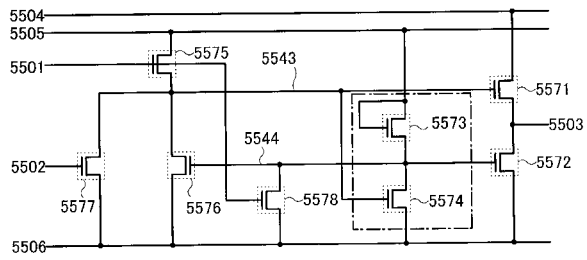
【 図 1 7 】



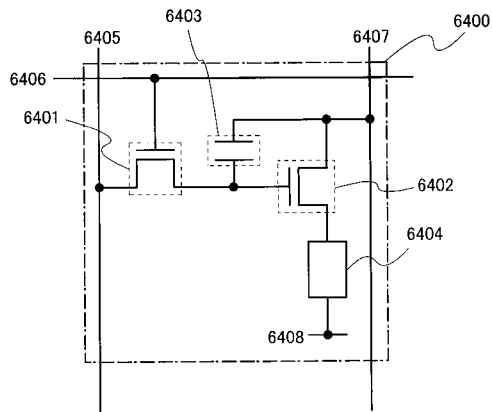
【 図 1 8 】



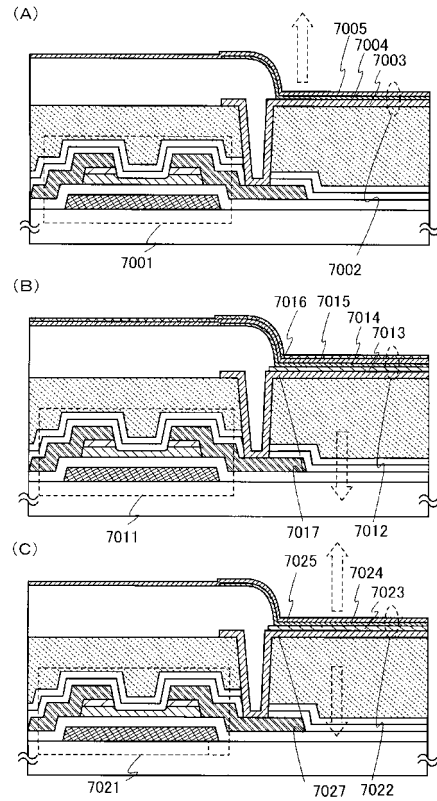
【 図 1 9 】



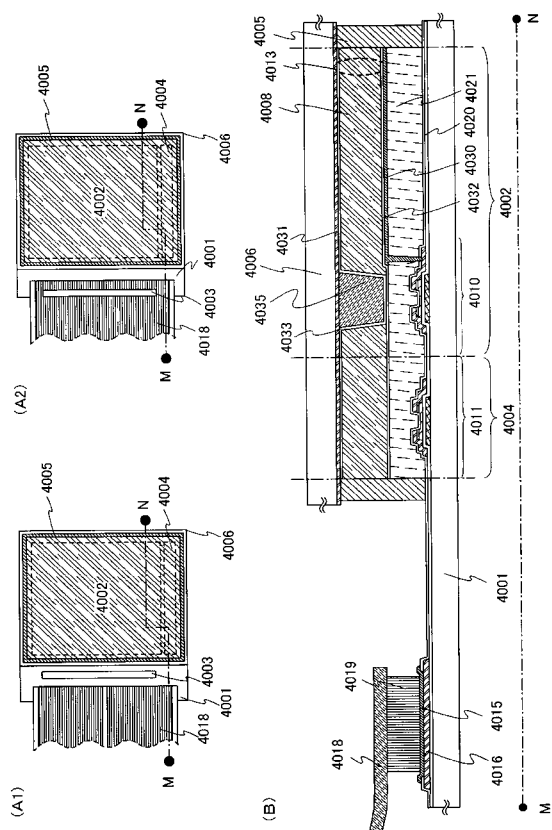
【 図 2 0 】



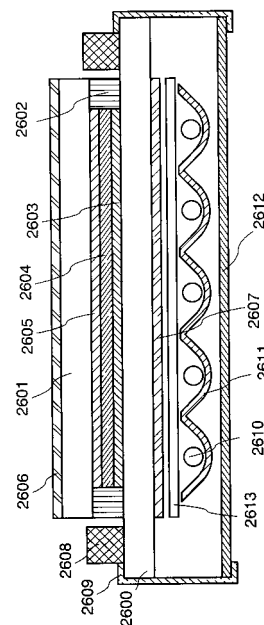
【 図 2 1 】



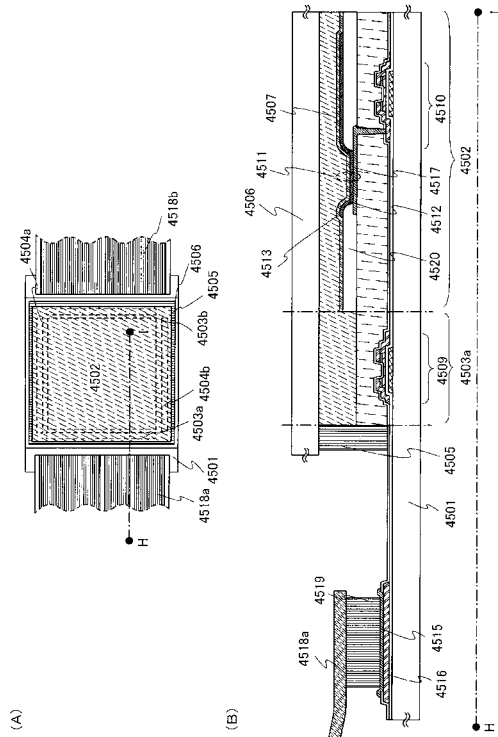
【 図 2 2 】



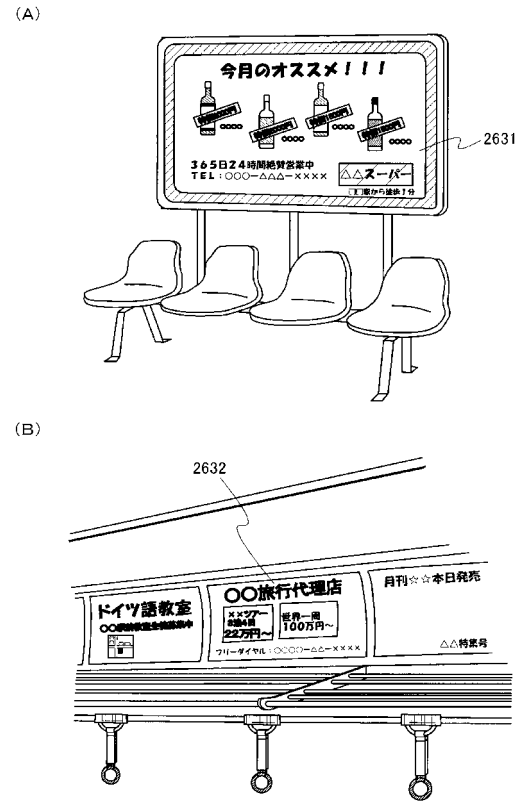
【 図 2 3 】



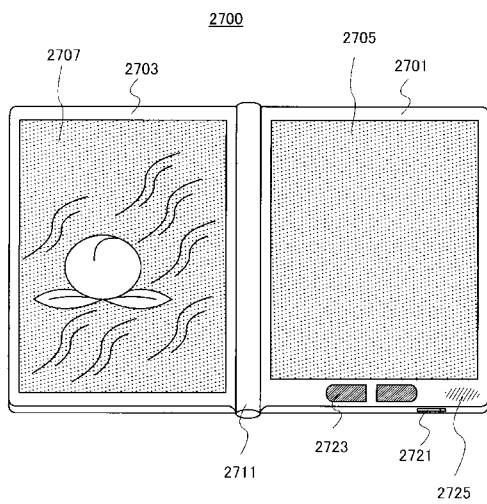
【 図 2 4 】



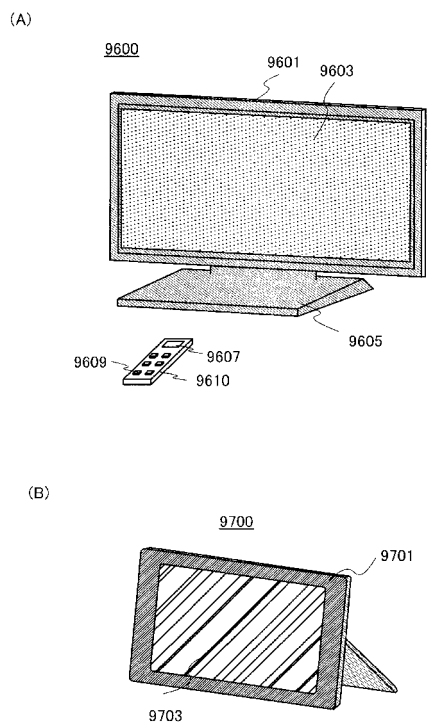
【 図 2 5 】



【 図 2 6 】

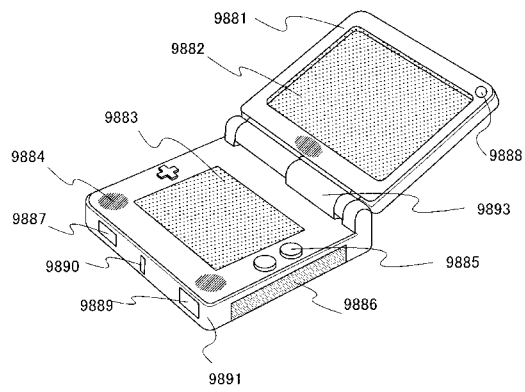


【 図 2 7 】

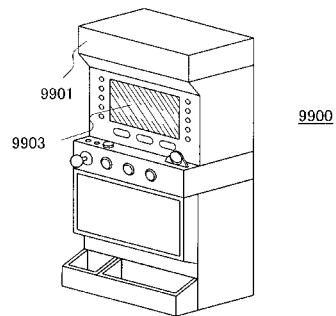


【図 28】

(A)

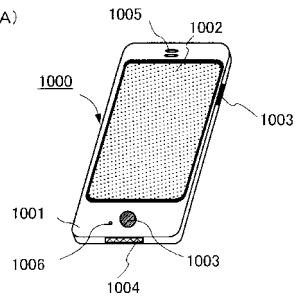


(B)

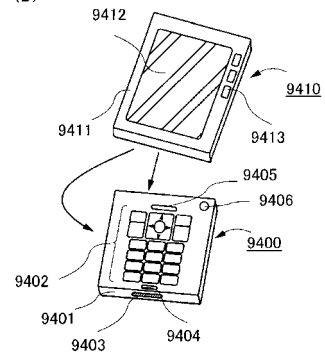


【図 29】

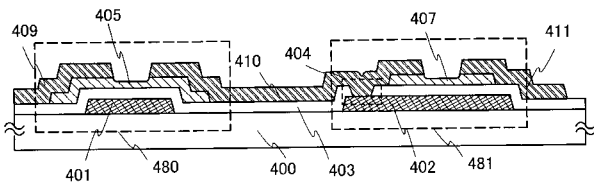
(A)



(B)



【図 30】



フロントページの続き

F ターム(参考) 2H092 GA29 GA43 GA51 GA59 GA60 JA26 JA28 JA36 JA40 JA46
JB63 JB69 KA07 KA08 KA12 KA18 KB22 MA05 MA08 MA13
NA27
5F110 AA04 AA16 BB02 BB03 CC07 DD01 DD02 EE01 EE02 EE03
EE04 EE06 EE14 EE15 EE44 FF01 FF02 FF03 FF04 FF09
FF28 FF29 FF30 GG01 GG15 GG16 GG25 GG43 GG57 GG58
HK01 HK03 HK04 HK06 HK08 HK16 HK17 HK21 HK22 HK32
HK33 HK41 HL01 HL07 HL09 HL22 HL23 HM04 HM12 NN03
NN22 NN23 NN24 NN25 NN27 NN33 NN34 NN36 NN73 QQ02
QQ06 QQ19