

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-203954

(P2012-203954A)

(43) 公開日 平成24年10月22日(2012.10.22)

(51) Int.Cl.			F I			テーマコード (参考)		
G 1 1 C	17/14	(2006.01)	G 1 1 C	17/06		B	5 B 1 2 5	
H O 1 L	21/82	(2006.01)	H O 1 L	21/82		F	5 F O 6 4	
H O 1 L	27/10	(2006.01)	H O 1 L	27/10	4 3 1		5 F O 8 3	
G 1 1 C	16/02	(2006.01)	G 1 1 C	17/00	6 4 1			

審査請求 未請求 請求項の数 7 O L (全 25 頁)

(21) 出願番号 特願2011-67502 (P2011-67502)
 (22) 出願日 平成23年3月25日 (2011. 3. 25)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100089118
 弁理士 酒井 宏明
 (72) 発明者 山内 秀晃
 東京都港区芝浦一丁目1番1号 株式会社東芝内
 (72) 発明者 加久 大地
 東京都港区芝浦一丁目1番1号 株式会社東芝内
 (72) 発明者 北城 岳彦
 東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

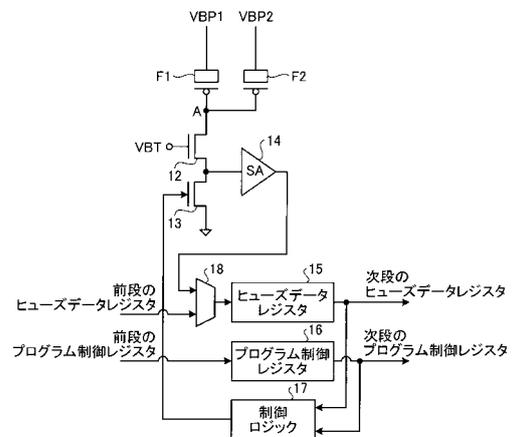
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】レイアウト面積の増大を抑制しつつ、容量を拡張することが可能な不揮発性半導体記憶装置を提供する。

【解決手段】メモリセルに複数のアンチヒューズ素子 F 1、F 2 を設け、各アンチヒューズ素子 F 1、F 2 の電界効果トランジスタのゲートを互いに接続することで、アンチヒューズ素子 F 1、F 2 の一端をノード A に共通に接続し、メモリセルを多値化する。

【選択図】 図 2



【特許請求の範囲】**【請求項 1】**

電界効果トランジスタを用いて構成され、一端が共通に接続された n (n は 2 以上の整数) 個のアンチヒューズ素子を有するメモリセルと、

前記電界効果トランジスタのゲート絶縁膜を破壊するプログラム電圧を発生する内部電圧発生回路と、

前記 n 個のアンチヒューズ素子の中から前記プログラム電圧を印加するアンチヒューズ素子を選択するプログラム電圧選択回路と、

前記メモリセルごとに設けられ、前記 n 個のアンチヒューズ素子に記憶されたデータに基づいて、3 値以上の読み出しレベルを判定するセンスアンプと、

前記メモリセルごとに設けられ、前記ゲート絶縁膜を破壊させる電圧から前記センスアンプを保護するバリアトランジスタと、

前記メモリセルごとに設けられ、前記プログラム電圧が印加されるメモリセルを選択する選択トランジスタとを備えることを特徴とする不揮発性半導体記憶装置。

10

【請求項 2】

電界効果トランジスタを用いて構成され、一端が共通に接続された n (n は 2 以上の整数) 個のアンチヒューズ素子を有するメモリセルと、

前記電界効果トランジスタのゲート絶縁膜を破壊するプログラム電圧を発生する内部電圧発生回路と、

前記アンチヒューズ素子ごとに直列に接続され、前記プログラム電圧が印加されるアンチヒューズ素子を切り替える n 個の切替トランジスタと、

前記メモリセルごとに設けられ、前記 n 個のアンチヒューズ素子に記憶されたデータに基づいて、3 値以上の読み出しレベルを判定するセンスアンプと、

前記メモリセルごとに設けられ、前記ゲート絶縁膜を破壊させる電圧から前記センスアンプを保護するバリアトランジスタと、

前記メモリセルごとに設けられ、前記プログラム電圧が印加されるメモリセルを選択する選択トランジスタとを備えることを特徴とする不揮発性半導体記憶装置。

20

【請求項 3】

電界効果トランジスタを用いて構成され、一端が共通に接続された n (n は 2 以上の整数) 個のアンチヒューズ素子を有するメモリセルと、

前記電界効果トランジスタのゲート絶縁膜を破壊するプログラム電圧を発生する内部電圧発生回路と、

前記 n 個のアンチヒューズ素子の中から前記プログラム電圧を印加するアンチヒューズ素子を選択するプログラム電圧選択回路と、

前記 n 個のアンチヒューズ素子に記憶されたデータに基づいて、3 値以上の読み出しレベルを判定するセンスアンプと、

前記メモリセルごとに設けられ、前記 n 個のアンチヒューズ素子の書き込みを行う書き込みトランジスタと、

前記メモリセルごとに設けられ、前記 n 個のアンチヒューズ素子から読み出しを行う読み出しトランジスタと、

前記メモリセルごとに設けられ、前記書き込みトランジスタに直列に接続された書き込み制御トランジスタと、

前記メモリセルごとに設けられ、前記読み出しトランジスタに直列に接続された読み出しバリアトランジスタとを備えることを特徴とする不揮発性半導体記憶装置。

40

【請求項 4】

電界効果トランジスタを用いて構成され、一端が共通に接続された n (n は 2 以上の整数) 個のアンチヒューズ素子を有するメモリセルと、

前記電界効果トランジスタのゲート絶縁膜を破壊するプログラム電圧を発生する内部電圧発生回路と、

前記アンチヒューズ素子ごとに直列に接続され、前記プログラム電圧が印加されるアン

50

チヒューズ素子を切り替える n 個の切替トランジスタと、

前記 n 個のアンチヒューズ素子に記憶されたデータに基づいて、3 値以上の読み出しレベルを判定するセンスアンプと、

前記メモリセルごとに設けられ、前記 n 個のアンチヒューズ素子の書き込みを行う書き込みトランジスタと、

前記メモリセルごとに設けられ、前記 n 個のアンチヒューズ素子から読み出しを行う読み出しトランジスタと、

前記メモリセルごとに設けられ、前記書き込みトランジスタに直列に接続された書き込み制御トランジスタと、

前記メモリセルごとに設けられ、前記読み出しトランジスタに直列に接続された読み出しバリアトランジスタとを備えることを特徴とする不揮発性半導体記憶装置。

10

【請求項 5】

n 個のアンチヒューズ素子の各電界効果トランジスタは、トランジスタサイズまたはゲート電極のシリサイド濃度が互いに異なるまたは同一または異なるものと同一なものが混在することを特徴とする請求項 1 から 4 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 6】

前記メモリセルの 3 値以上の読み出しレベルに応じて前記センスアンプのしきい値を変化させるしきい値可変回路をさらに備えることを特徴とする請求項 1 から 5 のいずれか 1 項に記載の不揮発性半導体記憶装置。

20

【請求項 7】

前記センスアンプは、前記メモリセルの 3 値以上の読み出しレベルに応じてしきい値が互いに異なる複数のセンスアンプからなることを特徴とする請求項 1 から 5 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

ゲート絶縁膜破壊型アンチヒューズ素子では、トランジスタのゲート絶縁膜の破壊によってデータが書き込まれるため、書き込み時に大きな電流を流す必要がある。このため、サイズの大きな書き込み用トランジスタが必要となり、メモリの容量の拡張時にレイアウト面積を増大させる要因となっていた。

30

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2006 - 253353 号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0004】

本発明の一つの実施形態の目的は、レイアウト面積の増大を抑制しつつ、容量を拡張することが可能な不揮発性半導体記憶装置を提供することである。

【課題を解決するための手段】

【0005】

実施形態の不揮発性半導体記憶装置によれば、メモリセルと、内部電圧発生回路と、プログラム電圧選択回路と、センスアンプと、バリアトランジスタと、選択トランジスタとが設けられている。メモリセルは、電界効果トランジスタを用いて構成され、一端が共通に接続された n (n は 2 以上の整数) 個のアンチヒューズ素子を有する。内部電圧発生回路は、前記電界効果トランジスタのゲート絶縁膜を破壊するプログラム電圧を発生する。

50

プログラム電圧選択回路は、前記 n 個のアンチヒューズ素子の中から前記プログラム電圧を印加するアンチヒューズ素子を選択する。センスアンプは、前記メモリセルごとに設けられ、前記 n 個のアンチヒューズ素子に記憶されたデータに基づいて、3 値以上の読み出しレベルを判定する。パリアトランジスタは、前記メモリセルごとに設けられ、前記ゲート絶縁膜を破壊させる電圧から前記センスアンプを保護する。選択トランジスタは、前記メモリセルごとに設けられ、前記プログラム電圧が印加されるメモリセルを選択する。

【図面の簡単な説明】

【0006】

【図1】図1は、第1実施形態に係る不揮発性半導体記憶装置の概略構成を示すブロック図である。

10

【図2】図2は、図1の不揮発性半導体記憶装置に適用されるメモリセルの概略構成を示すブロック図である。

【図3】図3(a)は図1の不揮発性半導体記憶装置の1セル分の初期状態を示すブロック図、図3(b)は図3(a)のアンチヒューズ素子F1の書き込み動作を示すブロック図、図3(c)は図3(a)のアンチヒューズ素子F2の書き込み動作を示すブロック図、図3(d)は図3(a)のアンチヒューズ素子F1、F2の書き込み動作を示すブロック図である。

【図4】図4(a)~図4(d)は図3(a)~図3(d)の状態にそれぞれ対応した読み出し動作を示すブロック図である。

【図5】図5は図3(a)~図3(d)の状態に対応した読み出し電圧分布を示す図である。

20

【図6】図6は、第2実施形態に係る不揮発性半導体記憶装置の概略構成を示すブロック図である。

【図7】図7(a)は図6の不揮発性半導体記憶装置の1セル分の初期状態を示すブロック図、図7(b)は図7(a)のアンチヒューズ素子F1の書き込み動作を示すブロック図、図7(c)は図7(a)のアンチヒューズ素子F2の書き込み動作を示すブロック図、図7(d)は図7(a)のアンチヒューズ素子F1、F2の書き込み動作を示すブロック図である。

【図8】図8(a)~図8(d)は図7(a)~図7(d)の状態にそれぞれ対応した読み出し動作を示すブロック図である。

30

【図9】図9は、第3実施形態に係る不揮発性半導体記憶装置の1セル分の概略構成を示すブロック図である。

【図10】図10は、第4実施形態に係る不揮発性半導体記憶装置の1セル分の概略構成を示すブロック図である。

【図11】図11は、第5実施形態に係る不揮発性半導体記憶装置の1セル分の概略構成を示すブロック図である。

【図12】図12は、第6実施形態に係る不揮発性半導体記憶装置の1セル分の概略構成を示すブロック図である。

【図13】図13は、第7実施形態に係る不揮発性半導体記憶装置の概略構成を示すブロック図である。

40

【図14】図14は図13の不揮発性半導体記憶装置の4セル分の初期状態を示すブロック図である。

【図15】図15は図14のメモリセルC1のアンチヒューズ素子F1への書き込み動作を示すブロック図である。

【図16】図16は図15のメモリセルC1のアンチヒューズ素子F2への書き込み動作を示すブロック図である。

【図17】図17は図16の状態に対応した読み出し動作を示すブロック図である。

【図18】図18は、第8実施形態に係る不揮発性半導体記憶装置の概略構成を示すブロック図である。

【図19】図19は図18の不揮発性半導体記憶装置の4セル分の初期状態を示すブロッ

50

ク図である。

【図 2 0】図 2 0 は図 1 9 のメモリセル C11 のアンチヒューズ素子 F 1 の書き込み動作を示すブロック図である。

【図 2 1】図 2 1 は図 2 0 のメモリセル C11 のアンチヒューズ素子 F 2 の書き込み動作を示すブロック図である。

【図 2 2】図 2 2 は図 2 1 の状態に対応した読み出し動作を示すブロック図である。

【図 2 3】図 2 3 は、第 9 実施形態に係る不揮発性半導体記憶装置の 1 セル分の概略構成を示すブロック図である。

【図 2 4】図 2 4 は、第 1 0 実施形態に係る不揮発性半導体記憶装置の 1 セル分の概略構成を示すブロック図である。

【図 2 5】図 2 5 は、第 1 1 実施形態に係る不揮発性半導体記憶装置の 1 セル分の概略構成を示すブロック図である。

【図 2 6】図 2 6 は、第 1 2 実施形態に係る不揮発性半導体記憶装置の 1 セル分の概略構成を示すブロック図である。

【発明を実施するための形態】

【0007】

以下、実施形態に係る不揮発性半導体記憶装置について図面を参照しながら説明する。なお、これらの実施形態により本発明が限定されるものではない。

【0008】

(第 1 実施形態)

図 1 は、第 1 実施形態に係る不揮発性半導体記憶装置の概略構成を示すブロック図である。

図 1 において、ヒューズマクロブロック 2 0 には、 m (m は正の整数) 個のヒューズブロック B 1、内部電位発生回路 2 1、プログラム電圧選択回路 2 2、論理回路 2 4 およびしきい値可変回路 2 5 が設けられている。

【0009】

ヒューズブロック B 1 には、電氣的に一度だけ書き込み可能な複数のメモリセルが設けられ、例えば、1 ブロックには 1 2 8 ビット分のデータを記憶させることができる。ここで、ヒューズブロック B 1 は m 段接続され、各ヒューズブロック B 1 からは読み出しデータ SOD 1 ~ SOD m が取り出されている。

【0010】

図 2 は、図 1 の不揮発性半導体記憶装置に適用されるメモリセルの概略構成を示すブロック図である。

図 2 において、メモリセルには、2 個のアンチヒューズ素子 F 1、F 2、バリアトランジスタ 1 2、選択トランジスタ 1 3、センスアンプ 1 4、ヒューズデータレジスタ 1 5、プログラム制御レジスタ 1 6、制御ロジック 1 7 およびセクタ 1 8 が設けられている。ここで、各アンチヒューズ素子 F 1、F 2 は、電界効果トランジスタを用いて構成することができ、各電界効果トランジスタのソース、ドレインおよびウェルは共通に接続されている。また、各アンチヒューズ素子 F 1、F 2 の電界効果トランジスタのゲートは互いに接続されることで、アンチヒューズ素子 F 1、F 2 の一端がノード A に共通に接続されている。

【0011】

バリアトランジスタ 1 2 は、アンチヒューズ素子 F 1、F 2 のゲート絶縁膜を破壊させる電圧からセンスアンプ 1 4 を保護することができる。選択トランジスタ 1 3 は、電界効果トランジスタのゲート絶縁膜が破壊されるメモリセルを選択することができる。センスアンプ 1 4 は、アンチヒューズ素子 F 1、F 2 に記憶されたデータに基づいて、3 値以上の読み出しレベルを判定することができる。なお、アンチヒューズ素子 F 1、F 2 の読み出し特性が等しい場合、1 個のメモリセルには 3 値を記憶させることができる。アンチヒューズ素子 F 1、F 2 の読み出し特性が互いに異なる場合、1 個のメモリセルには 4 値を記憶させることができる。アンチヒューズ素子 F 1、F 2 の読み出し特性を互いに異なら

10

20

30

40

50

せる方法としては、トランジスタサイズまたはゲート電極のシリサイド濃度を互いに異なることで実現できる。

【0012】

ヒューズデータレジスタ15は、アンチヒューズ素子F1、F2から読み出されたデータを記憶することができる。プログラム制御レジスタ16は、プログラム時の制御を行うプログラム制御情報を記憶することができる。制御ロジック17は、プログラム時の選択トランジスタ13の動作を制御することができる。セクタ18は、センスアンプ14にて読み出されたアンチヒューズ素子F1、F2のデータまたは前段のヒューズデータレジスタに記憶されているデータを選択し、自段のヒューズデータレジスタ15に出力することができる。

10

【0013】

そして、アンチヒューズ素子F1、F2の電界効果トランジスタのゲートは、バリアトランジスタ12のドレインに接続され、バリアトランジスタ12のソースは、選択トランジスタ13のドレインおよびセンスアンプ14の入力端子に接続されている。また、センスアンプ14の出力端子は、セクタ18の一方の入力端子に接続され、セクタ18の他方の入力端子は、前段のヒューズデータレジスタの出力端子に接続され、セクタ18の出力端子は、ヒューズデータレジスタ15の入力端子に接続され、ヒューズデータレジスタ15の出力端子は、次段のヒューズデータレジスタの入力端子および制御ロジック17の一方の入力端子に接続されている。また、プログラム制御レジスタ16の入力端子は、前段のプログラム制御レジスタに接続され、プログラム制御レジスタ16の出力端子は、次段のプログラム制御レジスタの入力端子および制御ロジック17の他方の入力端子に接続され、制御ロジック17の出力端子は、選択トランジスタ13のゲートに接続されている。

20

【0014】

このようなメモリセルを複数段に渡ってシリアルに接続することにより、ヒューズブロックB1が構成される。

【0015】

また、図1において、内部電圧発生回路21は、図2のアンチヒューズ素子F1、F2にそれぞれ印加されるプログラム電圧VBP1、VBP2やバリアトランジスタ12に印加されるバリア電圧VBTなどを発生することができる。プログラム電圧選択回路22は、アンチヒューズ素子F1、F2の中から、電界効果トランジスタのゲート絶縁膜を破壊するプログラム電圧VBP1、VBP2を印加するアンチヒューズ素子F1、F2を選択することができる。論理回路24は、クロック信号CLKに同期してプログラム用データSIをヒューズブロックB1にシリアルに入力するとともに、ヒューズブロックB1から読み出したデータSOをシリアルに出力することができる。しきい値可変回路25は、メモリセルの3値以上の読み出しレベルに応じてセンスアンプ14のしきい値を変化させることができる。

30

【0016】

このようなヒューズマクロブロック20では、図2のセンスアンプ14がメモリセルごとに設けられるため、広範囲な条件で安定して動作する記憶装置の設計を容易化することができる。

40

【0017】

図3(a)は図1の不揮発性半導体記憶装置の1セル分の初期状態を示すブロック図、図3(b)は図3(a)のアンチヒューズ素子F1の書き込み動作を示すブロック図、図3(c)は図3(a)のアンチヒューズ素子F2の書き込み動作を示すブロック図、図3(d)は図3(a)のアンチヒューズ素子F1、F2の書き込み動作を示すブロック図である。なお、以下の説明では、メモリセルE1が4値化されている場合を例にとる。

【0018】

図3(a)において、メモリセルE1には、アンチヒューズ素子F1、F2、バリアトランジスタ12、選択トランジスタ13およびセンスアンプ14が設けられている。そし

50

て、アンチヒューズ素子 F 1、F 2 の電界効果トランジスタのゲート絶縁膜が破壊される前は、メモリセル E 1 には ' 0 0 ' というデータが保持される。この時、アンチヒューズ素子 F 1、F 2 にそれぞれ印加されるプログラム電圧 V B P 1、V B P 2 は 0 V に設定することができる。

【 0 0 1 9 】

そして、図 3 (b) に示すように、メモリセル E 1 に ' 1 0 ' というデータを書き込む場合、シリアルに接続されているプログラム制御レジスタを介して自段のプログラム制御レジスタ 1 6 にプログラム制御情報が転送される。

【 0 0 2 0 】

また、アンチヒューズ素子 F 1 のプログラム電圧 V B P 1 が 6 . 5 V 程度の高電圧に設定されるとともに、アンチヒューズ素子 F 2 のプログラム電圧 V B P 2 はフローティング状態に設定される。また、バリア電圧 V B T が、バリアトランジスタ 1 2 のゲートに印加され、バリアトランジスタ 1 2 がオンされる。この時、アンチヒューズ素子 F 1、F 2 のゲート側は、アンチヒューズ素子 F 1、F 2 の電界効果トランジスタのゲート絶縁膜が破壊されない程度の電位に予め充電される。

10

【 0 0 2 1 】

そして、制御ロジック 1 7 は、ヒューズデータレジスタ 1 5 に保持されたアンチヒューズ素子 F 1、F 2 のデータやプログラム制御レジスタ 1 6 に保持されたプログラム制御情報に基づいて、自身がプログラム動作を行うタイミングを判定する。そして、制御ロジック 1 7 は、プログラムを行う時には、選択トランジスタ 1 3 のゲートの電位をハイレベルにし、選択トランジスタ 1 3 をオンさせることで、アンチヒューズ素子 F 1、F 2 のゲートの電位を低電位 V S S に引き下げる。この結果、アンチヒューズ素子 F 1 の電界効果トランジスタのゲート絶縁膜には、ゲート絶縁膜が破壊される程度の高電圧が印加され、そのゲート絶縁膜が破壊されることで、メモリセル E 1 に ' 1 0 ' というデータが書き込まれる。

20

【 0 0 2 2 】

そして、メモリセル E 1 に ' 1 0 ' というデータが書き込まれると、選択トランジスタ 1 3 をオフしてアンチヒューズ素子 F 1 に高電圧が印加されるのを中止する。

【 0 0 2 3 】

また、図 3 (c) に示すように、メモリセル E 1 に ' 0 1 ' というデータを書き込む場合、シリアルに接続されているプログラム制御レジスタを介して自段のプログラム制御レジスタ 1 6 にプログラム制御情報が転送される。

30

【 0 0 2 4 】

また、アンチヒューズ素子 F 2 のプログラム電圧 V B P 2 が 6 . 5 V 程度の高電圧に設定されるとともに、アンチヒューズ素子 F 1 のプログラム電圧 V B P 1 はフローティング状態に設定される。また、バリア電圧 V B T が、バリアトランジスタ 1 2 のゲートに印加され、バリアトランジスタ 1 2 がオンされる。この時、アンチヒューズ素子 F 1、F 2 のゲート側は、アンチヒューズ素子 F 1、F 2 の電界効果トランジスタのゲート絶縁膜が破壊されない程度の電位に予め充電される。

【 0 0 2 5 】

そして、制御ロジック 1 7 は、ヒューズデータレジスタ 1 5 に保持されたアンチヒューズ素子 F 1、F 2 のデータやプログラム制御レジスタ 1 6 に保持されたプログラム制御情報に基づいて、自身がプログラム動作を行うタイミングを判定する。そして、制御ロジック 1 7 は、プログラムを行う時には、選択トランジスタ 1 3 のゲートの電位をハイレベルにし、選択トランジスタ 1 3 をオンさせることで、アンチヒューズ素子 F 1、F 2 のゲートの電位を低電位 V S S に引き下げる。この結果、アンチヒューズ素子 F 2 の電界効果トランジスタのゲート絶縁膜には、ゲート絶縁膜が破壊される程度の高電圧が印加され、そのゲート絶縁膜が破壊されることで、メモリセル E 1 に ' 0 1 ' というデータが書き込まれる。

40

【 0 0 2 6 】

50

また、図3(d)に示すように、メモリセルE1に‘11’というデータを書き込む場合、図3(b)に示すように、アンチヒューズ素子F1の電界効果トランジスタのゲート絶縁膜を破壊した後、図3(c)に示すように、アンチヒューズ素子F2の電界効果トランジスタのゲート絶縁膜を破壊することができる。

【0027】

図4(a)～図4(d)は図3(a)～図3(d)の状態にそれぞれ対応した読み出し動作を示すブロック図である。

図4(a)～図4(d)において、メモリセルE1からデータを読み出す場合、プログラム電圧VBP1、VBP2およびバリア電圧VBTは、読み出しに適した電圧に設定される。例えば、プログラム電圧VBP1、VBP2は1.1V程度、バリア電圧VBTは電源電圧VDDの2倍程度の電圧に設定される。この時、選択トランジスタ13はオフされる。

10

【0028】

また、しきい値可変回路25にてセンスアンプ14のしきい値が3段階に変化される。この時のしきい値を $TH1 < TH2 < TH3$ とする。そして、センスアンプ14の入力端子は、低電位VSSになるように一旦放電されてから、一定の時間だけ待機される。この間において、メモリセルE1に‘00’というデータが書き込まれている場合、センスアンプ14の入力端子の電位は、低電位VSSに維持される。一方、メモリセルE1に‘01’、‘10’または‘11’というデータが書き込まれている場合、センスアンプ14の入力端子には、ヒューズ素子F1、F2の破壊されたゲート絶縁膜を介して電荷が充電され、センスアンプ14の入力端子の電位が上昇する。そして、センスアンプ14において、この電位差がしきい値 $TH1$ と比較され、しきい値 $TH1$ 以下の場合にはメモリセルE1のデータが‘00’と判定され、しきい値 $TH1$ を超える場合はメモリセルE1のデータが‘01’、‘10’または‘11’と判定され、センスアンプ14自身にラッチされる。

20

【0029】

また、センスアンプ14の入力端子の電位差がしきい値 $TH1$ を超えた場合、メモリセルE1からのデータの読み出しがさらに行われる。そして、センスアンプ14の入力端子の電位差がしきい値 $TH2$ と比較され、しきい値 $TH2$ 以下の場合にはメモリセルE1のデータが‘01’と判定され、しきい値 $TH2$ を超える場合はメモリセルE1のデータが‘10’または‘11’と判定され、センスアンプ14自身にラッチされる。

30

【0030】

また、センスアンプ14の入力端子の電位差がしきい値 $TH2$ を超えた場合、メモリセルE1からのデータの読み出しがさらに行われる。そして、センスアンプ14の入力端子の電位差がしきい値 $TH3$ と比較され、しきい値 $TH3$ 以下の場合にはメモリセルE1のデータが‘10’と判定され、しきい値 $TH3$ を超える場合はメモリセルE1のデータが‘11’と判定され、センスアンプ14自身にラッチされる。

そして、センスアンプ14にラッチされたデータは、ヒューズデータレジスタ15に転送され、シリアルに接続されたレジスタチェーンを介して外部に転送される。

【0031】

図5は図3(a)～図3(d)の状態に対応した読み出し電圧分布を示す図である。

図5において、メモリセルE1にデータ‘00’が記憶されている時の電流分布がN1、メモリセルE1にデータ‘01’が記憶されている時の電流分布がN2、メモリセルE1にデータ‘10’が記憶されている時の電流分布がN3、メモリセルE1にデータ‘11’が記憶されている時の電流分布がN4であるものとする。この時、しきい値 $TH1$ は電流分布のN1、N2間に設定され、しきい値 $TH2$ は電流分布のN2、N3間に設定され、しきい値 $TH3$ は電流分布のN3、N4間に設定される。

40

【0032】

これにより、メモリセルE1に‘00’、‘01’、‘10’または‘11’のいずれのデータが記憶されているかを判定することができ、メモリセルE1を多値化することが

50

できる。このため、バリアトランジスタ 12 および選択トランジスタ 13 を 1 ビットごとに設ける必要がなくなり、単位容量当たりのバリアトランジスタ 12 および選択トランジスタ 13 の総数を減らすことが可能となることから、レイアウト面積を削減することができる。

【 0033 】

(第 2 実施形態)

図 6 は、第 2 実施形態に係る不揮発性半導体記憶装置の概略構成を示すブロック図である。

図 6 において、このヒューズマクロブロック 30 には、図 1 のヒューズマクロブロック 20 のヒューズブロック B1 およびプログラム電圧選択回路 22 の代わりにヒューズブロック B2 が設けられている。このヒューズブロック B2 には、図 3 (a) のメモリセル E1 の代わりに図 7 (a) のメモリセル E2 が設けられている。

10

【 0034 】

図 7 (a) は図 6 の不揮発性半導体記憶装置の 1 セル分の初期状態を示すブロック図、図 7 (b) は図 7 (a) のアンチヒューズ素子 F1 の書き込み動作を示すブロック図、図 7 (c) は図 7 (a) のアンチヒューズ素子 F2 の書き込み動作を示すブロック図、図 7 (d) は図 7 (a) のアンチヒューズ素子 F1、F2 の書き込み動作を示すブロック図である。

図 7 (a) において、メモリセル E2 には、図 3 (a) のメモリセル E1 に切替トランジスタ 31、32 が追加されている。ここで、アンチヒューズ素子 F1 には切替トランジスタ 31 が直列に接続され、アンチヒューズ素子 F2 には切替トランジスタ 32 が直列に接続されている。そして、アンチヒューズ素子 F1、F2 の一端は切替トランジスタ 31、32 をそれぞれ介してノード A に共通に接続されている。また、アンチヒューズ素子 F1、F2 の他端も共通に接続され、アンチヒューズ素子 F1、F2 には、同一のプログラム電圧 VBP が印加される。

20

【 0035 】

そして、アンチヒューズ素子 F1、F2 の電界効果トランジスタのゲート絶縁膜が破壊される前は、切替トランジスタ 31、32 はオフされ、メモリセル E1 には '00' というデータが保持される。この時、アンチヒューズ素子 F1、F2 に印加されるプログラム電圧 VBP は 0V に設定することができる。

30

【 0036 】

そして、図 7 (b) に示すように、メモリセル E2 に '10' というデータを書き込む場合、シリアルに接続されているプログラム制御レジスタを介して自段のプログラム制御レジスタ 16 にプログラム制御情報が転送される。

【 0037 】

また、アンチヒューズ素子 F1、F2 のプログラム電圧 VBP が 6.5V 程度の高電圧に設定されるとともに、バリア電圧 VBT が、バリアトランジスタ 12 のゲートに印加され、バリアトランジスタ 12 がオンされる。また、切替トランジスタ 31 はオンされ、切替トランジスタ 32 はオフされる。この時、アンチヒューズ素子 F1、F2 のゲート側は、アンチヒューズ素子 F1、F2 の電界効果トランジスタのゲート絶縁膜が破壊されない程度の電位に予め充電される。

40

【 0038 】

そして、制御ロジック 17 は、ヒューズデータレジスタ 15 に保持されたアンチヒューズ素子 F1、F2 のデータやプログラム制御レジスタ 16 に保持されたプログラム制御情報に基づいて、自身がプログラム動作を行うタイミングを判定する。そして、制御ロジック 17 は、プログラムを行う時には、選択トランジスタ 13 のゲートの電位をハイレベルにし、選択トランジスタ 13 をオンさせることで、アンチヒューズ素子 F1 のゲートの電位を低電位 VSS に引き下げる。この結果、アンチヒューズ素子 F1 の電界効果トランジスタのゲート絶縁膜には、ゲート絶縁膜が破壊される程度の高電圧が印加され、そのゲート絶縁膜が破壊されることで、メモリセル E2 に '10' というデータが書き込まれる。

50

【 0 0 3 9 】

また、図 7 (c) に示すように、メモリセル E 2 に ' 0 1 ' というデータを書き込む場合、シリアルに接続されているプログラム制御レジスタを介して自段のプログラム制御レジスタ 1 6 にプログラム制御情報が転送される。

【 0 0 4 0 】

また、アンチヒューズ素子 F 1、F 2 のプログラム電圧 V B P が 6 . 5 V 程度の高電圧に設定されるとともに、バリア電圧 V B T が、バリアトランジスタ 1 2 のゲートに印加され、バリアトランジスタ 1 2 がオンされる。また、切替トランジスタ 3 1 はオフされ、切替トランジスタ 3 2 はオンされる。この時、アンチヒューズ素子 F 1、F 2 のゲート側は、アンチヒューズ素子 F 1、F 2 の電界効果トランジスタのゲート絶縁膜が破壊されない程度の電位に予め充電される。

10

【 0 0 4 1 】

そして、制御ロジック 1 7 は、ヒューズデータレジスタ 1 5 に保持されたアンチヒューズ素子 F 1、F 2 のデータやプログラム制御レジスタ 1 6 に保持されたプログラム制御情報に基づいて、自身がプログラム動作を行うタイミングを判定する。そして、制御ロジック 1 7 は、プログラムを行う時には、選択トランジスタ 1 3 のゲートの電位をハイレベルにし、選択トランジスタ 1 3 をオンさせることで、アンチヒューズ素子 F 2 のゲートの電位を低電位 V S S に引き下げる。この結果、アンチヒューズ素子 F 2 の電界効果トランジスタのゲート絶縁膜には、ゲート絶縁膜が破壊される程度の高電圧が印加され、そのゲート絶縁膜が破壊されることで、メモリセル E 2 に ' 0 1 ' というデータが書き込まれる。

20

【 0 0 4 2 】

また、図 7 (d) に示すように、メモリセル E 2 に ' 1 1 ' というデータを書き込む場合、図 7 (b) に示すように、アンチヒューズ素子 F 1 の電界効果トランジスタのゲート絶縁膜を破壊した後、図 7 (c) に示すように、アンチヒューズ素子 F 2 の電界効果トランジスタのゲート絶縁膜を破壊することができる。

【 0 0 4 3 】

図 8 (a) ~ 図 8 (d) は図 7 (a) ~ 図 7 (d) の状態にそれぞれ対応した読み出し動作を示すブロック図である。

図 8 において、メモリセル E 2 からデータを読み出す場合、プログラム電圧 V B P およびバリア電圧 V B T は、読み出しに適した電圧に設定される。例えば、プログラム電圧 V B P は 1 . 1 V 程度、バリア電圧 V B T は電源電圧 V D D の 2 倍程度の電圧に設定される。この時、選択トランジスタ 1 3 はオフされるとともに、切替トランジスタ 3 1、3 2 はオンされる。

30

【 0 0 4 4 】

また、しきい値可変回路 2 5 にてセンスアンプ 1 4 のしきい値が 3 段階に変化される。そして、センスアンプ 1 4 の入力端子は、低電位 V S S になるように一旦放電されてから、一定の時間だけ待機される。この間において、メモリセル E 2 に ' 0 0 ' というデータが書き込まれている場合、センスアンプ 1 4 の入力端子の電位は、低電位 V S S に維持される。一方、メモリセル E 2 に ' 0 1 '、' 1 0 ' または ' 1 1 ' というデータが書き込まれている場合、センスアンプ 1 4 の入力端子には、ヒューズ素子 F 1、F 2 の破壊されたゲート絶縁膜を介して電荷が充電され、センスアンプ 1 4 の入力端子の電位が上昇する。そして、センスアンプ 1 4 において、この電位差がしきい値 T H 1 と比較され、しきい値 T H 1 以下の場合はメモリセル E 2 のデータが ' 0 0 ' と判定され、しきい値 T H 1 を超える場合はメモリセル E 2 のデータが ' 0 1 '、' 1 0 ' または ' 1 1 ' と判定され、センスアンプ 1 4 自身にラッチされる。

40

【 0 0 4 5 】

また、センスアンプ 1 4 の入力端子の電位差がしきい値 T H 1 を超えた場合、メモリセル E 2 からのデータの読み出しがさらに行われる。そして、センスアンプ 1 4 の入力端子の電位差がしきい値 T H 2 と比較され、しきい値 T H 2 以下の場合はメモリセル E 2 のデータが ' 0 1 ' と判定され、しきい値 T H 2 を超える場合はメモリセル E 2 のデータが ' 1 0 ' と判定され、しきい値 T H 2 を超える場合はメモリセル E 2 のデータが ' 1 1 ' と判定される。

50

10'または'11'と判定され、センスアンプ14自身にラッチされる。

【0046】

また、センスアンプ14の入力端子の電位差がしきい値TH2を超えた場合、メモリセルE2からのデータの読み出しがさらに行われる。そして、センスアンプ14の入力端子の電位差がしきい値TH3と比較され、しきい値TH3以下の場合にはメモリセルE2のデータが'10'と判定され、しきい値TH3を超える場合はメモリセルE2のデータが'11'と判定され、センスアンプ14自身にラッチされる。

そして、センスアンプ14にラッチされたデータは、ヒューズデータレジスタ15に転送され、シリアルに接続されたレジスタチェーンを介して外部に転送される。

【0047】

(第3実施形態)

図9は、第3実施形態に係る不揮発性半導体記憶装置の1セル分の概略構成を示すブロック図である。

図9において、この不揮発性半導体記憶装置には、図3(a)のメモリセルE1の代わりにメモリセルE3が設けられている。メモリセルE3には、図3(a)のアンチヒューズ素子F1、F2の代わりにn個のアンチヒューズ素子F1~Fnが設けられている。ここで、各アンチヒューズ素子F1~Fnは、電界効果トランジスタを用いて構成することができ、各電界効果トランジスタのソース、ドレインおよびウェルは共通に接続されている。また、各アンチヒューズ素子F1~Fnの電界効果トランジスタのゲートは互いに接続されることで、アンチヒューズ素子F1~Fnの一端がノードAに共通に接続されている。

【0048】

そして、アンチヒューズ素子F2~Fnの各電界効果トランジスタの駆動力は、アンチヒューズ素子F1の電界効果トランジスタの駆動力の $2^2 \sim 2^n$ にそれぞれ設定することができる。また、しきい値可変回路25は、センスアンプ14のしきい値を $(2^n - 1)$ 段階に変化させることができる。

【0049】

これにより、メモリセルE3を 2^n 値化することができ、単位容量当たりのバリアトランジスタ12および選択トランジスタ13の総数を減らすことが可能となることから、レイアウト面積を削減することができる。

【0050】

(第4実施形態)

図10は、第4実施形態に係る不揮発性半導体記憶装置の1セル分の概略構成を示すブロック図である。

図10において、この不揮発性半導体記憶装置には、図9のメモリセルE3の代わりにメモリセルE4が設けられている。メモリセルE4には、図9のセンスアンプ14の代わりに $2^n - 1$ 個のセンスアンプA1~A($2^n - 1$)が設けられている。ここで、センスアンプA1~A($2^n - 1$)のしきい値は $(2^n - 1)$ 段階に変化させることができる。

【0051】

そして、センスアンプA1~A($2^n - 1$)は、その入力端子の電位差としきい値とを同時に比較することができる。これにより、メモリセルE4を 2^n 値化することができ、レイアウト面積を削減することが可能となるとともに、メモリセルE4に記憶されているデータを判定するために、メモリセルE4の読み出しを繰り返して行う必要がなくなり、読み出し時間を短くすることができる。

【0052】

(第5実施形態)

図11は、第5実施形態に係る不揮発性半導体記憶装置の1セル分の概略構成を示すブロック図である。

図11において、この不揮発性半導体記憶装置には、図7(a)のメモリセルE2の代わりにメモリセルE5が設けられている。メモリセルE5には、図7(a)のアンチヒューズ素子F1、F2の代わりにn個のアンチヒューズ素子F1~Fnが設けられている。ここで、各アンチヒューズ素子F1~Fnは、電界効果トランジスタを用いて構成することができ、各電界効果トランジスタのソース、ドレインおよびウェルは共通に接続されている。また、各アンチヒューズ素子F1~Fnの電界効果トランジスタのゲートは互いに接続されることで、アンチヒューズ素子F1~Fnの一端がノードAに共通に接続されている。

10

20

30

40

50

ーズ素子 F_1 、 F_2 および切替トランジスタ 3_1 、 3_2 の代わりに n 個のアンチヒューズ素子 $F_1 \sim F_n$ および n 個の切替トランジスタ $T_1 \sim T_n$ が設けられている。ここで、アンチヒューズ素子 $F_1 \sim F_n$ には切替トランジスタ $T_1 \sim T_n$ がそれぞれ直列に接続されている。そして、アンチヒューズ素子 $F_1 \sim F_n$ の一端は切替トランジスタ $T_1 \sim T_n$ をそれぞれ介してノード A に共通に接続されている。また、アンチヒューズ素子 $F_1 \sim F_n$ の他端も共通に接続され、アンチヒューズ素子 $F_1 \sim F_n$ には、同一のプログラム電圧 V_{BP} が印加される。

【0053】

これにより、メモリセル E_5 を 2^n 値化することができ、単位容量当たりのバリアトランジスタ 1_2 および選択トランジスタ 1_3 の総数を減らすことが可能となることから、レイアウト面積を削減することができる。

10

【0054】

(第6実施形態)

図12は、第6実施形態に係る不揮発性半導体記憶装置の1セル分の概略構成を示すブロック図である。

図12において、この不揮発性半導体記憶装置には、図11のメモリセル E_5 の代わりにメモリセル E_6 が設けられている。メモリセル E_6 には、図11のセンスアンプ 1_4 の代わりに $2^n - 1$ 個のセンスアンプ $A_1 \sim A_{(2^n - 1)}$ が設けられている。ここで、センスアンプ $A_1 \sim A_{(2^n - 1)}$ のしきい値は $(2^n - 1)$ 段階に変化させることができる。

20

【0055】

そして、センスアンプ $A_1 \sim A_{(2^n - 1)}$ は、その入力端子の電位差としきい値とを同時に比較することができる。これにより、メモリセル E_6 を 2^n 値化することができ、レイアウト面積を削減することが可能となるとともに、メモリセル E_6 に記憶されているデータを判定するために、メモリセル E_6 の読み出しを繰り返して行う必要がなくなり、読み出し時間を短くすることができる。

【0056】

(第7実施形態)

図13は、第7実施形態に係る不揮発性半導体記憶装置の概略構成を示すブロック図である。

30

図13において、ヒューズマクロブロック 4_0 には、セルブロック B_3 、内部電位発生回路 4_1 、プログラム電圧選択回路 4_2 、ロウデコーダ 4_3 、論理回路 4_4 、しきい値可変回路 4_5 、アドレスレジスタ 4_6 、センスアンプ 4_7 およびデータレジスタ 4_8 が設けられている。

【0057】

ここで、セルブロック B_3 には、電氣的に一度だけ書き込み可能なメモリセルがロウ方向に配置され、このセルブロック B_3 がカラム方向に配置されることで、メモリセルがロウ方向およびカラム方向にマトリクス状に配置されている。なお、1ブロックには、例えば、128ビット分のデータを記憶させることができる。

【0058】

図14は図13の不揮発性半導体記憶装置の4セル分の初期状態を示すブロック図である。

40

図14において、例えば、4個のメモリセル $C_1 \sim C_4$ がロウ方向およびカラム方向にマトリクス状に配置されているものとする。この時、センスアンプ 4_7 としてセンスアンプ 4_7a 、 4_7b がカラムごとに設けられる。

【0059】

ここで、各メモリセル $C_1 \sim C_4$ には、2個のアンチヒューズ素子 F_1 、 F_2 、書き込み制御トランジスタ 5_1 、書き込みトランジスタ 5_2 、読み出しバリアトランジスタ 5_3 および読み出しトランジスタ 5_4 が設けられている。ここで、各アンチヒューズ素子 F_1 、 F_2 は、電界効果トランジスタを用いて構成することができ、各電界効果トランジスタ

50

のソース、ドレインおよびウェルは共通に接続されている。また、各アンチヒューズ素子 F 1、F 2 の電界効果トランジスタのゲートは互いに接続されることで、アンチヒューズ素子 F 1、F 2 の一端がノード A に共通に接続されている。また、書き込みトランジスタ 5 2 と書き込み制御トランジスタ 5 1 とは互いに直列に接続され、読み出しトランジスタ 5 4 と読み出しバリアトランジスタ 5 3 とは互いに直列に接続されている。

【0060】

そして、アンチヒューズ素子 F 1、F 2 の一端は、書き込み制御トランジスタ 5 1 を介して書き込みトランジスタ 5 2 のドレインに接続されるとともに、読み出しバリアトランジスタ 5 3 を介して読み出しトランジスタ 5 4 のドレインに接続されている。

【0061】

また、メモリセル C 1 ~ C 4 の書き込み制御トランジスタ 5 1 のゲートには書き込み制御信号 WE が入力される。メモリセル C 1 ~ C 4 の読み出しバリアトランジスタ 5 3 のゲートにはバリア電圧 VBT が入力される。メモリセル C 1 ~ C 4 の書き込みトランジスタ 5 2 のゲートはロウごとに書き込みワード線 WLW に接続されるとともに、メモリセル C 1 ~ C 4 の書き込みトランジスタ 5 2 のソースはカラムごとに書き込みビット線 BLW に接続されている。メモリセル C 1 ~ C 4 の読み出しトランジスタ 5 4 のゲートはロウごとに読み出しワード線 WLR に接続されるとともに、メモリセル C 1 ~ C 4 の読み出しトランジスタ 5 4 のソースはカラムごとに読み出しビット線 BLR に接続されている。また、センスアンプ 47 a、47 b はカラムごとに読み出しビット線 BLR に接続される。

【0062】

そして、アンチヒューズ素子 F 1、F 2 の電界効果トランジスタのゲート絶縁膜が破壊される前は、メモリセル C 1 ~ C 4 には '00' というデータが保持される。この時、同一カラムのメモリセル C 1、C 3 のアンチヒューズ素子 F 1、F 2 にそれぞれ印加されるプログラム電圧 VBP 11、VBP 12 は 0V に設定することができる。また、同一カラムのメモリセル C 2、C 4 のアンチヒューズ素子 F 1、F 2 にそれぞれ印加されるプログラム電圧 VBP 21、VBP 22 は 0V に設定することができる。

【0063】

また、図 13 において、内部電圧発生回路 41 は、図 14 のアンチヒューズ素子 F 1、F 2 にそれぞれ印加されるプログラム電圧 VBP 11、VBP 12 や読み出しバリアトランジスタ 5 3 に印加されるバリア電圧 VBT などを発生することができる。プログラム電圧選択回路 42 は、アンチヒューズ素子 F 1、F 2 の中から、電界効果トランジスタのゲート絶縁膜を破壊するプログラム電圧 VBP 11、VBP 12 を印加するアンチヒューズ素子 F 1、F 2 を選択することができる。ロウデコーダ 43 は、メモリセル C 1 ~ C 4 をロウごとに選択することができる。論理回路 44 は、クロック信号 CLK に同期してプログラム用データ SI を入力させたり、メモリセル C 1 ~ C 4 から読み出したデータ SO を出力させたりすることができる。しきい値可変回路 45 は、メモリセルの 3 値以上の読み出しレベルに応じてセンスアンプ 47 のしきい値を変化させることができる。アドレスレジスタ 46 は、ロウアドレス RA0 ~ RA_m で指定される番地にデータを書き込ませたり、ロウアドレス RA0 ~ RA_m で指定される番地からデータを読み出させたりすることができる。センスアンプ 47 は、アンチヒューズ素子 F 1、F 2 に記憶されたデータに基づいて、3 値以上の読み出しレベルをロウごとに判定することができる。データレジスタ 48 は、センスアンプ 47 にて検出されたデータを保持することができる。

【0064】

図 15 は図 14 のアンチヒューズ素子 F 1 の書き込み動作を示すブロック図である。

図 15 において、メモリセル C 1 に '10' というデータを書き込む場合、書き込み制御信号 WE がロウレベル電位からハイレベル電位に移行され、書き込み制御トランジスタ 5 1 がオンされる。また、選択カラムのアンチヒューズ素子 F 1 のプログラム電圧 VBP 11 が 6.5V 程度の高電圧に設定されるとともに、選択カラムのアンチヒューズ素子 F 2 のプログラム電圧 VBP 12 がフローティング状態に設定される。また、非選択カラムのアンチヒューズ素子 F 1、F 2 のプログラム電圧 VBP 21、VBP 22 が 6.5V 程

10

20

30

40

50

度の高電圧に設定される。また、バリア電圧 V_{BT} が、読み出しバリアトランジスタ 53 のゲートに印加され、読み出しバリアトランジスタ 53 がオンされる。なお、バリア電圧 V_{BT} は、読み出しバリアトランジスタ 53 をオンするのに十分な電圧に設定することができ、例えば、4.2 V 程度とすることができる。また、選択カラムの書き込みビット線 B_{LW} の電位が 0 V に設定されるとともに、選択カラムの読み出しビット線 B_{LR} の電位がバリア電圧 V_{BT} に設定される。また、非選択カラムの書き込みビット線 B_{LW} および読み出しビット線 B_{LR} の電位がバリア電圧 V_{BT} に設定される。

【0065】

そして、ロウアドレス $RA_0 \sim RA_m$ がロウデコーダ 43 に入力されると、選択ロウの書き込みワード線 WLW の電位が立ち上がり、選択ロウの書き込みトランジスタ 52 がオンする。この結果、メモリセル C_1 のアンチヒューズ素子 F_1 のゲート絶縁膜には 6 V 程度の高電圧が印加され、そのゲート絶縁膜が破壊されることで、メモリセル C_1 に '10' というデータが書き込まれる。

10

【0066】

なお、書き込み時に読み出しビット線 B_{LR} の電位をバリア電圧 V_{BT} に設定することにより、非選択ロウのメモリセル C_3 、 C_4 のアンチヒューズ素子 F_1 、 F_2 に 6 V 程度の高電圧が印加されるのを防止することができ、そのゲート絶縁膜が破壊されるのを防止することができる。また、書き込み時に非選択カラムの書き込みビット線 B_{LW} の電位をバリア電圧 V_{BT} に設定することにより、選択ロウかつ非選択カラムのメモリセル C_2 のアンチヒューズ素子 F_1 、 F_2 に 6 V 程度の高電圧が印加されるのを防止することができ、そのゲート絶縁膜が破壊されるのを防止することができる。

20

【0067】

図 16 は図 15 のアンチヒューズ素子 F_2 の書き込み動作を示すブロック図である。

図 16 において、メモリセル C_1 に '11' というデータを書き込む場合、図 15 に示すように、メモリセル C_1 のアンチヒューズ素子 F_1 のゲート絶縁膜を破壊してから、メモリセル C_1 のアンチヒューズ素子 F_2 のゲート絶縁膜を破壊する。

【0068】

メモリセル C_1 のアンチヒューズ素子 F_2 のゲート絶縁膜を破壊する場合、書き込み制御信号 WE がロウレベル電位からハイレベル電位に移行され、書き込み制御トランジスタ 51 がオンされる。また、選択カラムのアンチヒューズ素子 F_2 のプログラム電圧 V_{BP} 12 が 6.5 V 程度の高電圧に設定されるとともに、選択カラムのアンチヒューズ素子 F_1 のプログラム電圧 V_{BP} 11 がフローティング状態に設定される。また、非選択カラムのアンチヒューズ素子 F_1 、 F_2 のプログラム電圧 V_{BP} 21、 V_{BP} 22 が 6.5 V 程度の高電圧に設定される。また、バリア電圧 V_{BT} が、読み出しバリアトランジスタ 53 のゲートに印加され、読み出しバリアトランジスタ 53 がオンされる。また、選択カラムの書き込みビット線 B_{LW} の電位が 0 V に設定されるとともに、選択カラムの読み出しビット線 B_{LR} の電位がバリア電圧 V_{BT} に設定される。また、非選択カラムの書き込みビット線 B_{LW} および読み出しビット線 B_{LR} の電位がバリア電圧 V_{BT} に設定される。

30

【0069】

そして、ロウアドレス $RA_0 \sim RA_m$ がロウデコーダ 43 に入力されると、選択ロウの書き込みワード線 WLW の電位が立ち上がり、書き込みトランジスタ 52 がオンする。この結果、メモリセル C_1 のアンチヒューズ素子 F_2 のゲート絶縁膜には 6 V 程度の高電圧が印加され、そのゲート絶縁膜が破壊されることで、メモリセル C_1 に '11' というデータが書き込まれる。

40

【0070】

図 17 は図 16 の状態に対応した読み出し動作を示すブロック図である。

図 17 において、メモリセル C_1 からデータを読み出す場合、書き込み制御信号 WE はロウレベル電位に設定され、書き込み制御トランジスタ 51 がオフされる。また、プログラム電圧 V_{BP} 11、 V_{BP} 12、 V_{BP} 21、 V_{BP} 22 がアンチヒューズ素子 F_1 、 F_2 を破壊しない程度の低電圧（例えば、1.1 V 程度）に設定される。また、バリア電

50

圧 V B T が、読み出しバリアトランジスタ 5 3 のゲートに印加され、読み出しバリアトランジスタ 5 3 がオンされる。また、書き込みビット線 B L W の電位が 0 V に設定される。

【 0 0 7 1 】

そして、ロウアドレス R A 0 ~ R A m がロウデコーダ 4 3 に入力されると、選択ロウの読み出しワード線 W L R の電位が立ち上がり、選択ロウの読み出しトランジスタ 5 4 がオンする。その結果、メモリセル C 1 のヒューズ素子 F 1、F 2 の一端が読み出しバリアトランジスタ 5 3 および読み出しトランジスタ 5 4 を介して選択カラムのセンスアンプ 4 7 a に接続される。

【 0 0 7 2 】

そして、センスアンプ 4 7 a において、メモリセル C 1 から読み出された電圧がしきい値と比較され、その時に得られる読み出し電流の大きさの違いにより、選択セルに記憶されたデータが判定される。この時、しきい値可変回路 4 5 にてセンスアンプ 4 7 a のしきい値が 3 段階に変化される。そして、メモリセル C 1 から読み出された電圧がしきい値のどの段階に対応するかを判定することにより、4 値を区別することができる。

10

【 0 0 7 3 】

これにより、書き込み制御トランジスタ 5 1、書き込みトランジスタ 5 2、読み出しバリアトランジスタ 5 3 および読み出しトランジスタ 5 4 を 1 ビットごとに設ける必要がなくなり、単位容量当たりの書き込み制御トランジスタ 5 1、書き込みトランジスタ 5 2、読み出しバリアトランジスタ 5 3 および読み出しトランジスタ 5 4 の総数を減らすことが可能となることから、レイアウト面積を削減することができる。

20

【 0 0 7 4 】

(第 8 実施形態)

図 1 8 は、第 8 実施形態に係る不揮発性半導体記憶装置の概略構成を示すブロック図である。

図 1 8 において、このヒューズマクロブロック 6 0 には、図 1 3 のヒューズマクロブロック 4 0 のセルブロック B 3 およびプログラム電圧選択回路 4 2 の代わりにセルブロック B 4 が設けられている。このセルブロック B 4 には、図 1 4 のメモリセル C 1 ~ C 4 の代わりに図 1 9 のメモリセル C 1 1 ~ C 1 4 が設けられている。

【 0 0 7 5 】

図 1 9 は図 1 8 の不揮発性半導体記憶装置の 4 セル分の初期状態を示すブロック図である。

30

図 1 9 において、メモリセル C 1 1 ~ C 1 4 には、図 1 4 のメモリセル C 1 ~ C 4 に切替トランジスタ 5 5、5 6 が追加されている。ここで、アンチヒューズ素子 F 1 には切替トランジスタ 5 5 が直列に接続され、アンチヒューズ素子 F 2 には切替トランジスタ 5 6 が直列に接続されている。そして、アンチヒューズ素子 F 1、F 2 の一端は切替トランジスタ 5 5、5 6 をそれぞれ介してノード A に共通に接続されている。また、アンチヒューズ素子 F 1、F 2 の他端も共通に接続され、アンチヒューズ素子 F 1、F 2 には、同一のプログラム電圧 V B P が印加される。

【 0 0 7 6 】

そして、アンチヒューズ素子 F 1、F 2 の電界効果トランジスタのゲート絶縁膜が破壊される前は、切替トランジスタ 5 5、5 6 はオフされ、メモリセル C 1 1 ~ C 1 4 には ' 0 0 ' というデータが保持される。この時、アンチヒューズ素子 F 1、F 2 に印加されるプログラム電圧 V B P は 0 V に設定することができる。

40

【 0 0 7 7 】

図 2 0 は図 1 9 のアンチヒューズ素子 F 1 の書き込み動作を示すブロック図である。

図 2 0 において、メモリセル C 1 1 に ' 1 0 ' というデータを書き込む場合、書き込み制御信号 W E がロウレベル電位からハイレベル電位に移行され、書き込み制御トランジスタ 5 1 がオンされる。また、プログラム電圧 V B P が 6 . 5 V 程度の高電圧に設定される。また、バリア電圧 V B T が、読み出しバリアトランジスタ 5 3 のゲートに印加され、読み出しバリアトランジスタ 5 3 がオンされる。また、選択カラムの書き込みビット線 B L

50

Wの電位が0Vに設定されるとともに、選択カラムの読み出しビット線BLRの電位がバリア電圧VBTに設定される。また、非選択カラムの書き込みビット線BLWおよび読み出しビット線BLRの電位がバリア電圧VBTに設定される。また、切替トランジスタ55がオンされ、切替トランジスタ56がオフされる。

【0078】

そして、ロウアドレスRA0～RAmがロウデコーダ43に入力されると、選択ロウの書き込みワード線WLWの電位が立ち上がり、選択ロウの書き込みトランジスタ52がオンする。この結果、メモリセルC11のアンチヒューズ素子F1のゲート絶縁膜には6V程度の高電圧が印加され、そのゲート絶縁膜が破壊されることで、メモリセルC11に‘10’というデータが書き込まれる。

10

【0079】

図21は図20のアンチヒューズ素子F2の書き込み動作を示すブロック図である。

図21において、メモリセルC1に‘11’というデータを書き込む場合、図20に示すように、メモリセルC11のアンチヒューズ素子F1のゲート絶縁膜を破壊してから、メモリセルC11のアンチヒューズ素子F2のゲート絶縁膜を破壊する。

【0080】

メモリセルC11のアンチヒューズ素子F2のゲート絶縁膜を破壊する場合、書き込み制御信号WEがロウレベル電位からハイレベル電位に移行され、書き込み制御トランジスタ51がオンされる。また、プログラム電圧VBPが6.5V程度の高電圧に設定される。また、バリア電圧VBTが、読み出しバリアトランジスタ53のゲートに印加され、読み出しバリアトランジスタ53がオンされる。また、選択カラムの書き込みビット線BLWの電位が0Vに設定されるとともに、選択カラムの読み出しビット線BLRの電位がバリア電圧VBTに設定される。また、非選択カラムの書き込みビット線BLWおよび読み出しビット線BLRの電位がバリア電圧VBTに設定される。また、切替トランジスタ55がオフされ、切替トランジスタ56がオンされる。

20

【0081】

そして、ロウアドレスRA0～RAmがロウデコーダ43に入力されると、選択ロウの書き込みワード線WLWの電位が立ち上がり、選択ロウの書き込みトランジスタ52がオンする。この結果、メモリセルC11のアンチヒューズ素子F2のゲート絶縁膜には6V程度の高電圧が印加され、そのゲート絶縁膜が破壊されることで、メモリセルC11に‘11’というデータが書き込まれる。

30

【0082】

図22は図21の状態に対応した読み出し動作を示すブロック図である。

図22において、メモリセルC11からデータを読み出す場合、書き込み制御信号WEはロウレベル電位に設定され、書き込み制御トランジスタ51がオフされる。また、プログラム電圧VBPがアンチヒューズ素子F1、F2を破壊しない程度の低電圧（例えば、1.1V程度）に設定される。また、バリア電圧VBTが、読み出しバリアトランジスタ53のゲートに印加され、読み出しバリアトランジスタ53がオンされる。また、書き込みビット線BLWの電位が0Vに設定される。また、切替トランジスタ55、56がオンされる。

40

【0083】

そして、ロウアドレスRA0～RAmがロウデコーダ43に入力されると、選択ロウの読み出しワード線WLRの電位が立ち上がり、選択ロウの読み出しトランジスタ54がオンする。その結果、メモリセルC11のヒューズ素子F1、F2の一端が切替トランジスタ55、56、読み出しバリアトランジスタ53および読み出しトランジスタ54を介して選択カラムのセンスアンプ47aに接続される。

【0084】

そして、センスアンプ47aにおいて、メモリセルC11から読み出された電圧がしきい値と比較され、その時に得られる読み出し電流の大きさの違いにより、選択セルに記憶されたデータが判定される。この時、しきい値可変回路45にてセンスアンプ47aのし

50

きい値が3段階に変化される。そして、メモリセルC11から読み出された電圧がしきい値のどの段階に対応するかを判定することにより、4値を区別することができる。

【0085】

(第9実施形態)

図23は、第9実施形態に係る不揮発性半導体記憶装置の1セル分の概略構成を示すブロック図である。

図23において、この不揮発性半導体記憶装置には、図14のメモリセルC1の代わりにメモリセルC21が設けられている。メモリセルC21には、図14のアンチヒューズ素子F1、F2の代わりにn個のアンチヒューズ素子F1~Fnが設けられている。ここで、各アンチヒューズ素子F1~Fnは、電界効果トランジスタを用いて構成することができ、各電界効果トランジスタのソース、ドレインおよびウェルは共通に接続されている。また、各アンチヒューズ素子F1~Fnの電界効果トランジスタのゲートは互いに接続されることで、アンチヒューズ素子F1~Fnの一端がノードAに共通に接続されている。

10

【0086】

そして、アンチヒューズ素子F2~Fnの各電界効果トランジスタの駆動力は、アンチヒューズ素子F1の電界効果トランジスタの駆動力の $2^2 \sim 2^n$ にそれぞれ設定することができる。また、しきい値可変回路45は、センスアンプ47aのしきい値を $(2^n - 1)$ 段階に変化させることができる。

【0087】

これにより、メモリセルC21を 2^n 値化することができ、単位容量当たりの書き込み制御トランジスタ51、書き込みトランジスタ52、読み出しバリアトランジスタ53および読み出しトランジスタ54の総数を減らすことが可能となることから、レイアウト面積を削減することができる。

20

【0088】

(第10実施形態)

図24は、第10実施形態に係る不揮発性半導体記憶装置の1セル分の概略構成を示すブロック図である。

図24において、この不揮発性半導体記憶装置には、図23のセンスアンプ47aおよびしきい値可変回路45の代わりに $2^n - 1$ 個のセンスアンプA1~A $(2^n - 1)$ が設けられている。ここで、センスアンプA1~A $(2^n - 1)$ のしきい値は $(2^n - 1)$ 段階に変化させることができる。

30

【0089】

そして、センスアンプA1~A $(2^n - 1)$ は、その入力端子の電位差としきい値とを同時に比較することができる。これにより、メモリセルC21を 2^n 値化することができ、レイアウト面積を削減することが可能となるとともに、メモリセルC21に記憶されているデータを判定するために、メモリセルC21の読み出しを繰り返して行う必要がなくなり、読み出し時間を短くすることができる。

【0090】

(第11実施形態)

図25は、第11実施形態に係る不揮発性半導体記憶装置の1セル分の概略構成を示すブロック図である。

図25において、この不揮発性半導体記憶装置には、図19のメモリセルC11の代わりにメモリセルC22が設けられている。メモリセルC22には、図19のアンチヒューズ素子F1、F2および切替トランジスタ55、56の代わりにn個のアンチヒューズ素子F1~Fnおよびn個の切替トランジスタT1~Tnが設けられている。ここで、アンチヒューズ素子F1~Fnには切替トランジスタT1~Tnがそれぞれ直列に接続されている。そして、アンチヒューズ素子F1~Fnの一端は切替トランジスタT1~Tnをそれぞれ介してノードAに共通に接続されている。また、アンチヒューズ素子F1~Fnの他端も共通に接続され、アンチヒューズ素子F1~Fnには、同一のプログラム電圧VB

40

50

Pが印加される。

【0091】

これにより、メモリセルC22を 2^n 値化することができ、単位容量当たりの書き込み制御トランジスタ51、書き込みトランジスタ52、読み出しバリアトランジスタ53および読み出しトランジスタ54の総数を減らすことが可能となることから、レイアウト面積を削減することができる。

【0092】

(第12実施形態)

図26は、第12実施形態に係る不揮発性半導体記憶装置の1セル分の概略構成を示すブロック図である。

図26において、この不揮発性半導体記憶装置には、図25のセンスアンプ47aおよびしきい値可変回路45の代わりに $2^n - 1$ 個のセンスアンプA1~A($2^n - 1$)が設けられている。ここで、センスアンプA1~A($2^n - 1$)のしきい値は($2^n - 1$)段階に変化させることができる。

【0093】

そして、センスアンプA1~A($2^n - 1$)は、その入力端子の電位差としきい値とを同時に比較することができる。これにより、メモリセルC22を 2^n 値化することができ、レイアウト面積を削減することが可能となるとともに、メモリセルC22に記憶されているデータを判定するために、メモリセルC22の読み出しを繰り返して行う必要がなくなり、読み出し時間を短くすることができる。

【0094】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0095】

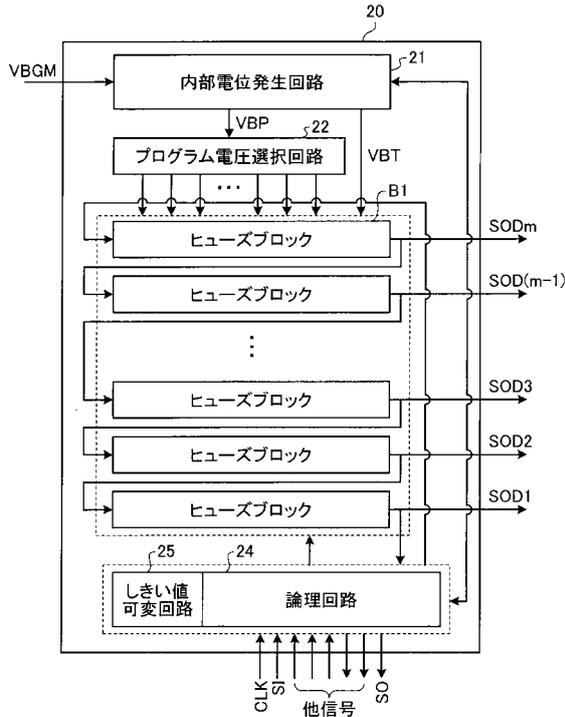
20、30、40、60 ヒューズマクロブロック、21、41 内部電位発生回路、22、42 プログラム電圧選択回路、B1、B2 ヒューズブロック、24、44 論理回路、25、45 しきい値可変回路、F1~Fn アンチヒューズ素子、12 バリアトランジスタ、13 選択トランジスタ、14、47、47a、47b、A1~A($2^n - 1$) センスアンプ、15 ヒューズデータレジスタ、16 プログラム制御レジスタ、17 制御ロジック、18 セレクタ、E1~E6、C1~C4、C11~C14、C21、C22 メモリセル、31、32、55、56、T1~Tn 切替トランジスタ、B3、B4 セルブロック、43 ロウデコーダ、46 アドレスレジスタ、48 データレジスタ、51 書き込み制御トランジスタ、52 書き込みトランジスタ、53 読み出しバリアトランジスタ、54 読み出しトランジスタ

10

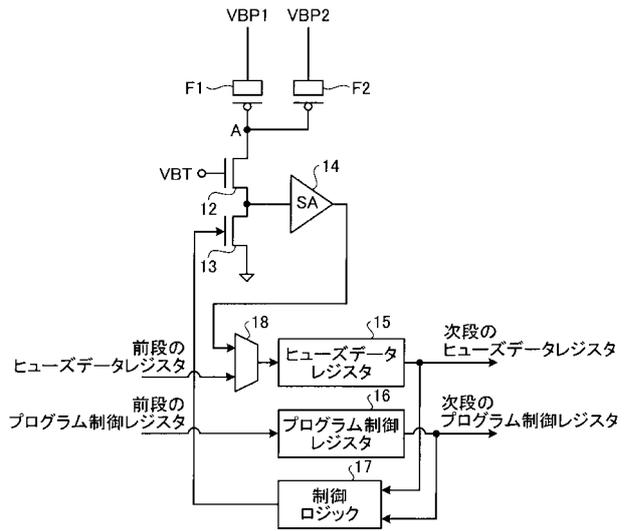
20

30

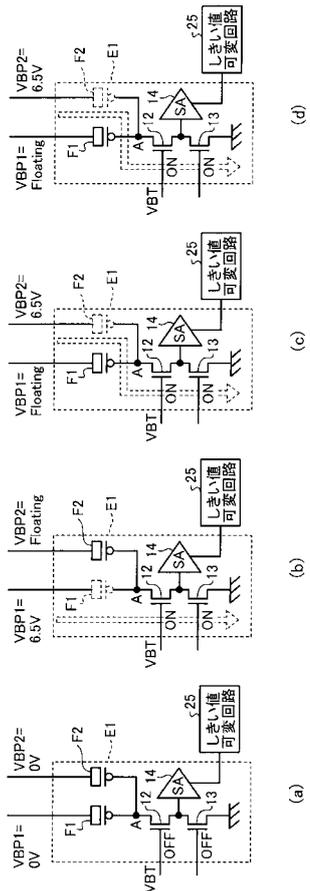
【 図 1 】



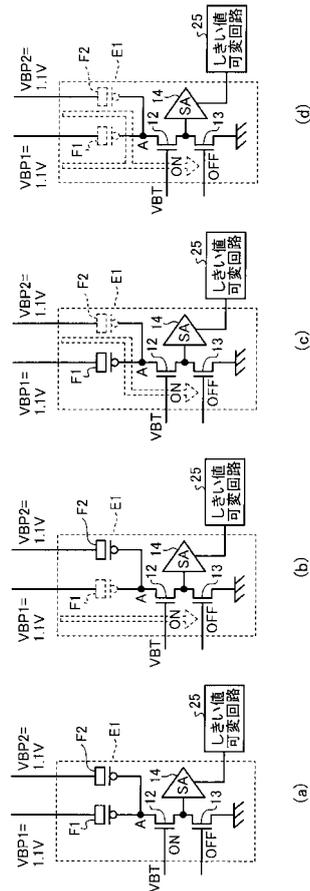
【 図 2 】



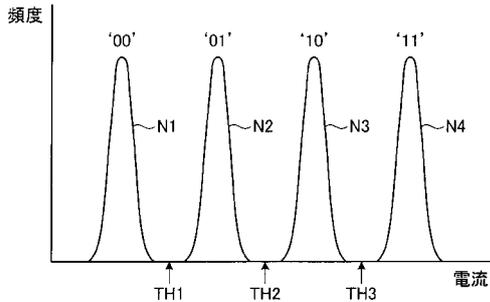
【 図 3 】



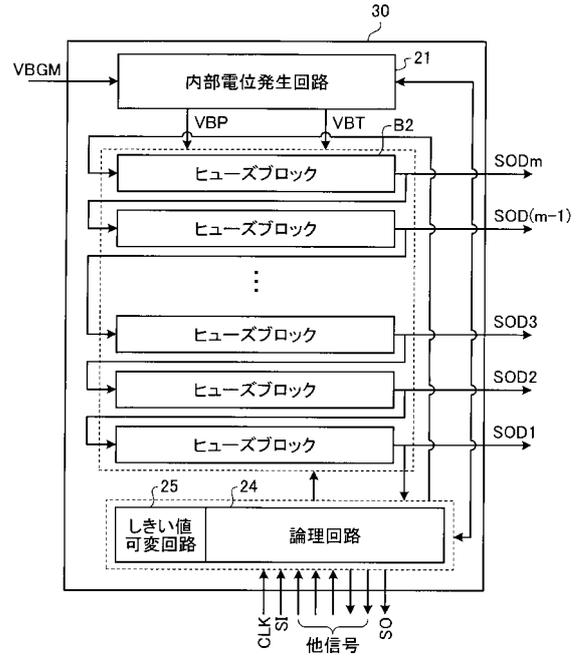
【 図 4 】



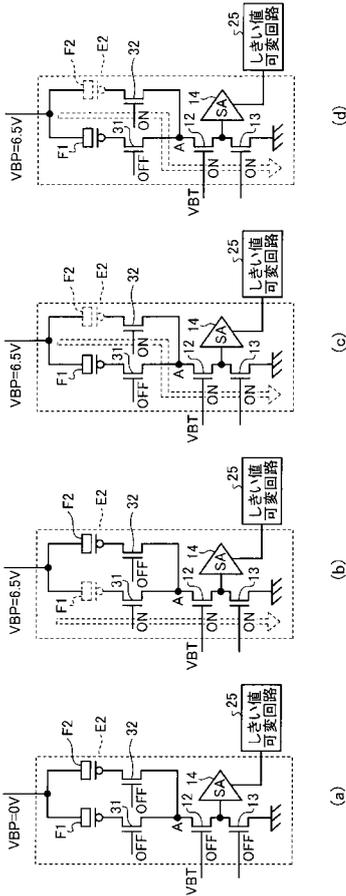
【 図 5 】



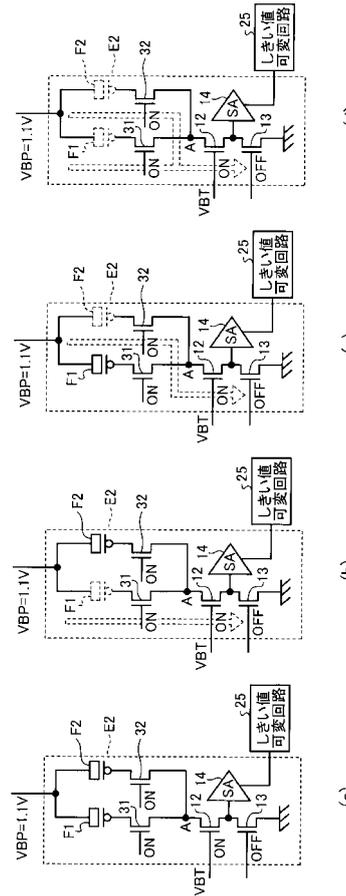
【 図 6 】



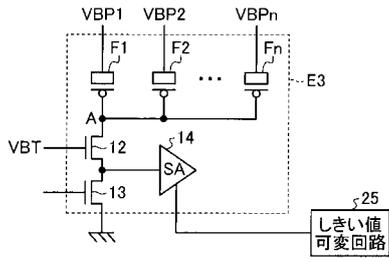
【 図 7 】



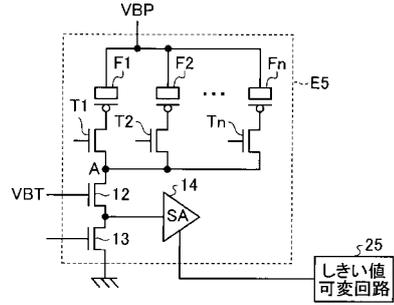
【 図 8 】



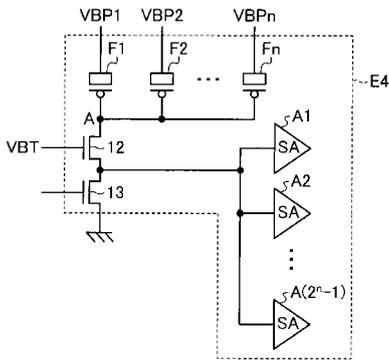
【図9】



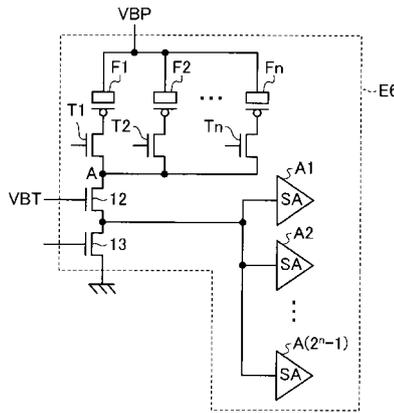
【図11】



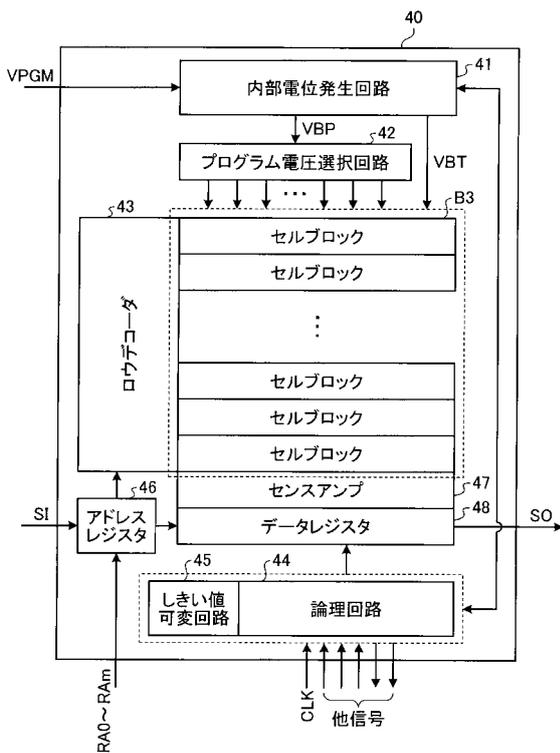
【図10】



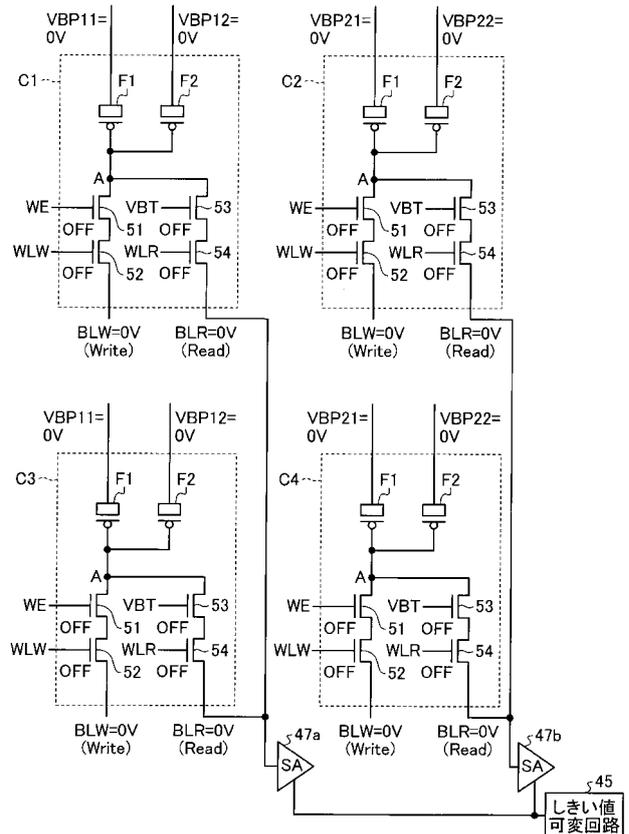
【図12】



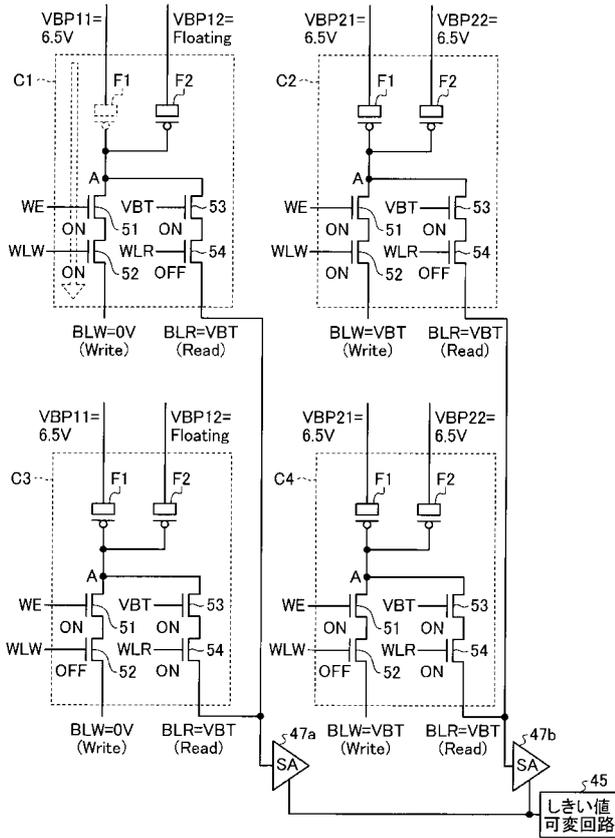
【図13】



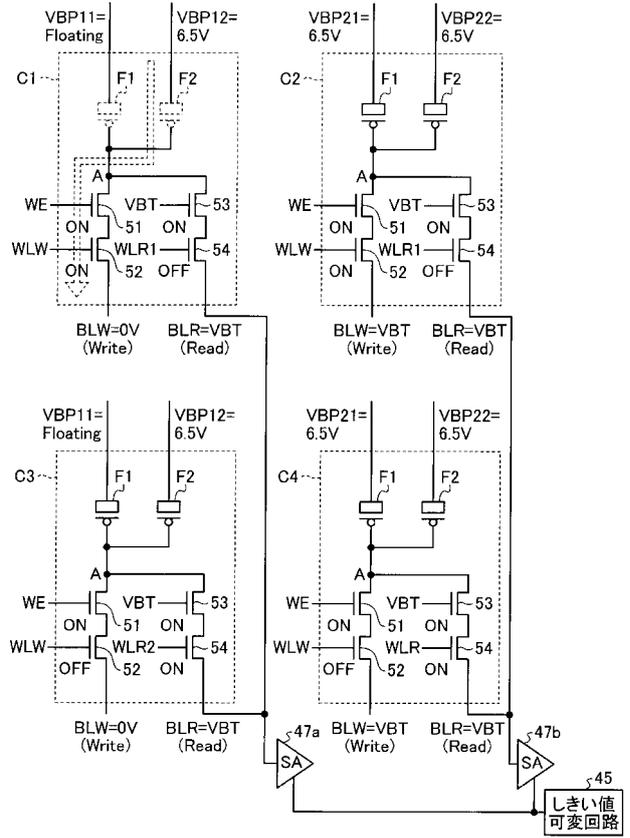
【図14】



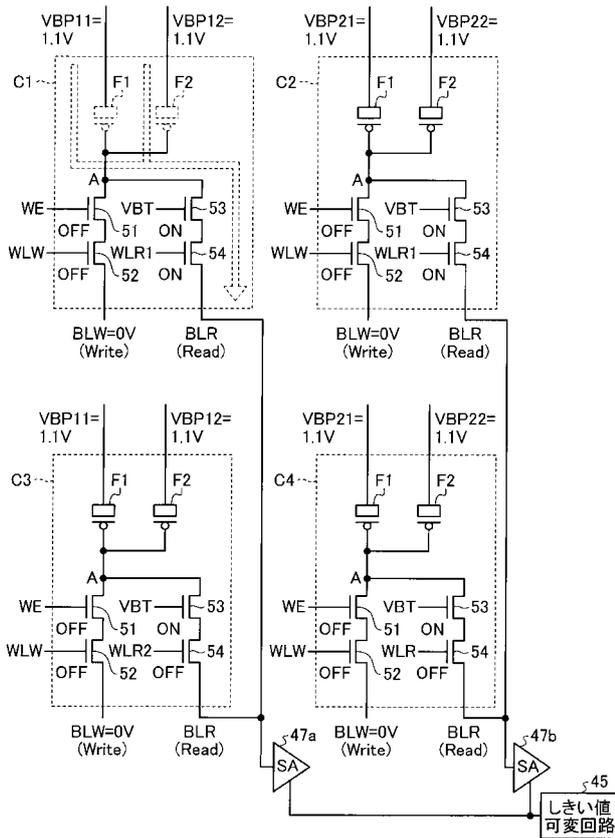
【図15】



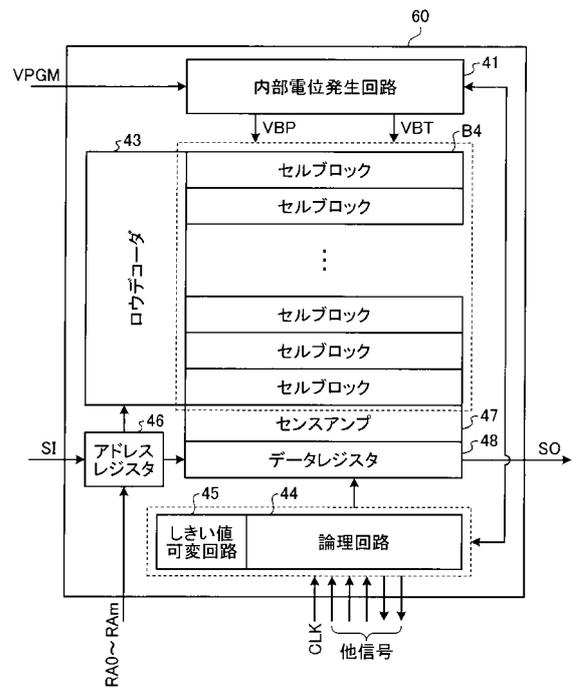
【図16】



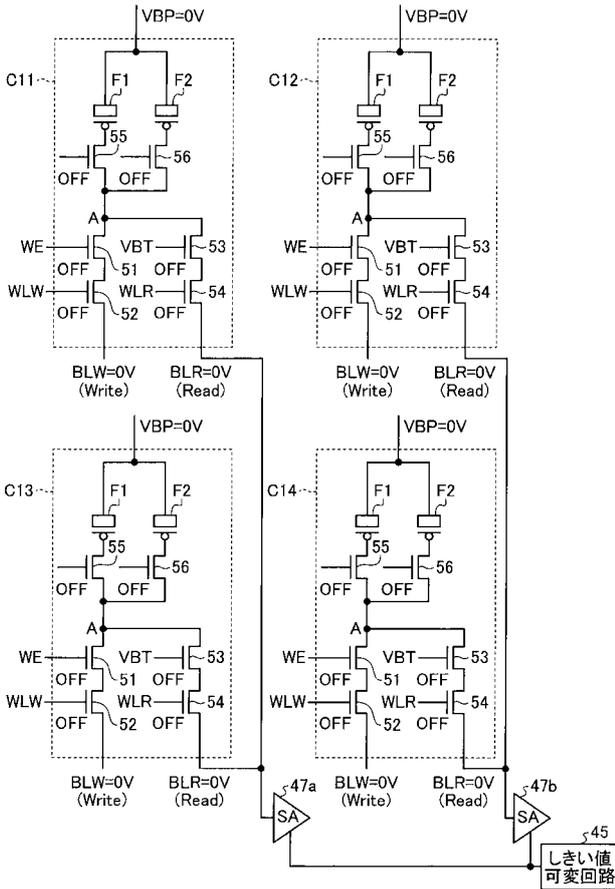
【図17】



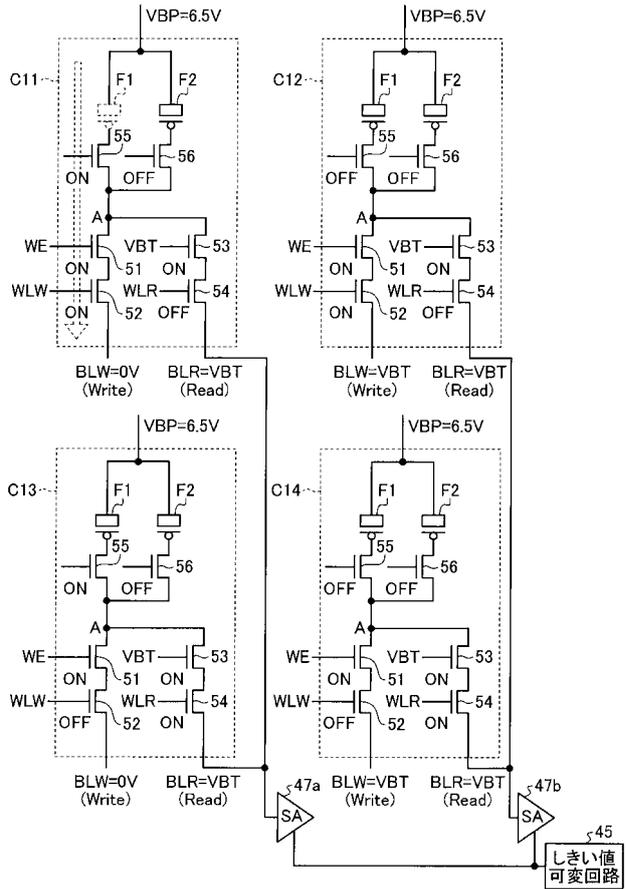
【図18】



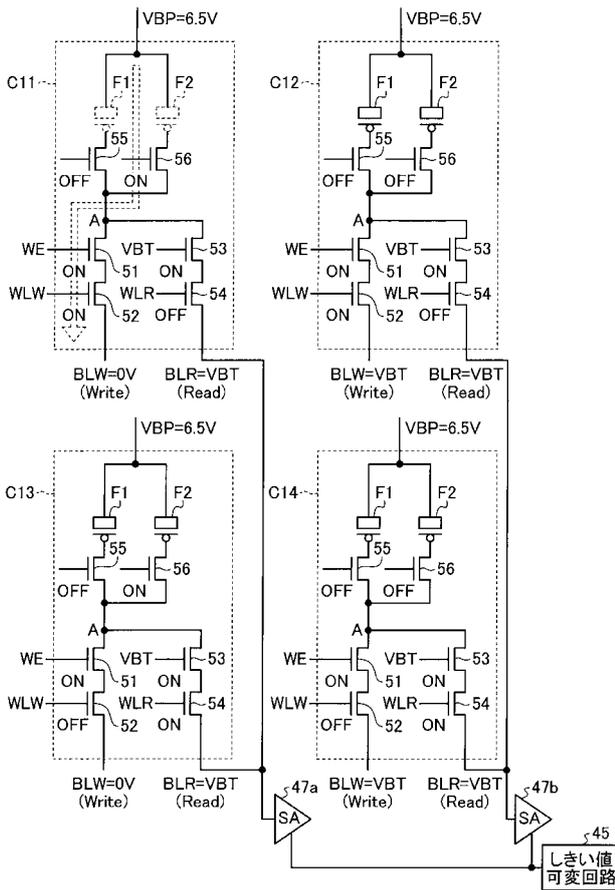
【図 19】



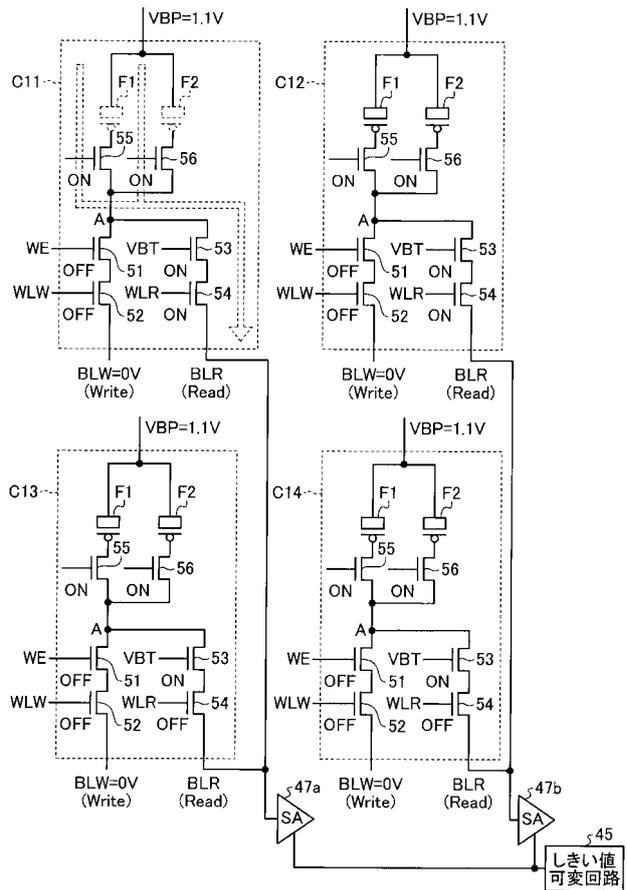
【図 20】



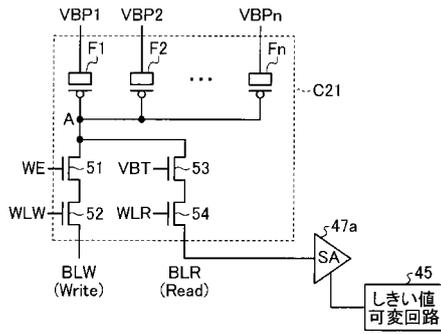
【図 21】



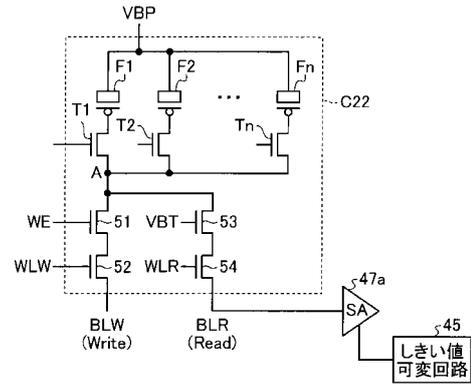
【図 22】



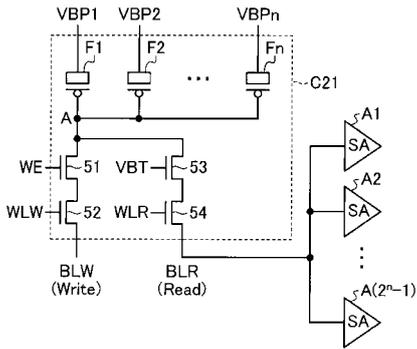
【 図 2 3 】



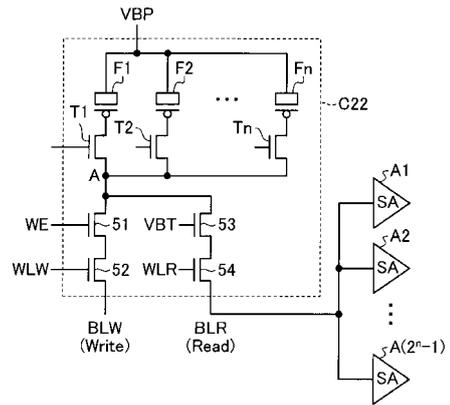
【 図 2 5 】



【 図 2 4 】



【 図 2 6 】



フロントページの続き

Fターム(参考) 5B125 BA16 BA19 CA06 DA09 DB12 EA07 EA10 EE03 EE10 EE14
5F064 BB15 BB19 BB23 CC09 FF24 FF28 FF46 FF60
5F083 CR14 GA09 ZA21