



(19) 中華民國智慧財產局

(12) 發明說明書公告本 (11) 證書號數：TW I571966 B

(45) 公告日：中華民國 106 (2017) 年 02 月 21 日

(21) 申請案號：103125594

(22) 申請日：中華民國 103 (2014) 年 07 月 25 日

(51) Int. Cl. : *H01L21/8239(2006.01)**H01L27/105 (2006.01)*

(30) 優先權：2013/07/26 美國

13/952,357

(71) 申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)
美國(72) 發明人：西雅瑞羅 山謬 SCIARRILLO, SAMUELE (IT) ; 瑞法西歐 馬歇羅 RAVASIO,
MARCELLO (IT)

(74) 代理人：陳長文

(56) 參考文獻：

TW 201019516A

US 2006/0157683A1

US 2011/0147695A1

審查人員：于若天

申請專利範圍項數：20 項 圖式數：8 共 33 頁

(54) 名稱

具有獨立尺寸元件之記憶體單元

MEMORY CELL WITH INDEPENDENTLY-SIZED ELEMENTS

(57) 摘要

本發明提供記憶體單元架構及形成該等記憶體單元架構之方法。一實例記憶體單元可包含一開關元件及與該開關元件串聯而形成之一記憶體元件。該開關元件之一最小橫向大小係不同於該記憶體元件之一最小橫向大小。

Memory cell architectures and methods of forming the same are provided. An example memory cell can include a switch element and a memory element formed in series with the switch element. A smallest lateral dimension of the switch element is different than a smallest lateral dimension of the memory element.

指定代表圖：

符號簡單說明：

- 504 . . . 字線
- 508 . . . 第三電極
- 510 . . . 開關元件
- 512 . . . 第二電極
- 513 . . . 記憶體元件側壁
- 514B . . . 記憶體元件
- 516 . . . 第一電極

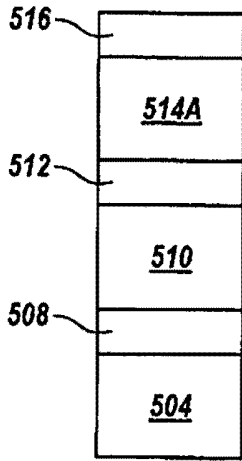


圖 5A

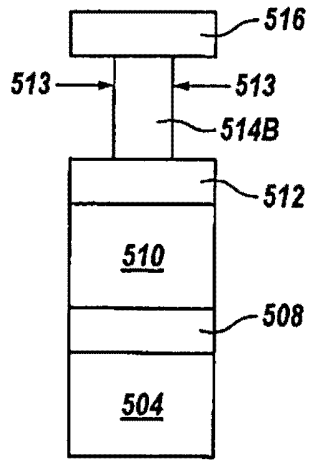
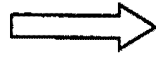


圖 5B

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

具有獨立尺寸元件之記憶體單元

MEMORY CELL WITH INDEPENDENTLY-SIZED ELEMENTS

【技術領域】

本發明大體上係關於半導體裝置，且更特定言之係關於記憶體單元架構及形成該等記憶體單元架構之方法。

【先前技術】

在電腦或其他電子裝置中，通常提供記憶體裝置作為內部、半導體、積體電路。存在許多不同類型之記憶體，其等尤其包含隨機存取記憶體 (RAM)、唯讀記憶體 (ROM)、動態隨機存取記憶體 (DRAM)、同步動態隨機存取記憶體 (SDRAM)、電阻可變式記憶體及快閃記憶體。電阻可變式記憶體之類型尤其包含相變材料 (PCM) 記憶體、可程式化導體記憶體及電阻式隨機存取記憶體 (RRAM)。

在需要高記憶體密度、高可靠性及無電資料保持時，利用非揮發性記憶體作為用於廣泛電子應用範圍之記憶體裝置。非揮發性記憶體可用於(例如)個人電腦、可攜式記憶體棒、固態磁碟機 (SSD)、數位相機、蜂巢式電話、可攜式音樂播放器(諸如MP3播放器)、電影播放器及其他電子裝置。

與記憶體裝置製造相關之不斷挑戰在於減少一記憶體裝置之尺寸、增加一記憶體裝置之儲存密度、減少電力消耗及/或限制記憶體裝置成本。一些記憶體裝置包含經配置於一二維陣列中之記憶體單元，其中記憶體單元皆經配置於一相同平面中。相反地，各種記憶體裝置包含經配置至具有多個記憶體單元層級之一三維(3D)陣列中之記

憶體單元。

【圖式簡單說明】

圖1係根據本發明之數個實施例之一記憶體陣列之一部分之一透視圖。

圖2繪示根據本發明之數個實施例之一三維記憶體陣列。

圖3A及圖3B繪示根據本發明之數個實施例之垂直方向上之記憶體單元之剖面圖。

圖4A及圖4B繪示對應於根據本發明之數個實施例之一記憶體單元之在不同尺寸堆疊之一相同剖面中之剖面圖。

圖5A及圖5B繪示對應於根據本發明之數個實施例之具有不同尺寸記憶體元件之一記憶體單元之堆疊之剖視圖。

圖6A及圖6B繪示對應於根據本發明之數個實施例之具有不同尺寸之開關元件之一記憶體單元之堆疊之剖視圖。

圖7A及圖7B繪示對應於根據本發明之數個實施例之具有不同尺寸之記憶體及開關元件之一記憶體單元之堆疊之剖視圖。

圖8A及圖8B繪示對應於根據本發明之數個實施例具有非垂直堆疊壁及不同尺寸之開關元件之一記憶體單元之堆疊之剖視圖。

【實施方式】

提供記憶體單元架構及形成其等之方法。一實例記憶體單元可包含一開關元件及與開關元件串聯而形成之一記憶體元件。開關元件之一最小橫向大小係不同於記憶體元件之一最小橫向大小。

本發明之實施例實施在一交叉點記憶體陣列中之一記憶體單元，其中開關元件之大小係獨立於記憶體元件之大小。在開關元件與記憶體元件之間的尺寸獨立性容許相對於選擇元件尺寸之記憶體元件尺寸之一無限制數目之組合，此繼而促進處理與特定交叉點陣列應用相關之具體電性質。憑藉獨立地定在(例如，使用相變材料(PCM))形

成一交叉點陣列中之一記憶體單元之一相同堆疊材料中之開關元件及記憶體元件之尺寸之能力，記憶體元件之電流密度可係不同於開關元件之電流密度。舉例而言，在不引起在開關元件上之過度切換應力之情況下，可改良記憶體元件中之一相變機構。

本文之圖遵循一編號習慣，其中第一(若干)數位對應於圖式圖號且剩餘數位識別在圖式中之一元件或組件。在不同圖之間的類似元件或組件可使用類似數位來識別。舉例而言，106可係指在圖1中之元件「06」，且一類似元件可經引用為在圖3A中之306。同樣地，如本文所使用，「數個」特定元件及/或特徵可係指一或多個此等元件及/或特徵。

如本文所使用，術語「實質上」意指經修改之特性不必係絕對的，但係足夠接近以實現特性之優點。舉例而言，「實質上平行」不限於絕對平行，且可包含至少比一垂直定向更接近於一平行定向之定向。類似地，「實質上正交」不限於絕對正交，且可包含至少比一平行定向更接近於一垂直定向之定向。

圖1係根據本發明之數個實施例之一記憶體陣列100之一部分之一透視圖。在圖1中所展示之實例中，記憶體陣列100係一交叉點記憶體/開關記憶體陣列(例如，一相變記憶體陣列)。然而，本發明之實施例並非如此限制。本發明之實施例可包括一二維(2D)交叉點記憶體陣列，或在字線與位元線之間具有更多板之一三維(3D)交叉點記憶體陣列。

陣列100可係具有定位於數個導電線(例如，存取線104，其在本文中可被稱為字線)及數個導電線(例如，資料/感測線106，其在本文中可被稱為位元線)之交叉處之記憶體單元102之一交叉點陣列。如圖1中所繪示，字線104可平行於或實質上平行於彼此且可正交於位元線106，其等可平行於或實質上平行於彼此。然而，實施例並非如此限

制。字線104及/或位元線106可以係一導電材料，(舉例而言)諸如鎢、銅、鈦、鋁及/或其他金屬。然而，實施例並非如此限制。在數個實施例中，陣列100可係一三維陣列(例如，一多層級陣列)之一部分(例如，一層級)，(進一步關於圖2所描述)其中類似於陣列100之其他陣列係處於不同層級(例如，在陣列100上方及/或在陣列100下方)。

各記憶體單元102可包含與一各自開關元件110(例如，選擇器裝置及/或存取裝置)串聯耦合之一記憶體元件114(例如，儲存元件)。記憶體單元可具有鄰近記憶體元件114及開關元件110之數個電極，其等包含一第一(例如，頂部)電極、第二(例如，中間)電極及/或第三(例如，底部)電極。記憶體元件114可係(例如)一電阻式記憶體元件。記憶體元件114可在一對電極(例如，第一電極116及第二電極112)之間形成。記憶體元件可由一電阻可變式材料(舉例而言，諸如一相變記憶體(PCM)材料)組成。如一實例，PCM材料尤其可係一硫屬化物合金(諸如鍺-銻-碲(GST)材料)，例如鍺-銻-碲材料(諸如 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 、 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 、 $\text{Ge}_1\text{Sb}_4\text{Te}_7$ 、 $\text{Ge}_8\text{Sb}_5\text{Te}_8$ 、 $\text{Ge}_4\text{Sb}_4\text{Te}_7$ 等等)或一銧(In)-銻(Sb)-碲(Te)(IST)材料(例如 $\text{In}_2\text{Sb}_2\text{Te}_5$ 、 $\text{In}_1\text{Sb}_2\text{Te}_4$ 、 $\text{In}_1\text{Sb}_4\text{Te}_7$ 等等)。如本文所使用，帶有連字符之化學組成符號指示包含在一特定混合物或化合物中之元素，且意在表示涉及所指示之元素之所有化學計量法。其他相變記憶體材料可包含(例如) Ge-Te、In-Se、Sb-Te、Ga-Sb、In-Sb、As-Te、Al-Te、Ge-Sb-Te、Te-Ge-As、In-Sb-Te、Te-Sn-Se、Ge-Se-Ga、Bi-Se-Sb、Ga-Se-Te、Sn-Sb-Te、In-Sb-Ge、Te-Ge-Sb-S、Te-Ge-Sn-O、Te-Ge-Sn-Au、Pd-Te-Ge-Sn、In-Se-Ti-Co、Ge-Sb-Te-Pd、Ge-Sb-Te-Co、Sb-Te-Bi-Se、Ag-In-Sb-Te、Ge-Sb-Se-Te、Ge-Sn-Sb-Te、Ge-Te-Sn-Ni、Ge-Te-Sn-Pd及Ge-Te-Sn-Pt。然而，本發明之實施例不限於一特定類型之PCM材料。此外，實施例不限於包括PCM材料之記憶體元件。例如，記憶體元件可包括數個電阻可變式材料，尤其

諸如二元金屬氧化物、巨磁阻材料及/或各種基於聚合物之電阻可變式材料。

為簡明起見，圖1展示具有相同大小之記憶體元件114及開關元件110。然而，如在下文所討論，可用具有不同於開關元件110之(若干)大小(例如，臨界大小、橫截面積等等)之一記憶體元件114形成一記憶體單元102。

開關元件110可係一雙終端裝置，諸如一二極體、一雙向定限開關(OTS)或一雙向記憶體開關(OMS)。然而，本發明之實施例不限於一特定類型之開關元件110。舉例而言，開關元件110可係(除其他類型之選擇器裝置外)一場效電晶體(FET)、一雙極型接面電晶體(BJT)或一二極體。可在一對電極(例如，第二電極112與一第三電極108)之間形成開關元件110。儘管圖1繪示具有在開關元件110上方形成之記憶體元件114之一組態，但本發明之實施例並不如此限制。根據本發明之各種實施例，(例如)可在記憶體元件114上方形成開關元件110。

電極108、112及/或116可包括材料，諸如Ti、Ta、W、Al、Cr、Zr、Nb、Mo、Hf、B、C、上述材料之導電氮化物(例如，TiN、TaN、WN、CN等等)、及/或其等之組合。

在數個實施例中，對應於記憶體單元102之開關元件110可係具有一硫屬化物選擇器裝置材料之OTS。在此等實施例中，開關元件110之硫屬化物材料可非主動(例如)在非晶與結晶之間變相，諸如記憶體元件之一硫屬化物電阻可變式材料。代替地，取決於跨記憶體單元102而施加之電位勢，開關元件之硫屬化物材料可在一「開」及「關」狀態之間改變。舉例而言，OTS之「狀態」可當穿過OTS之一電流超過一臨限電流或跨OTS之一電壓超過一臨限電壓時改變。一旦達到臨限電流或電壓，則一開狀態可被觸發且OTS可處於一導電狀態中。在此實例中，若電流或電位勢落至一臨限值以下，則OTS可返回

至一非導電狀態。

在數個實施例中，記憶體元件114可包括與開關元件110相同之一或多個材料。然而，實施例並不如此限制。舉例而言，記憶體元件114及開關元件110可包括不同材料。

記憶體單元102可藉由將一電場或電能之源(諸如正電脈衝或負電脈衝)施加至單元(例如，至單元之儲存元件)持續一特定時間而程式化至一目標資料狀態(例如，對應於一特定電阻狀態)。電脈衝可係(例如)正或負電壓或電流脈衝。

圖2繪示根據本發明之數個實施例之一三維(3D)記憶體陣列。3D記憶體陣列包括複數個記憶體單元202-1、202-2(例如，如關於圖1所描述與一開關元件串聯之記憶體元件)。圖2展示包括形成於字線204-1與位元線206之間的記憶體單元202-1之一第一記憶體陣列，及包括形成於字線204-2與位元線206之間的記憶體單元202-2之一第二記憶體陣列。即，在位元線206下方形成之第一記憶體陣列與在位元線206上方形成之第二記憶體陣列共用其間之共同位元線206。

圖2係一簡化圖，其並不精確反映所繪示之各種特徵之三維實體大小，其包含特徵至彼此之精確近似性。圖2不應被視為各種元件之精確佈局定位之代表。實情係，圖2提供一3D記憶體陣列之電方案圖之一綜述及各種特徵之大概之相對配置。儘管圖2展示包括兩個記憶體陣列之一3D陣列，但本發明之實施例並不如此限制，且可包含經配置至數個層級中之額外(若干)記憶體陣列。

圖3A及圖3B繪示根據本發明之數個實施例在垂直方向上之記憶體單元之剖面圖。圖3A展示諸如在圖1中所示之一記憶體陣列之一部分之在一第一方向上之一剖面(例如，側視圖)。圖3B展示諸如在圖1中所示之一記憶體陣列之一部分之在一第二方向上之一剖面(例如，端視圖)。比較關於圖1所展示且描述之細節，圖3A及圖3B展示一些

額外之細節。在圖3A及圖3B中所展示之記憶體單元可係類似於關於圖1及圖2所描述之記憶體單元。

如圖3A中所展示，一材料堆疊可在字線304上方形成。舉例而言，材料堆疊可包含形成於字線304上方之一第三電極308、形成於第三電極308上方之一開關元件310、形成於開關元件310上方之一第二電極312、形成於第二電極312上方之一記憶體元件314及形成於記憶體元件314上方之一第一電極316。一位元線306可係形成於堆疊上方而在圖3A中自左至右延伸且在圖3B中進出紙面延伸。字線304垂直於位元線306而延伸。即，字線304在圖3A中進出紙面延伸且在圖3B中自左至右延伸。同樣地，如在圖3A及圖3B中展示，第三電極308可類似於字線304而延伸。

為簡明起見，堆疊之所有組件經展示具有在若干方向上之各者中之類似量測。然而，根據本文所揭示之實施例，記憶體元件314及開關元件310可具有不同於彼此之一或多個方向及/或(若干)電極。在圖3A及圖3B中，當自側及端透視圖觀看時，材料堆疊經展示為正方形。

如在圖3A中所展示，可圍繞字線堆疊形成密封材料321且可在字線堆疊之間的區域中形成充填材料320。如在圖3A中所展示，一介電材料322可形成於密封材料321及在字線堆疊之間的區域中之充填材料320上方。

如在圖3B中所展示，可圍繞位元線堆疊形成密封材料324且可在位元線堆疊之間的區域中形成充填材料323。如在圖3B中展示，介電材料322可形成於密封材料324及在位元線堆疊之間的區域中之充填材料323上方。

可透過在兩個垂直方向(例如，對應於字線304及位元線306之方向)上乾蝕刻圖案化而產生在圖1及圖2中展示之記憶體單元之交叉點

陣列100。對應於記憶體單元之各自導電線及組件之材料可經塊狀沈積且蝕刻以形成各種特徵。在兩個垂直方向上之乾蝕刻圖案化形成各種導電線及對應於個別記憶體單元之堆疊。舉例而言，一第一蝕刻可界定自對準於下層導電線(例如，字線304)之堆疊之一個方向(例如，由第一溝槽分離之一列結構)，其繼而可經連接至其他電路。

如在圖3A中展示及上文描述，列結構及溝槽可(例如，用密封材料321)密封於字線304之間，且用充填材料320及介電材料322充填。隨後，包括位元線306之一材料(例如，導電材料)可經沈積於列結構、密封材料321、充填材料320及介電材料322之頂部。一第二蝕刻程序可用於形成第二溝槽，其等界定在垂直約字線304之一方向上之位元線306且再次自對準於於記憶體單元相關之堆疊(下至第三電極308)。其後，第二溝槽及第三電極308可(例如)由密封材料324及充填材料323密封，且第二溝槽由介電材料322充填。上述序列產生對應於各自記憶體單元及藉由介電材料322與彼此隔離之一堆疊陣列(例如，作用柱)。在記憶體單元下方之字線304以一方向連接堆疊，且在記憶體單元上方之位元線306以一垂直方向連接堆疊。

圖4A及圖4B繪示在根據本發明之數個實施例之一記憶體單元之不同尺寸之堆疊之一相同剖面之剖面圖。即，圖4A及圖4B展示在一大小修改(等向性蝕刻)之前(圖4A)及在其之後(圖4B)之相同剖面。在圖4A及圖4B中展示之各自堆疊可藉由以上文關於圖3A及圖3B所描述之兩個垂直方向之乾蝕刻圖案化而形成。舉例而言，乾蝕刻可用於形成對應於個別記憶體單元之堆疊。如將根據本文實施例進一步描述，乾蝕刻可用於控制在垂直於在開關元件與記憶體元件之間的一方向之一平面中之堆疊之各種大小(例如，開關及記憶體元件之一橫截面積之寬度及長度)。

例如在圖4A中，以兩個垂直方向之乾蝕刻圖案化可用於形成一

相對較寬之堆疊(包括字線404A、第三電極408A、開關元件410A、第二電極412A、記憶體元件414A及第一電極416A)。在圖4B中係一相對較薄之堆疊(包括字線404B、第三電極408B、開關元件410B、第二電極412B、記憶體元件414B及第一電極416B)。因為以兩個垂直方向之乾蝕刻圖案化自對準，故在圖4A中展示之相對較寬之堆疊之所有組件具有相同大小。此外，所有組件係寬於在圖4B中展示之相對較薄之堆疊之所有組件。即，使用以兩個垂直方向之乾蝕刻圖案化來控制記憶體元件之寬度(例如)導致在堆疊中之所有其他組件之寬度經類似控制為相同寬度。

在以兩個垂直方向之乾蝕刻圖案化以形成對應於記憶體單元之堆疊期間，具有一垂直不變之蝕刻輪廓係有益的以較佳界定底部組件。此確保遍及堆疊(尤其對於底部組件)之適當隔離，且避免惡化縱橫比。

臨界大小(CD)係與蝕刻圖案化(例如，使用一圖案蝕刻以自不欲被蝕刻之區域刻畫待被蝕刻之區域)相關之可分解之最佳線路。如本文使用，橫向大小(LD)係在垂直於在開關元件與一記憶體單元之一對應記憶體元件之間的一方向(例如，垂直於包括記憶體單元之材料堆疊之定向)之一平面中之一大小。LD可係一CD(上文所討論)或一經修改之大小(下文所討論)。舉例而言，一堆疊可具有一矩形體積。矩形體積可在開關元件與對應之記憶體元件之一方向上具有一最長大小。

經修改之大小(MD)係一記憶體單元堆疊之一橫向大小，其已自由蝕刻圖案化(例如，諸如由一額外之等向性蝕刻)實現之該等大小所修改。舉例而言，MD可係一所需之設計規則實施大小。最小之橫向大小係除長度(例如，寬度、深度)外具有最小量級之一堆疊組件(例如，記憶體元件、選擇元件等等)之大小，其中長度經定向於在記憶體元件與選擇元件之間的方向上。

對於以兩個垂直方向之乾蝕刻圖案化，主要在透過硬遮罩之程序之一第一部分期間，字線CD可由微影或間隙倍增、硬遮罩及乾蝕刻界定。根據本發明之各種實施例，且如在下文描述，MD可藉由額外之選擇性蝕刻(例如，等向性蝕刻)自一CD進一步界定。

在圖4A中所展示之相對較寬之堆疊之橫向大小(例如，CD)係大於在圖4B中所展示之相對較薄堆疊之橫向大小(例如，CD)。然而，在圖4A中展示之堆疊中，記憶體元件414A之LD係與開關元件410A之LD相同。在圖4B中展示之堆疊中，記憶體元件414B之LD係與開關元件410B之LD相同。即，對於在圖4A及圖4B中展示之堆疊，記憶體元件之LD與開關元件之LD之比(例如， $LD(ME)/LD(SE)$)係1。一記憶體單元之電效能係與記憶體元件414A/414B及開關元件410A/410B之LD及輪廓相關。因此，記憶體元件414A/414B及開關元件410A/410B之電效能並不在圖4A及圖4B中展示之堆疊中係獨立的。

圖5A及圖5B繪示對應於根據本發明之數個實施例具有不同尺寸之記憶體元件之一記憶體單元之堆疊之剖面圖。圖5A及圖5B繪示一組態及方法，藉由該組態及方法，記憶體元件之LD及開關元件之LD可係獨立的。一記憶體單元之功能性可藉由相對於開關元件之(若干)大小(例如，LD)控制記憶體元件之(若干)大小(例如，LD)而調變。在(若干)大小並不獨立於開關元件之(若干)大小的情況下，藉由減少記憶體元件之(若干)大小而增加記憶體元件中之電流密度使在開關元件中之電流密度相應增加相同量。此可不利於開關元件之功能特性。即，在記憶體元件之(若干)大小並不獨立於開關元件之(若干)大小的情況下，改良記憶體元件之可操作性可減少開關元件之可操作性。

圖5A展示藉由具有字線504、第三電極508、開關元件510、第二電極512、記憶體元件514A及第一電極516形成之一堆疊。圖5B展示藉由具有字線504、第三電極508、開關元件510、第二電極512、記憶

體元件514B及第一電極516形成之一堆疊。如在圖5A中展示，記憶體元件514A係相對寬於在圖5B中展示之記憶體元件514B。所有其他堆疊組件係實質上與圖5A及圖5B中之堆疊的尺寸相同。

根據各種實施例，在圖5B中展示之堆疊可自在圖5A中展示之堆疊形成。為形成在圖5B中展示之堆疊，在圖5A中展示之堆疊可經受一選擇性/等向性程序，其係能夠以一非定向型方式相對於其他材料選擇性地蝕刻記憶體元件之一步驟(例如，對於一特定材料具有選擇性，諸如較於其他材料更多自該材料形成記憶體元件且該材料係等向性的，使得蝕刻可具有一水平效應)。如展示，能夠選擇性地蝕刻記憶體元件材料之一等向性乾蝕刻可使記憶體元件側壁凹入而不影響其他曝露之堆疊組件材料。選擇性/等向性程序包含用一等向性組件之一蝕刻(但未必意指蝕刻係100%等向性的)。同樣地，選擇性不必係100%可選擇預期之特定材料且完全排除所有其他材料。舉例而言，對於PCM材料及OTS材料，相同化學物可具有不同蝕刻率，兩個蝕刻率皆不可為零。

在選擇性蝕刻(例如，相對於其他材料對於記憶體元件材料之選擇性等向性乾蝕刻)後，在圖5B中展示之記憶體元件側壁513相對於堆疊之其他部分(例如，相對於字線504、相對於開關元件510、相對於一電極等等)係凹入的。由於產生之記憶體元件514B之橫向大小係小於開關元件510之橫向大小(開關元件大小不藉由對於記憶體元件材料具有選擇性的選擇性等向性乾蝕刻而改變)，故 $LD(ME) / LD(SE) < 1$ 。

儘管根據本發明之各種實施例，圖5A展示形成一完整堆疊，其接著可經受對於記憶體元件材料具有選擇性的一蝕刻(例如，相對於其他材料選擇性等向性乾蝕刻一特定組件材料)，但選擇性蝕刻(例如，相對於其他材料對於記憶體元件材料具有選擇性)可在記憶體元

件之定向型蝕刻後但在下層組件(例如，第二電極512)之定向型蝕刻前而被實施。因此，完成具有相對於其他堆疊組件經減少大小及/或字線504之寬度之一記憶體元件之另一實例乾蝕刻順序可係：

1. 定向型蝕刻第一電極516
2. 定向型蝕刻記憶體元件514A
3. 能夠蝕刻相對於與其他材料選擇性的記憶體元件514A之選擇性蝕刻
4. 定向型蝕刻第二電極512
5. 定向型蝕刻開關元件510
6. 定向型蝕刻第三電極508
7. 定向型蝕刻字線504

由於選擇性蝕刻經執行以蝕刻記憶體元件且以避免蝕刻除記憶體元件材料外之材料，故選擇性蝕刻步驟可替代地在程序期間的其他時間(例如，在字線504之定向蝕刻後)執行。藉由選擇性等向性乾蝕刻移除之材料之一橫向大小中之減少量可尤其由(例如)選擇性等向性乾蝕刻之持續時間控制。憑藉獨立調節一個堆疊組件之(若干)大小(例如，相對於開關元件510之橫向大小之記憶體元件514A之橫向大小)的能力，堆疊之電特性(例如，在記憶體元件514B及開關元件510中之電流密度)可經獨立控制以改良操作特性。

根據本發明之數個實施例，對於一特定材料(例如，記憶體元件材料)，選擇性等向性乾蝕刻可具有與定向型蝕刻相同之一化學物。然而，蝕刻條件可經更改以實現一等向性蝕刻。舉例而言，記憶體元件514A之一定向型蝕刻可用一強電漿來實施，而選擇性等向性乾蝕刻可使用相同化學物但不同之電漿條件(諸如不同壓力及/或藉由改變(離子)偏壓電壓)。根據數個實施例，一導體乾蝕刻腔室之偏壓電壓(Vb)可被關閉，其中壓力被設定為相對於定向型蝕刻偏壓電壓較高。

因此，在電漿中之離子可經較小加速至正在蝕刻腔室中被處理(例如，此後形成堆疊)之一現場晶圓之一表面。因此，在曝露之表面層上可存在少量撞擊(若存在)。因此，電漿晶圓之相互作用係化學而非物理的。

根據一些實施例，包含基於氫之成分之一氣體混合物可用於相對於其他材料能夠選擇性地蝕刻記憶體元件材料(例如，選擇性等向性乾蝕刻，其中與其他材料相比，氣體混合物選擇性蝕刻較多記憶體元件材料)之步驟。此外，一基於X之氣體混合物可用於相對於其他材料能夠選擇性地蝕刻開關元件材料(例如，選擇性等向性乾蝕刻，其中與其他材料相比，氣體混合物選擇性蝕刻較多開關元件材料)之步驟。在此實例中，X可係氟(F)、氯(Cl)或溴(Br)之一或多個。其他等向性蝕刻程序可在某些情況(諸如一濕蝕刻，例如，其中可受影響之其他堆疊組件未由一定向型乾蝕刻曝露)下使用。

圖6A及圖6B繪示對應於根據本發明之數個實施例具有不同尺寸之開關元件之一記憶體單元之堆疊之剖面圖。圖6A及圖6B亦繪示一組態及方法，藉由其等記憶體元件之LD及開關元件之LD可藉由相對於一記憶體元件改變一開關元件之(若干)大小而係獨立的。

圖6A展示藉由具有一字線604、第三電極608、開關元件610A、第二電極612、記憶體元件614及第一電極616而形成之一堆疊。圖6B繪示藉由具有一字線604、第三電極608、開關元件610B、第二電極612、記憶體元件614及第一電極616而形成之一堆疊。如在圖6A中所展示，在堆疊中之開關元件610A係相對寬於在圖6B之堆疊中展示之開關元件610B。在此實例實施例中，所有其他堆疊組件可具有實質上與在圖6A與圖6B中展示之堆疊之間的相同之尺寸。

根據各種實施例，在圖6B中展示之堆疊可自在圖6A中展示之堆疊形成。為形成在圖6B中展示之堆疊，在圖6A中展示之堆疊可經受

一步驟，其係能夠相對於其他材料選擇性地蝕刻記憶體元件材料(例如，對於蝕刻一特定材料具有選擇性之選擇性等向性乾蝕刻，諸如較於其他材料更多自該材料形成記憶體元件且該材料係等向性的，使得蝕刻可在開關元件610A上具有一水平蝕刻效應)。如展示，相對於其他材料對於開關元件材料具有選擇性之一蝕刻可使開關元件側壁凹入而不影響包含記憶體元件之其他曝露之堆疊組件材料。

在選擇性蝕刻(例如，較於其他材料更多蝕刻開關元件材料之選擇性乾蝕刻)後，在圖6B中展示之開關元件側壁615相對於堆疊之其他部分(例如，相對於字線604、相對於記憶體元件614、相對於一電極等等)係凹入的。由於產生之開關元件610B之橫向大小係小於記憶體元件614之橫向大小(記憶體元件大小不藉由對於開關元件材料具有選擇性的選擇性等向性乾蝕刻而改變)，故 $LD(ME) / LD(SE) > 1$ 。

儘管根據本發明之各種實施例，圖6A展示首先形成一完整堆疊，其接著可經受(對於一特定組件材料具有選擇性的)一選擇性等向性乾蝕刻，但相對於其他材料能夠選擇性蝕刻開關元件材料之步驟(例如，較於其他材料更多蝕刻開關元件材料之選擇性乾蝕刻)可在開關元件610A之定向型蝕刻後但在下層組件(例如，第三電極608)之定向型蝕刻前而被實施。因此，完成具有相對於其他堆疊組件經減少大小及/或字線604之寬度之一開關元件之另一實例乾蝕刻順序可係：

1. 定向型蝕刻第一電極616
2. 定向型蝕刻記憶體元件614
3. 定向型蝕刻第二電極612
4. 定向型蝕刻開關元件610A
5. 能夠蝕刻對於其他材料具有選擇性之開關元件610A之選擇性蝕刻
6. 定向型蝕刻第三電極608

7. 定向型蝕刻字線604

由於選擇性蝕刻經執行以蝕刻開關元件材料且以避免蝕刻除開關元件材料外之材料，故選擇性蝕刻步驟可替代地在程序期間的其他時間(例如，在字線610A之定向蝕刻後)執行。藉由選擇性等向性乾蝕刻移除之材料之一橫向大小中之減少量可尤其由(例如)選擇性等向性乾蝕刻之持續時間控制。憑藉獨立調節另一堆疊組件之(若干)大小的能力(例如，相對於選擇元件510之橫向大小之開關元件610A之橫向大小)，堆疊之電特性(例如，在記憶體元件614及開關元件610B中之電流密度)可進一步經獨立控制以改良操作特性。

根據本發明之數個實施例，選擇性等向性乾蝕刻可類似於上文相對於在圖5A中展示之記憶體元件514A而描述之蝕刻(除反而對於開關元件610A材料具有選擇性外)。如此，相對於其他堆疊組件(例如，記憶體元件614及/或(若干)電極及/或字線604)之橫向(若干)大小，如所需調變開關元件610B之橫向(若干)大小係可能的。考慮定向型及選擇性等向性乾蝕刻，包含在垂直於堆疊定向之一平面中之臨界大小及/或區域之堆疊組件之(若干)大小可以以下一或多個方式來控制：

1. 藉由定向型乾蝕刻(例如，經由微影或間距倍增及硬遮罩蝕刻程序)減少整個堆疊(包含記憶體元件及開關元件兩者)之所有組件之橫向(若干)大小。
2. 經由一選擇性等向性乾蝕刻(對於記憶體元件材料具有選擇性)僅減少記憶體元件之橫向(若干)大小。
3. 經由一選擇性等向性乾蝕刻(對於開關元件材料具有選擇性)僅減少開關元件之橫向(若干)大小。

在堆疊中之組件之橫向大小之減少可在一堆疊之壁(例如，具有平行於字線之邊緣之一方向之堆疊壁及/或具有平行於字線之邊緣之一方向之堆疊壁)上實施。舉例而言，如下文進一步討論，減小可沿一

單一方向或沿多個方向(例如，垂直方向)而被施加至壁。堆疊組件之橫向(若干)大小可藉由(例如)增加整個堆疊之橫向(若干)大小且選擇性地減少某些組件之橫向(若干)大小而被相對增加，從而使其他堆疊組件之橫向(若干)大小相對較寬。

圖7A及圖7B繪示對應於根據本發明之數個實施例具有不同尺寸之記憶體元件及開關元件之一記憶體單元之堆疊之剖面圖。圖7A及圖7B繪示一組合之組態及方法，藉由其等記憶體元件之橫向(若干)大小(例如，CD)及開關元件之橫向(若干)大小(例如，CD)可係獨立的。根據此實例實施例，一開關元件與一記憶體元件兩者之橫向(若干)大小可相對於其他堆疊組件(例如，電極、字線、位元線等等)改變。此外，開關元件與記憶體元件兩者之橫向大小皆可經減少與彼此相同(或不同)之量。

圖7A展示藉由具有一字線704、第三電極708、開關元件710A、第二電極712、記憶體元件714A及第一電極716形成之一堆疊。圖7B展示藉由具有一字線704、第三電極708、開關元件710B、第二電極712、記憶體元件714B及第一電極716形成之一堆疊。如在圖7A中展示，開關元件710A係相對寬於在圖7B中展示之開關元件710B。在圖7A中展示之記憶體元件714A係相對寬於在圖7B中展示之記憶體元件714B。此外，圖7B亦展示記憶體元件714B相對於開關元件701B係較薄的。儘管圖7B展示記憶體元件714B被減少一量，使得其相對於開關元件710B係較薄的，但根據其他實施例，開關元件710B可被減少一量，使得開關元件710B具有與記憶體元件714B相同之(若干)大小，或相對於記憶體元件714B係較薄的。在此實例實施例中，所有其他堆疊組件可係實質上具有與在圖7A及圖7B中展示之堆疊之間相同之尺寸。

根據各種實施例，在圖7B中展示之堆疊可自在圖7A中展示之堆

疊形成。為形成在圖7B中展示之堆疊，在圖7A中展示之堆疊可經受複數個選擇性等向性乾蝕刻(例如，達到對於一不同材料具有選擇性)以使經選擇之堆疊組件之材料凹入而不影響其他曝露之堆疊組件材料。

在相對於其他材料能夠選擇性地蝕刻開關元件材料之一步驟(例如，較於其他材料更多蝕刻開關元件材料之選擇性等向性乾蝕刻)後，且在相對於其他材料能夠選擇性地蝕刻記憶體元件材料之一步驟(例如，較於其他材料更多蝕刻記憶體元件材料之選擇性乾蝕刻)後，記憶體元件側壁717及開關元件側壁719兩者皆相對於堆疊之其他部分(例如，相對於字線704、相對於一電極等等)凹入。產生之記憶體元件之橫向大小係小於開關元件之橫向大小， $LD(ME) / LD(SE) < 1$ 。根據各種其他實施例，產生之記憶體元件之橫向大小係大於開關元件之橫向大小使得 $LD(ME) / LD(SE) > 1$ 。

如關於圖5A、圖5B、圖6A及圖6B所討論，儘管在圖7A中展示一完整形成之堆疊(根據本發明之各種實施例，其可經受複數個選擇性等向性乾蝕刻(例如，對於記憶體元件材料具有選擇性之一個蝕刻及對於開關元件材料具有選擇性之一個蝕刻))，但可在待經受一選擇性等向性乾蝕刻之特定堆疊組件之定向型蝕刻後但在下層堆疊組件之定向型蝕刻前各自實施選擇性等向性乾蝕刻。因此，可用於完成由在圖7B中展示之堆疊展示之結果之另一實例乾蝕刻順序可係：

1. 定向型蝕刻第一電極716
2. 定向型蝕刻記憶體元件714A
3. 能夠蝕刻對於其他材料具有選擇性之記憶體元件714A之選擇性蝕刻
4. 定向型蝕刻第二電極712
5. 定向型蝕刻開關元件710A

6. 能夠蝕刻對於其他材料具有選擇性之開關元件710A之選擇性蝕刻
7. 定向型蝕刻第三電極708
8. 定向型蝕刻字線704

以除在上文程序中展示之順序外之一順序替代地執行各自選擇性蝕刻步驟。藉由一特定選擇性等向性乾蝕刻移除之材料之一橫向大小中之減少量可藉由(例如)特定選擇性等向性乾蝕刻之持續時間控制。各自選擇性等向性乾蝕刻可具有不同持續時間(例如)以獨立控制經選定之材料而從而被移除之量。

圖8A及圖8B繪示對應於根據本發明之數個實施例具有非垂直堆疊壁及不同尺寸之開關元件之一記憶體單元之堆疊之剖面圖。出於任何數目之理由，堆疊壁可不經形成以係完全垂直的。圖8A及圖8B展示，上文所描述之選擇性等向性乾蝕刻技術可經應用至具有非垂直堆疊壁之一堆疊之組件來補償可當堆疊壁並非完全垂直時產生之不同組件大小。

即，一或多個選擇性等向性乾蝕刻可用於調變堆疊側壁之斜率(例如，堆疊之記憶體元件及/或開關元件部分)。改良初始具有一錐形輪廓之一堆疊側壁之垂直性亦可改良字線及/或位元線之垂直性。一般而言，較佳之堆疊側壁垂直性促進對於具有一大縱橫比之記憶體單元之較佳蝕刻效能，且亦可減少位元線至位元線洩漏之風險。

圖8A展示藉由具有字線804、第三電極808、開關元件810A、第二電極812、記憶體元件814及第一電極816形成之一堆疊。圖8B展示藉由具有字線804、第三電極808、開關元件810B、第二電極812、記憶體元件814及第一電極816形成之一堆疊。類似於關於圖6A及圖6B所展示及描述，在圖8A中展示之堆疊中之開關元件810A之(若干)大小可藉由一選擇性等向性乾蝕刻減少至為圖8B之堆疊中之開關元件

810B所展示之結果。

在圖8B中展示之堆疊中之開關元件810B之橫向(若干)大小經展示減少至記憶體元件814之橫向(若干)大小。穿過一特定堆疊組件(例如，記憶體元件、開關元件)之電流密度係由電流可流過之組件之區域所判定。如此，由於在圖8A中展示之堆疊中之記憶體元件814之橫向(若干)大小(及因此以橫向(若干)大小為界之區域)係小於開關元件810A之橫向(若干)大小，故記憶體元件814可具有高於開關元件810A之一電流密度。在一選擇性等向性乾蝕刻用於減少開關元件810A之橫向(若干)大小後，如在圖8B之堆疊中展示，開關元件810B現具有與記憶體元件814相同之尺寸。因此，可使電流密度類似(例如，帶回至與垂直堆疊側壁相關之一預期比例)。

可自用於實現包含字線及/或位元線清洗之先前討論之內容之記憶體單元組態及方法來實現一些額外優點。一選擇性等向性乾蝕刻程序可有助於自各自對應於字線及/或位元線之堆疊側壁移除經在濺鍍之聚合物(例如，定向型乾蝕刻副產物)。在堆疊側壁上之聚合物若未由濕清洗完全移除常可引發具有此等記憶體單元之一陣列中之一高垂直洩露。根據一些實施例，本文描述之選擇性等向性乾蝕刻程序可運用以清洗堆疊側壁上之甚至非常低揮發性之聚合物。

儘管本文已繪示及描述特定實施例，但熟習此項技術者將明白經計算來實現相同結果之一配置可替換展示之特定實施例。此揭示內容意在涵蓋本發明之各種實施例之修改物或變體。應理解上文之描述已成為一繪示性方式，而非一限制性方式。根據回顧以上實施方式，熟習此項技術者將明白上文實施例之組合及本文中為特別描述之其他實施例。本發明之各種實施例之範疇包含使用上文之結構及方法之其他應用。因此，本發明之各種實施例之範疇應參考隨附申請專利範圍以及此申請專利範圍授權之等效物之全部範圍而被判定。

在前述實施方式中，為流暢本揭示內容之目的，各種特徵經組合至一單一實施例中。本揭示內容之此方法不欲被視為反映一意圖：所揭示本發明之實施例必須使用比在各請求項中所清楚敘述更多之特徵。實情係，如下列請求項反映，本發明之標的在於少於一單一揭示實施例中之所有特徵。因此，下列申請專利範圍據此經併入實施方式中，其中各請求項可獨立作為一單獨之實施例。

【符號說明】

100	記憶體陣列
102	記憶體單元
104	存取線/字線
106	資料/感測線/位元線
108	第三電極
110	開關元件
112	第二電極
114	記憶體元件
116	第一電極
202-1	記憶體單元
202-2	記憶體單元
204-1	字線
204-2	字線
206	位元線
304	字線
306	位元線
308	第三電極
310	開關元件
312	第二電極

314	記憶體元件
316	第一電極
320	充填材料
321	密封材料
322	介電材料
323	充填材料
324	密封材料
404A	字線
404B	字線
408A	第三電極
408B	第三電極
410A	開關元件
410B	開關元件
412A	第二電極
412B	第二電極
414A	記憶體元件
414B	記憶體元件
416A	第一電極
416B	第一電極
504	字線
508	第三電極
510	開關元件
512	第二電極
513	記憶體元件側壁
514A	記憶體元件
514B	記憶體元件

516	第一電極
604	字線
608	第三電極
610A	開關元件
610B	開關元件
612	第二電極
614	記憶體元件
615	開關元件側壁
616	第一電極
704	字線
708	第三電極
710A	開關元件
710B	開關元件
712	第二電極
714A	記憶體元件
714B	記憶體元件
716	第一電極
717	記憶體元件側壁
719	開關元件側壁
804	字線
808	第三電極
810A	開關元件
810B	開關元件
812	第二電極
814	記憶體元件
816	第一電極

發明摘要

公告本

※ 申請案號：103125594

※ 申請日：103.7.15

※IPC 分類：H01L 21/8239 (2006.01)

H01L 27/105 (2006.01)

【發明名稱】

具有獨立尺寸元件之記憶體單元

MEMORY CELL WITH INDEPENDENTLY-SIZED ELEMENTS

【中文】

● 本發明提供記憶體單元架構及形成該等記憶體單元架構之方法。一實例記憶體單元可包含一開關元件及與該開關元件串聯而形成之一記憶體元件。該開關元件之一最小橫向大小係不同於該記憶體元件之一最小橫向大小。

【英文】

● Memory cell architectures and methods of forming the same are provided. An example memory cell can include a switch element and a memory element formed in series with the switch element. A smallest lateral dimension of the switch element is different than a smallest lateral dimension of the memory element.

圖式

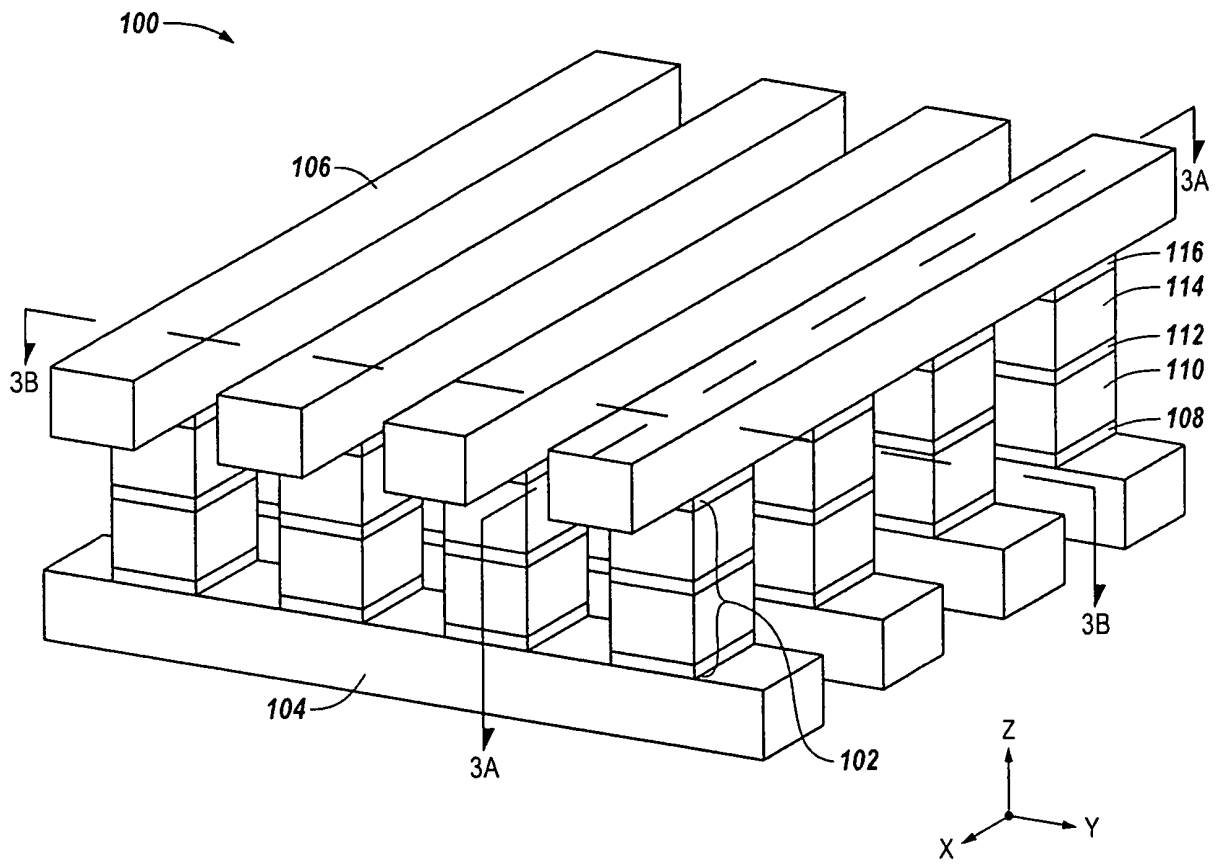


圖 1

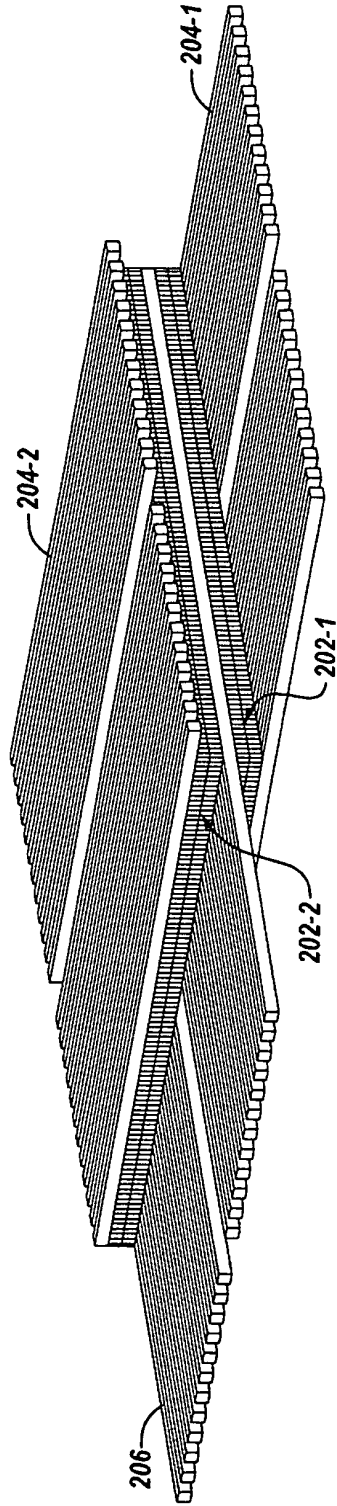


圖2

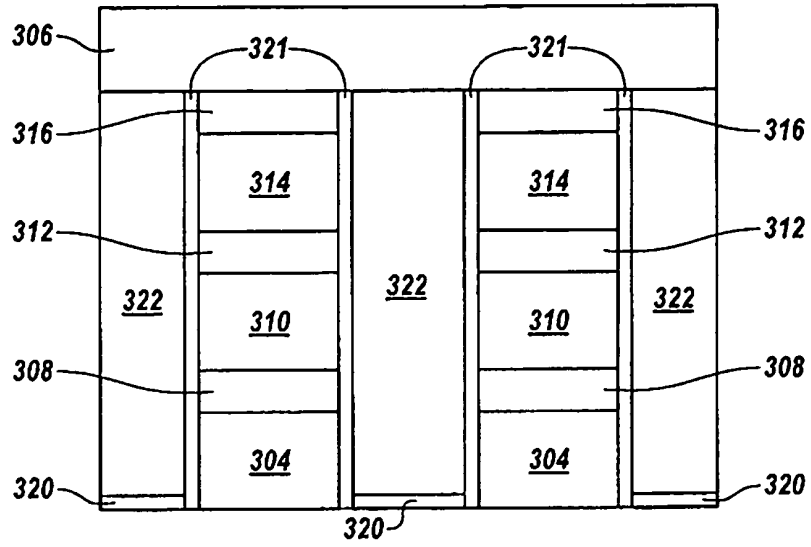


圖 3A

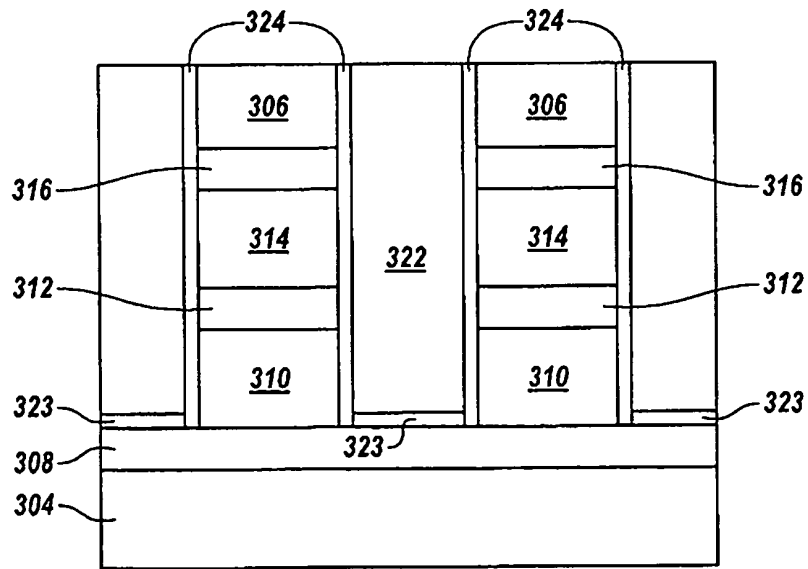


圖 3B

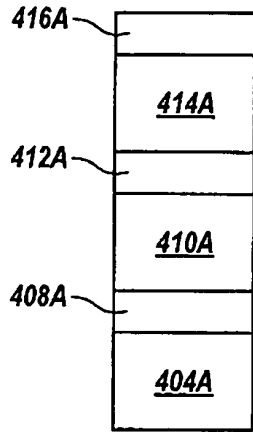


圖 4A

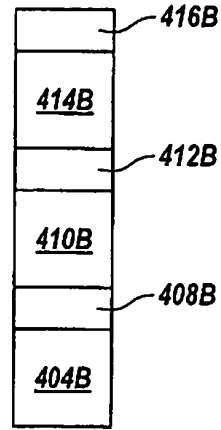


圖 4B

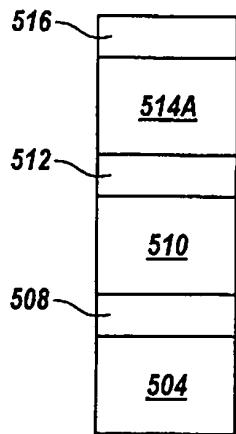


圖 5A

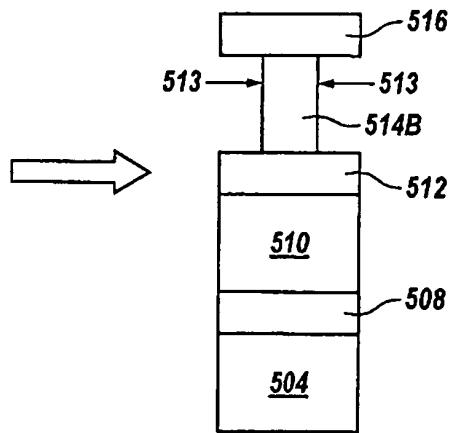


圖 5B

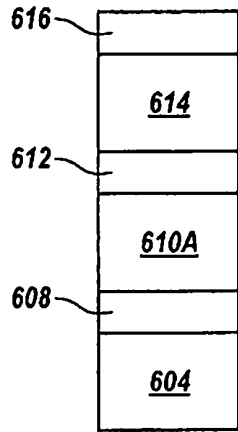


圖 6A

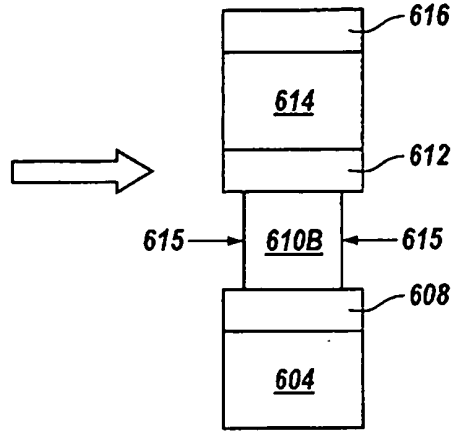


圖 6B

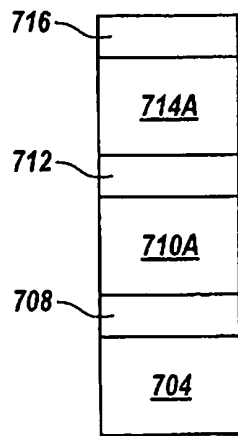


圖 7A

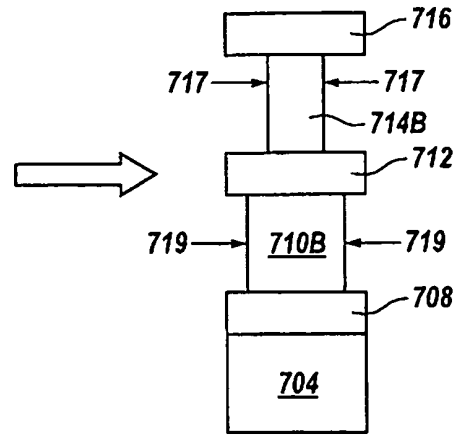


圖 7B

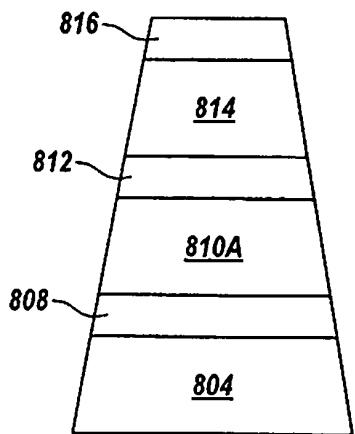


圖 8A

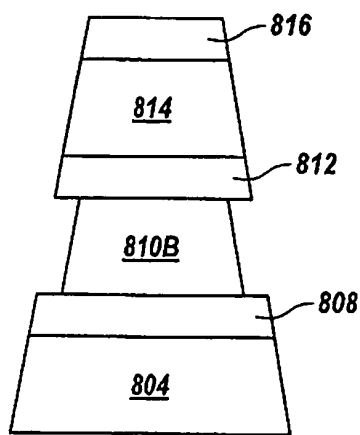


圖 8B

【代表圖】

【本案指定代表圖】：第（5B）圖。

【本代表圖之符號簡單說明】：

- 504 字線
- 508 第三電極
- 510 開關元件
- 512 第二電極
- 513 記憶體元件側壁
- 514B 記憶體元件
- 516 第一電極

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1. 一種記憶體單元，其包括：
 - 一開關元件；及
 - 一記憶體元件，其與該開關元件串聯而形成，其中該開關元件之一最小橫向大小係不同於該記憶體元件之一最小橫向大小，該記憶體單元進一步包括一電極，其中該開關元件、該記憶體元件及該電極經配置於一堆疊中，且其中該開關元件之該最小橫向大小及該記憶體元件之該最小橫向大小係小於該電極之一最小橫向大小。
2. 如請求項1之記憶體單元，其中該開關元件之該最小橫向大小係小於該記憶體元件之該最小橫向大小。
3. 如請求項1之記憶體單元，其中在垂直於一堆疊長度之一平面中之該開關元件之一橫截面積係小於在垂直於該堆疊長度之一平面中之該電極之一橫截面積。
4. 如請求項1之記憶體單元，其中該電極經定位於該開關元件與該記憶體元件之間。
5. 如請求項1之記憶體單元，其中該開關元件及該記憶體元件經配置於一堆疊，且其中在垂直於一堆疊長度之一平面中之該開關元件之一橫截面積係小於在垂直於該堆疊長度之一平面中之該記憶體元件之一橫截面積。
6. 如請求項1之記憶體單元，其中該開關元件之該最小橫向大小係大於該記憶體元件之該最小橫向大小。
7. 如請求項6之記憶體單元，其進一步包括一電極，其中該開關元件、該記憶體元件及該電極經配置於一堆疊中，且其中該開關元件之該最小橫向大小及該記憶體元件之該最小橫向大小係小

165年4月6日修正替換頁

於該電極之一最小橫向大小。

8. 如請求項7之記憶體單元，其中該開關元件與該記憶體元件具有一非垂直側壁。
9. 一種用於形成一記憶體單元之方法，其包括：
 形成一開關元件；
 形成與該開關元件串聯之一記憶體元件；及
 改變該開關元件之一最小橫向大小使得該開關元件之該最小橫向大小係不同於該記憶體元件之該最小橫向大小。
10. 如請求項9之方法，其中改變該開關元件之該最小橫向大小包含減少該開關元件之該最小橫向大小使之小於記憶體元件之該最小橫向大小。
11. 如請求項9之方法，其進一步包含減少該記憶體元件之該最小橫向大小使之小於一電極之一最小橫向大小，該電極在一堆疊中對準該開關元件及該記憶體元件。
12. 如請求項9之方法，其進一步包含減少該記憶體元件之該最小橫向大小使之小於開關元件之該最小橫向大小。
13. 如請求項9之方法，其中改變該開關元件之該最小橫向大小包含減少在垂直於該開關元件與該記憶體元件之間的一方向之一平面中之該開關元件之一橫截面積，使得該開關元件之該橫截面積係小於該記憶體元件之該橫截面積。
14. 如請求項13之方法，其進一步包含減少在垂直於該開關元件與該記憶體元件之間的一方向之一平面中之該開關元件與該記憶體元件之一橫截面積。
15. 如請求項9之方法，其中進一步包含減少在垂直於該開關元件與該記憶體元件之間的一方向之一平面中之該記憶體元件之一橫截面積，使得該記憶體元件之該橫截面積係小於該開關元件之

105年4月6日修正替換頁

該橫截面積。

16. 一種用於形成一記憶體單元之方法，其包括：

形成一材料堆疊，該材料堆疊包含複數個電極、一記憶體元件及一開關元件；

藉由一定向型程序，在蝕刻該複數個電極之一部分前蝕刻該開關元件；

藉由一選擇性程序，在蝕刻該複數個電極之該部分前蝕刻該開關元件；

蝕刻該複數個電極之該部分；及

蝕刻該記憶體元件。

17. 如請求項16之方法，其中藉由該選擇性程序蝕刻該開關元件包含蝕刻該開關元件至一最小橫向大小，該開關元件之該最小橫向大小係小於該記憶體元件被蝕刻後之一最小橫向大小。
18. 如請求項16之方法，進一步包括藉由該選擇性程序蝕刻該記憶體元件。
19. 如請求項18之方法，其中藉由該選擇性程序蝕刻該記憶體元件包含蝕刻該記憶體元件至一最小橫向大小，該記憶體元件之該最小橫向大小係小於該開關元件之一最小橫向大小。
20. 如請求項16之方法，其中藉由該定向型程序蝕刻該開關元件包含在一第一方向蝕刻該開關元件以產生該開關元件之一第一橫向大小，且在一第二方向蝕刻該開關元件以產生該開關元件之一第二橫向大小，其中該第一方向垂直於該第二方向。