

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：14103158

※申請日期：94.5.2

※IPC 分類：H01L 21/60

一、發明名稱：(中文/英文)

半導體裝置之製造方法

METHOD FOR MAKING A SEMICONDUCTOR DEVICE

二、申請人：(共1人)

姓名或名稱：(中文/英文)

三洋電機股份有限公司

SANYO ELECTRIC CO., LTD.

代表人：(中文/英文) 桑野幸德 / KUWANO, YUKINORI

住居所或營業所地址：(中文/英文)

日本國大阪府守口市京阪本通2丁目5番5號

5-5, Keihan-Hondori 2-chome, Moriguchi-shi, Osaka, Japan

國籍：(中文/英文) 日本國 / JAPAN

三、發明人：(共3人)

姓名：(中文/英文)

1. 龜山工次郎 / KAMEYAMA, KOUJIRO

2. 鈴木彰 / SUZUKI, AKIRA

3. 岡山芳央 / OKAYAMA, YOSHIO

國籍：(中文/英文)

1. 至 3. 日本國 / JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本國；2004 年 02 月 17 日；特願 2004-040299（主張優先權）

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關半導體裝置之製造方法，特別是有關於控制形成於半導體基板之通孔 9 形狀惡化之蝕刻方法。

【先前技術】

近年來，作為三次元封裝技術，或是作為新的封裝體(package)技術，有一種 CSP(Chip Size Package)受到注目。所謂 CSP，是指具有與半導體晶片外形寸法大致相同尺寸之外形寸法之小型封裝。

一直以來，作為 CSP 之一種，BGA 型半導體裝置為眾所周知。該種 BGA 型半導體裝置，係將由焊錫等金屬材料構成之球狀導電端子以格子狀複數配列於封裝體之一主面上，而與搭載於封裝體另一面上之與半導體晶片電氣連接者。

並且，在將該 BGA 型之半導體裝置組裝入電子機器時，將各導電端子壓著於印刷基板上之配線圖形上，而將半導體晶片與搭載於印刷基板上之外部電路係電氣連接。

該種 BGA 型半導體裝置，與具有在邊緣部突出之引腳之 SOP(Small Outline Package)，QFP(Quad Flat Package)等其他 CSP 型之半導體裝置作比較，可設置多個導電端子，並具有可小型化之優點。該 BGA 型之半導體裝置，具有例如作為搭載於行動電話之數位相機之圖像感測晶片(image sensor chip)之用途。作為此一例，在半導體晶片之一主面上或兩主面上，係例如由玻璃構成之支持板所接

著者。而作為相關聯之技術文獻，有如專利文獻 1 所記載者。

接著，有關在半導體晶片接著 1 枚支持板之情況之 BGA 型半導體裝置之製造方法，參照附圖進行說明如下。

第 7 圖至第 9 圖，係表示可適用於圖像感測晶片之有關以往例之 BGA 型半導體裝置之製造方法之剖面圖。

最初，如第 7 圖所示之在半導體基板 30 上之表面，以矽氧化膜 31 或矽氮化膜，形成鋁層或鋁合金層組成墊電極 (pad electrode) 32。並且，在包括墊電極 32 之半導體基板 30 上，由環氧樹脂層構成之接著劑 33，接著例如由玻璃構成之支持板。

其次，如第 8 圖所示，在墊電極 3 上所對應之半導體基板 30 之背面，形成有開口部之光阻層 (photoresist) 35，以該光阻層為罩膜 (mask)，對半導體基板 30 實施乾蝕刻，並且對矽氧化膜 31 進行蝕刻，形成從半導體基板 30 之背面至墊電極 32 之通孔 (via hole) 36。本製程，對於由矽晶圓構成之半導體基板 30，例如為穿設 $130\ \mu\text{m}$ 深度之開口而採用處理速度較快的快速蝕刻方法 (例如，蝕刻率 $10\ \mu\text{m}/\text{分}$)。

並且，如第 9 圖所示，在包含通孔 36 內之半導體基板 30 之背面，至少經由墊電極 32 之背面所露出之絕緣膜 (圖中未表示)，形成阻障 (barrier) 層 37。並且，在阻障層 37 上，形成電鍍用之籽晶 (seed) 層 38，形成由例如銅 (Cu) 構成之再配線層 39。並且，於再配線層 39 上形成保護層 (圖

中未表示)，在保護層之預定位置設置開口，形成與再配線層 39 接觸之球狀端子 40。

之後，圖中未表示，切斷半導體基板以及其所積層之前述各層，分離各個半導體晶片。這樣，形成了墊電極 32 與球狀端子 40 電氣連接之 BGA 型半導體裝置。

專利文獻 1 專利公表 2002-512436 號公報

發明欲解決之課題

但是，有關前述通孔 36 之形成製程，會有開口形狀惡化之問題存在。即，第 8 圖所示之製程，實際成為如第 10 圖所示之蝕刻形狀。即，在半導體基板 30 上，經由矽氧化膜 31 或矽氮化膜，形成墊電極 32，在從半導體基板 31 之背面向墊電極 32 蝕刻，形成墊電極 32 通孔 36 時，如第 10 圖所示，在通孔底部，以前述矽氧化膜 31 或矽氮化膜阻止蝕刻，在使之過蝕刻(over etching)時，將發生向橫方向之蝕刻(凹口 notch)，使開口形狀惡化。由於該凹口，會如同從前述墊電極 32 上伸出，導致矽氧化膜 31 或矽氮化膜被除去。並且，對於這種形狀之通孔 36a，在形成絕緣膜、再配線層之情況下之附著形態變壞，從而會引起導通不良，與墊電極之連接可靠性低下等問題。

也有不會發生如前所述之蝕刻凹口之蝕刻方法，但是有處理速度極低之缺點(例如，蝕刻速率，為 $5\mu\text{m}/\text{分}$ 以下，有時會在 $2\text{--}1\mu\text{m}/\text{分}$)，其生產性差，不能採用。

於是本案乃提供一種方法，以不極端降低生產性，並控制開口形狀惡化之蝕刻方法為目的。

【發明內容】

課題之解決方法

本發明包括，在半導體基板上介著絕緣膜形成有墊電極之在半導體基板表面接著支持板以覆蓋該墊電極之製程；從前述半導體基板背面到達前述墊電極表面之形成通孔之製程；對於前述半導體基板，使用至少包括 SF_6 與 O_2 之蝕刻氣體，形成直至不露出前述絕緣膜之位置之第 1 開口之製程；對前述半導體基板，使用至少包含 SF_6 與 CF 系氣體之蝕刻氣體，形成直至露出前述絕緣膜位置之第 2 開口之製程為特徵。

並且，具備對從前述第 1 及第 2 開口露出之前述絕緣膜進行蝕刻，形成使前述墊電極露出之通孔之製程為特徵。

再且，具備形成埋入前述通孔而連接於前述墊電極之柱狀端子之製程為特徵。

還具備，形成連接於前述柱狀端之球狀端子之製程。

又具備：自前述柱狀端子延伸至前述半導體基板背面，而形成連接前述柱狀端子與前述球狀端子之再配線層之製程為特徵。

又具備將前述半導體基板分割為多個半導體晶片之製程為特徵。

並且，具有對於前述半導體基板，形成第 1 開口直至不露出前述絕緣膜之位置之第 1 蝕刻製程，對於前述半導體基板，形成第 2 開口直至露出前述絕緣膜位置之第 2 蝕刻製程；而前述第 2 蝕刻製程所使用之交流電壓之頻率比

前述第 1 蝕刻製程所使用之對前述半導體基板所施加之交流電壓之頻率低為特徵。

最後，具有對於前述半導體基板，形成第 1 開口直至不露出前述絕緣膜之位置之第 1 蝕刻製程，對於前述半導體基板，形成第 2 開口直至露出前述絕緣膜位置之第 2 蝕刻製程；前述第 1 及第 2 蝕刻製程中，對前述半導體基板施加交流電壓，前述第 2 蝕刻製程之交流電壓之施加時間相比前述第 1 蝕刻製程之交流電壓之施加時間短為特徵。

發明效果

根據本發明，在通孔之形成時之 Si 晶園構成之半導體基板上形成開口時，由於切換成不同蝕刻氣體，不會極端降低作業性，而可形成開口形狀良好之通孔。

【實施方式】

接著，對根據本發明之半導體裝置之製造方法，參照第 1 圖至第 6 圖進行說明。

第 1 圖至第 6 圖，係可適用於圖像感測晶片的 BGA 型半導體裝置之製造方法之斷面圖。

首先，如第 1 圖所示，在半導體基板 1 上之表面，經由絕緣層，例如矽氧化膜 2 或矽氮化膜，形成由鋁層或鋁合金層構成之墊電極 3。於是，在包含墊電極 3 之半導體基板 1 上，藉由環氧樹脂層構成之接著劑 4，接著例如由玻璃構成之支持板 5。

繼之，在對應墊電極 3 之半導體基板 1 之背面，形成有開口部之光阻層 6，並以該光阻層 6 為罩膜(mask)，對

半導體基板 1 實施乾蝕刻，形成從半導體基板 1 之背面到達墊電極 3 之通孔 9。

首先第 1，如第 2 所示，利用第 1 蝕刻方法，進行高速蝕刻，直至開口之預定深度位置。本製程，至少使用包含 SF_6 與 O_2 等氣體之蝕刻氣體，例如全體形成深度 $130\ \mu\text{m}$ 之開口之情況下，以該第 1 蝕刻，形成 $120\ \mu\text{m}$ 深度之第 1 開口 7。該製程之蝕刻速率，在例如 $10\ \mu\text{m}/\text{分}$ 左右。而第 2 圖之第 1 開口 7，即形成為向兩邊擴張桶狀，也可以為挺直狀。

繼之，如第 3 圖所示，進行第 2 蝕刻方法直至前述開口之殘留深度位置。本製程，至少使用包含 SF_6 和 CF 等氣體（例如 C_2F_6 、 C_4F_8 等）之蝕刻氣體，在第 1 開口 7 所殘留之 $10\ \mu\text{m}$ 深度，形成開口之第 2 開口 8。該製程之蝕刻速率，在例如 $5\ \mu\text{m}/\text{分}$ 左右，根據情況不同，會有 $2\text{--}1\ \mu\text{m}/\text{分}$ 。而第 1、第 2 蝕刻氣體，含例如 Ar 等稀釋氣體為宜。

於是，本實施形態，為使整體具有 $130\ \mu\text{m}$ 深度之開口形成於 Si 晶圓上，具有 2 個製程，以蝕刻速率高的蝕刻條件進行第 1 蝕刻，形成第 1 開口 7，接著以蝕刻速率低的蝕刻條件，進行蝕刻，形成第 2 開口 8，從而控制了作業時間極端變長之問題。本實施形態，藉由在同一蝕刻處理室內切換所供給之蝕刻氣體，而形成前述開口，但本發明並不限定於此，例如可在具有多個蝕刻處理室之同一裝置內進行，也可以就各個蝕刻製程，切換到其他裝置。

並且，如第 4 圖所示，將墊電極 3 上之矽氧化膜 2 予

以蝕刻除去，而形成使墊電極 3 露出之通孔 9。

而前述蝕刻矽氧化膜 2 之除去製程，以前述半導體基板 1 上所形成光阻層 6 為罩膜，除去前述墊電極 3 上之矽氧化膜 2，或是不以前述光阻層 6 為罩膜之蝕刻製程。即在除去光阻層 6 後，以半導體基板 1 為罩膜，除去墊電極 3 上之矽氧化膜 2。

以下，如第 5 圖所示，在包含通孔 9 內之半導體基板 1 之背面形成由氧化膜等構成之絕緣膜(圖中未表示)，在除去墊電極 3 上之絕緣層後，形成全面阻障層 10。該阻障層 10，為例如氮化鈦(TiN)層為宜，如果有鈦(Ti)、鉭(Ta)等高融點金屬或其化合物鎢化鈦(TiW)層、氮化鉭層等，則由氮化鈦層以外之金屬構成亦可。

並且，如第 6 圖所示，在阻障層 10 上形成電鍍用籽晶層 11(例如：Cu 層)，在該籽晶層 11 上進行電鍍處理，例如形成銅(Cu)構成之再配線層 12。而該再配線層 12 可進行圖案化(patterning)，也可不進行圖案化。並且，在再配線層 12 上形成保護層(圖中未表示)，在保護層之預定位位置設置開口，形成與再配線層 12 接觸連接之球狀端子 13。

這裏，作為前述阻障層 10、籽晶層 11 之形成方法，可採用 MOCVD 法，這種情況，會有成本升高之問題產生。這裏，藉由使用較低成本之長拋濺射(long throw sputter)法等指向性濺射法，比通常之濺射法可提高覆蓋性。使用該指向性濺射法，對例如傾斜角度在未滿 90 度時，或是高寬比(aspect ratio)在 3 以上之通孔，也可有良好的覆蓋

性，可形成前述阻障層 10、籽晶層。

之後，圖中未表示，切斷半導體基板以及所積層之前述各層，分離各個半導體晶片。這樣，形成墊電極 3 與球狀端子 13 電氣連接之 BGA 型半導體裝置。

本發明由於不再發生如以往之在開口底部向橫方向之腐蝕(凹口)，從而可控制了向通孔內之絕緣層、阻障層、籽晶層以及再配線層之附著性差之問題的發生，也就不再有導通不良、與墊電極之連接可靠性低下等問題發生。

本實施形態，藉由變更蝕刻氣體以形成第 1 開口 7 與第 2 開口 8，但本發明並不限於此，例如形成第 1 開口 7 至第 1 蝕刻製程，與形成第 2 開口 8 之第 2 蝕刻製程相比，前述第 2 蝕刻製程比前述第 1 蝕刻製程，其使用施加於半導體基板 1 之交流電壓之頻率較低之條件為宜。

有關第 1 及第 2 蝕刻製程，作為乾蝕刻裝置，使用例如感應結合型蝕刻裝置(Inductively Coupled Plasma Etching Machine)。半導體基板 1 載置於來自交流電源之交流電壓所施加之台(table)。該交流電壓之頻率於第 1 蝕刻製程為 13.56MHz，第 2 蝕刻製程則減低至 400KHz 來降低蝕刻速率，可控制以往之凹口(notch)之發生。

而如前述之變更交流電壓之頻率之方法之外，還可將前述第 2 蝕刻製程之交流電壓施加時間，比前述第 1 蝕刻製程之交流電壓施加時間短，也可防止凹口的發生。具體而言，第 1 以及第 2 蝕刻製程，採用間歇地控制交流電源的導通，間歇地向半導體基板 1 施加交流電壓。即在交流

電源接通期間，由於交流電壓施加於半導體基板 1 上，在蝕刻裝置內產生離子。而在交流電源切斷期間，交流電壓未施加於半導體基板 1 上，從而停止離子之產生。將交流電源之接通/切斷控制週期性反復進行。例如，第 1 蝕刻製程之交流電壓之施加時間為 100%，則第 2 蝕刻製程之交流電壓之施加時間則設定短 10%。這樣，第 2 蝕刻製程比第 1 蝕刻製程，蝕刻速率低減，因此可控制如以往之凹口之發生。

該第 2，第 3 實施形態中，第 1，第 2 之蝕刻製程，未變更蝕刻氣體，但也可在變更蝕刻氣體之同時，變更交流電壓之頻率，或是調整交流電壓之施加時間亦可。

本實施形態，再配線層 12 係以電鍍處理所形成，但並非僅限於此，例如不形成電鍍用之籽晶層 11，而採用電鍍處理以外的方法，也可形成再配線層 12。例如，採用濺射形成之鋁或是其合金構成之層。

本實施形態係將球狀端子 13 作為適用於所形成之半導體裝置進行說明，但本發明並不限制與此，例如，半導體基板如果有貫通之通孔形成，則也可適用於未形成球狀端子之半導體裝置，適用於例如 LGA(Land Grid Array)型之半導體裝置。

【圖式簡單說明】

第 1 圖係有關本發明之實施形態之半導體裝置之製造方法之剖面圖。

第 2 圖係有關本發明之實施形態之半導體裝置之製造

方法之剖面圖。

第 3 圖係有關本發明之實施形態之半導體裝置之製造方法之剖面圖。

第 4 圖係有關本發明之實施形態之半導體裝置之製造方法之剖面圖。

第 5 圖係有關本發明之實施形態之半導體裝置之製造方法之剖面圖。

第 6 圖係有關本發明之實施形態之半導體裝置之製造方法之剖面圖。

第 7 圖係表示以往之半導體裝置之製造方法之剖面圖。

第 8 圖係表示以往之半導體裝置之製造方法之剖面圖。

第 9 圖係表示以往之半導體裝置之製造方法之剖面圖。

第 10 圖係用於對以往之半導體裝置之製造方法之問題點進行說明之示意圖。

【主要元件符號說明】

1	半導體基板	2	矽氧化膜
3	墊電極	4	接著劑
5	支持板	6	光阻層
7	第 1 開口	8	第 2 開口
9	通孔(bare hole)	10	阻障層
11	籽晶(seed)層	12	再配線層

13	球狀端子	30	半導體基板
31	矽氧化膜	32	墊電極
33	接著劑	34	支持板
35	光阻劑	36	通孔(via hole)

五、中文發明摘要：

本發明提供一種不極端降低生產性，控制開口形狀惡化之蝕刻方法。

本發明係有關在半導體基板(1)上具有介著矽氧化膜(2)所形成之墊(PAD)電極(3)之前述半導體基板(1)之表面接著支持板(5)而覆蓋該墊電極(3)之製程、以及從前述半導體基板(1)之背面到達前述墊電極(3)表面之形成通孔(via hole)(9)之製程，具備對於前述半導體基板(1)，使用至少含有 SF_6 以及 O_2 之蝕刻氣體，蝕刻至不露出前述矽氧化膜(2)之位置以形成第 1 開口(7)之製程、以及對於前述半導體基板(1)，使用至少含有 C_4F_8 以及 SF_6 之蝕刻氣體，蝕刻至不露出前述矽氧化膜(2)之位置以形成第 2 開口(8)之製程。

六、英文發明摘要：

This invention provides an etching method capable of suppressing a deterioration of the shape of the opening without hindering the productivity.

The method of this invention comprises the steps of: bonding a support plate (5) on the surface of the semiconductor substrate (1) to cover a pad electrode (3) which is formed on the semiconductor substrate (1) with a silicon oxide film (2) disposed therebetween, and forming a via hole (9) from the backside of the semiconductor substrate (1) to reach the surface of the pad electrode (3), characterized in that the method also comprises: forming a first opening (7) to the position where the silicon oxide film (2) is not exposed by using an etching gas, with respect to the semiconductor substrate (1), containing at least SF_6 and O_2 , and forming a second opening (8) to the position where the silicon oxide film (2) is exposed by using an etching gas, with respect to the semiconductor substrate (1), containing at least C_4F_8 and SF_6 .

十、申請專利範圍：

1. 一種半導體裝置之製造方法，該製造方法具有：

在半導體基板上介著絕緣膜形成有墊電極之半導體基板表面接著支持板以覆蓋該墊電極之製程、以及從前述半導體基板之背面到達前述墊電極表面之形成通孔之製程；

對前述半導體基板，使用至少包含 SF_6 與 O_2 之蝕刻氣體，形成第 1 開口直至不露出前述絕緣膜位置之製程、對前述半導體基板，使用至少包含 SF_6 與 CF 系之蝕刻氣體，形成第 2 開口直至露出前述絕緣膜位置之製程。

2. 一種半導體裝置之製造方法，該製造方法具有：

在半導體基板上介著絕緣膜形成有墊電極之半導體基板表面接著支持板以覆蓋該墊電極之製程、以及從前述半導體基板之背面到達前述墊電極表面之形成通孔之製程；

對前述半導體基板，形成第 1 開口直至不露出前述絕緣膜位置之第 1 蝕刻製程、對前述半導體基板，形成第 2 開口直至露出前述絕緣膜位置之第 2 蝕刻製程、前述第 2 蝕刻製程之施加於前述半導體基板之交流電壓之頻率比前述第 1 蝕刻製程者低。

3. 一種半導體裝置之製造方法，該製造方法具有：

在半導體基板上介著絕緣膜形成有墊電極之半導體基板表面接著支持板以覆蓋該墊電極之製程、以及從

前述半導體基板之背面到達前述墊電極表面之形成通孔之製程；

對前述半導體基板，形成第 1 開口直至不露出前述絕緣膜位置之第 1 蝕刻製程、對前述半導體基板，形成第 2 開口直至露出前述絕緣膜位置之第 2 蝕刻製程、前述第 1 及第 2 蝕刻製程中，將交流電壓施加於前述半導體基板，前述第 2 蝕刻製程之交流電壓之施加時間比第 1 蝕刻製程之交流電壓之施加時間短。

4. 如申請專利範圍第 1、2、3 項中任一項之半導體裝置之製造方法，具備

對從前述第 1 及第 2 開口露出之前述絕緣膜進行蝕刻，而形成使前述墊電極露出之通孔之製程。

5. 如申請專利範圍第 4 項之半導體裝置之製造方法，其中，

對前述絕緣膜進行蝕刻，形成使前述墊電極露出之通孔之製程，係以在蝕刻前述半導體基板時所使用之光阻層作為罩膜，而蝕刻前述絕緣膜。

6. 如申請專利範圍第 4 項之半導體裝置之製造方法，其中，

對前述絕緣膜進行蝕刻，形成使前述墊電極露出之通孔之製程，係不使用以前述光阻層為罩膜之蝕刻製程。

7. 如申請專利範圍第 4 項之半導體裝置之製造方法，其中具備：

形成連接於埋藏於前述通孔之前述墊電極之柱狀端子之製程。

8. 如申請專利範圍第 7 項之半導體裝置之製造方法，其中具備：

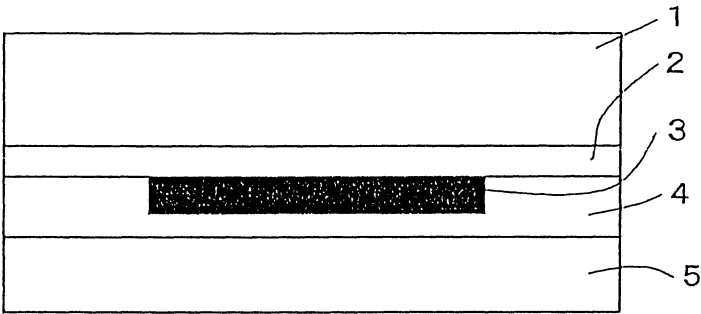
形成連接於前述柱狀端子之球狀端子之製程。

9. 如申請專利範圍第 8 項之半導體裝置之製造方法，其中具備：

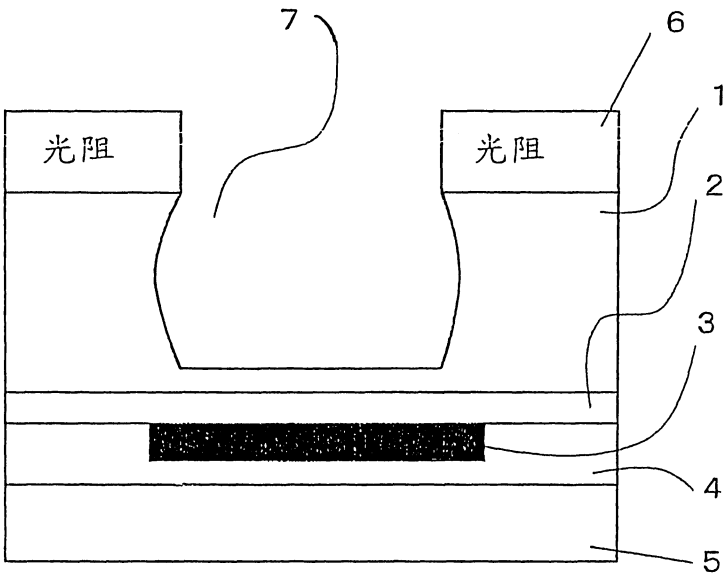
形成從前述柱狀端子延伸於前述半導體基板背面，以連接前述柱狀端子與前述球狀端子之再配線層之製程。

10. 如申請專利第 1、2、3 項任一項之半導體裝置之製造方法，其中具備：

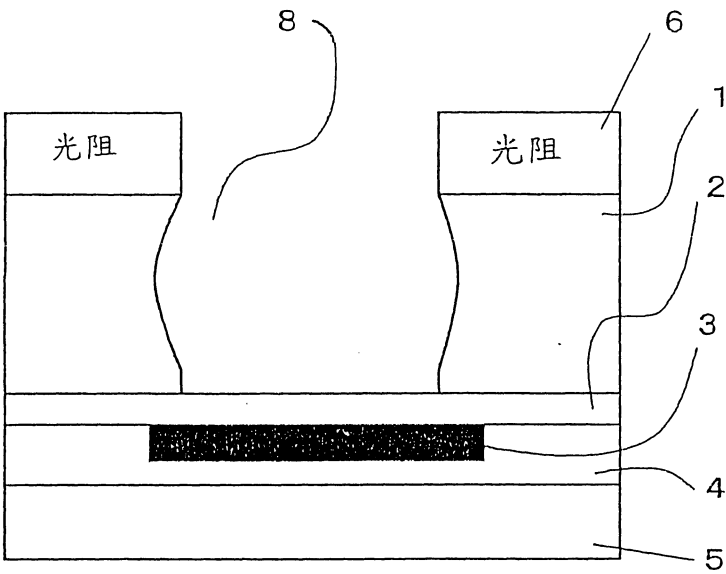
將前述半導體基板分割為多個半導體晶片之製程。



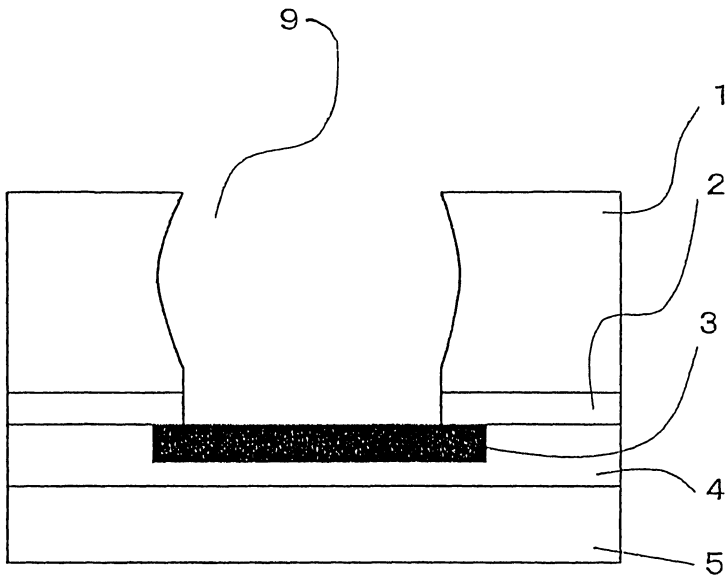
第 1 圖



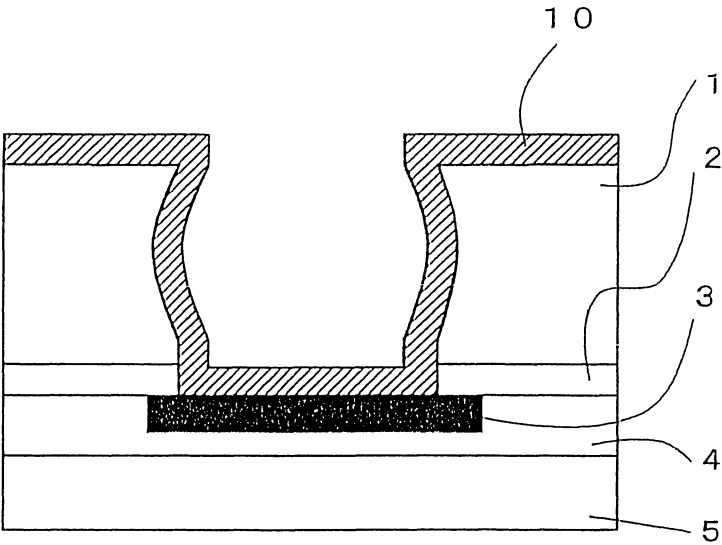
第 2 圖



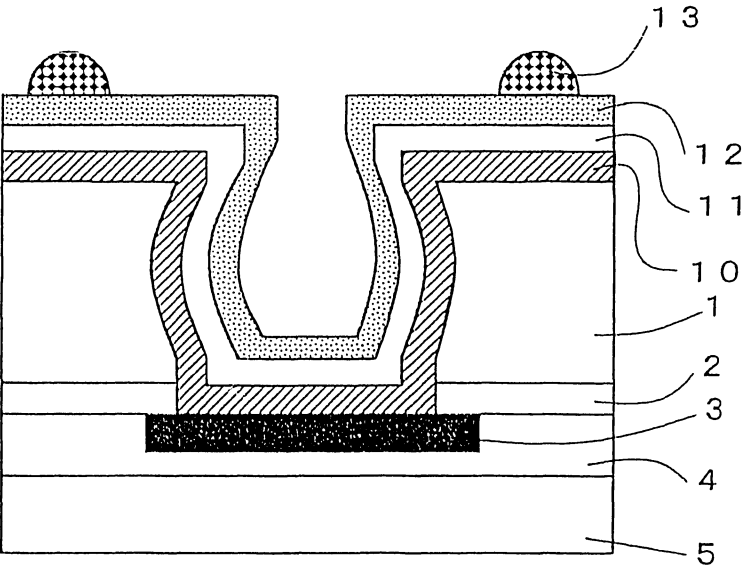
第 3 圖



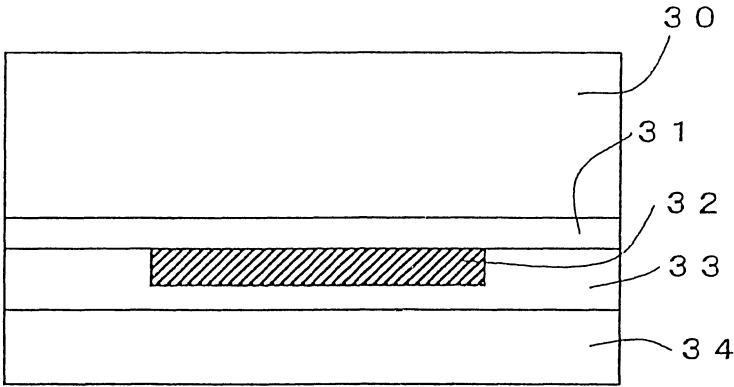
第 4 圖



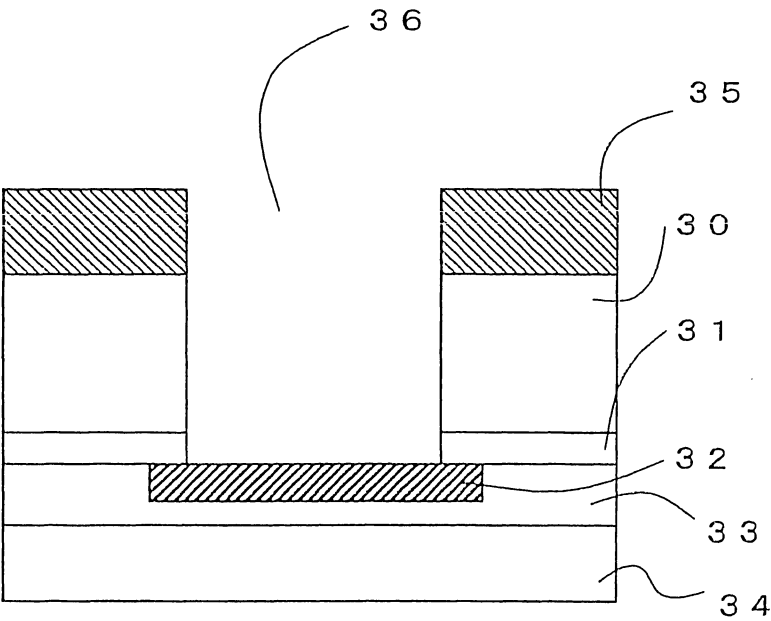
第 5 圖



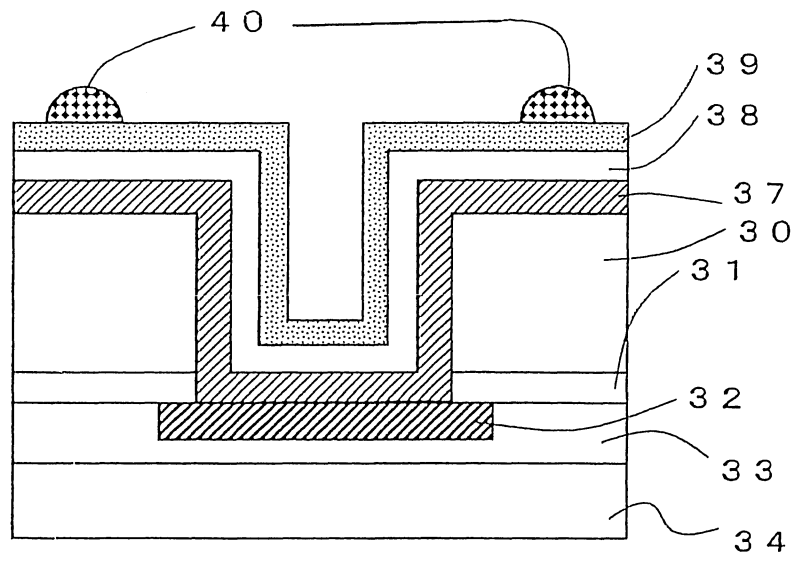
第 6 圖



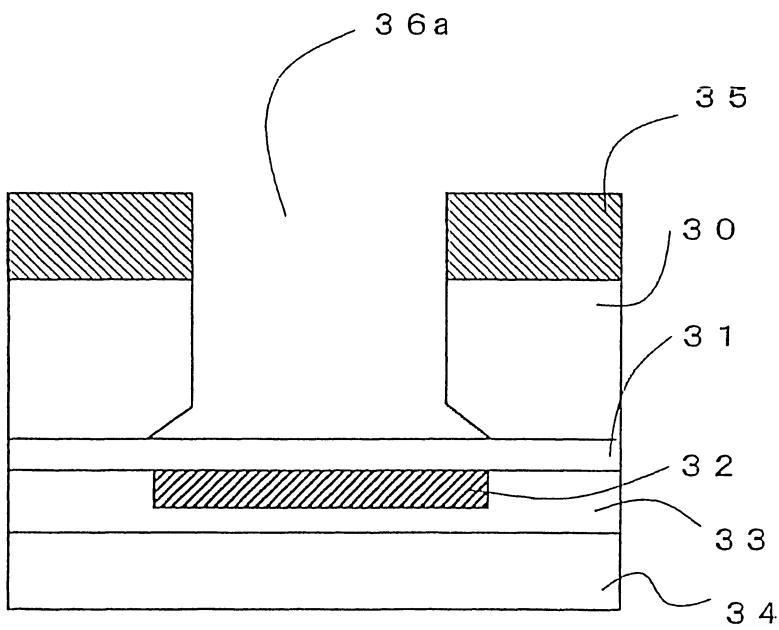
第 7 圖



第 8 圖



第 9 圖



第 10 圖

七、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

1	半導體基板	2	矽氧化膜
3	墊電極	4	接著劑
5	支持板	6	光刻膠層
7	第 1 開口	8	第 2 開口
9	通孔(via hole)	10	阻障層
11	籽晶(seed)層	12	再配線層
13	球狀端子		

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：