



**URZĄD  
PATENTOWY  
PRL**

Patent dodatkowy  
do patentu nr \_\_\_\_\_

Int. Cl.<sup>3</sup> H04S 1/00  
H04H 5/00

Zgłoszono: 80 06 13 (P. 224941)

Pierwszeństwo \_\_\_\_\_

Zgłoszenie ogłoszono: 81 12 24

Opis patentowy opublikowano: 1985 07 30

**Twórcy wynalazku:** Jerzy Zając, Leon Widermański, Edward Stolarski,  
Jan Lesiński

**Uprawniony z patentu:** Instytut Technologii Elektronowej,  
Warszawa (Polska)

### **Sposób i urządzenie do oceny właściwości funkcjonalnych stereodekoderów scalonych z pętlą PLL**

Przedmiotem wynalazku jest sposób i urządzenie służące do oceny właściwości funkcjonalnych stereodekoderów scalonych z pętlą PLL, a w szczególności działania bloków generatora, dzielnika częstotliwości oraz separacji kanałów. Stereodekoder scalony z pętlą PLL przeznaczony jest do dekodowania złożonego sygnału stereofonicznego na sygnały kanałów lewego i prawego w odbiornikach radiowych stereofonicznych. Dla oceny jakości stereodekodera powinna być określona zdolność rozdzielenia sygnału m. cz. pomiędzy kanały lewy i prawy, co jest podstawą uzyskiwania efektu stereofonicznego.

W procesie produkcji układów scalonych badanie struktur tych układów na płytkach dokonuje się za pomocą testerów parametrów statycznych drogą połączenia testera z badanym układem scalonym za pomocą sondy wieloostrzowej. W zespole parametrów statycznych brak jest takiego parametru, który mógłby nieść w sobie informację o spełnianiu przez układ scalony stereodekodera separacji kanałów. W wyniku tego wiele struktur układów scalonych ocenionych po pomiarach ostrzowych jako dobre jest montowanych w obudowy, po czym po powtórnych ich zmierzeniu w sposób dynamiczny, są kwalifikowane jako braki. Powoduje to duże straty materiałowe i ujemne skutki ekonomiczne.

Celem wynalazku jest wyeliminowanie niedogodności związanych ze stosowaniem w procesie pomiarów ostrzowych tylko testów statycznych oraz umożliwienie wykorzystania testera parametrów statycznych do oceny właściwości funkcjonalnych stereodekodera.

Istotą sposobu jest synchroniczna praca testera i układu scalonego. Bloki funkcjonalne układu scalonego, będące przedmiotem oceny, mają wówczas w określonych przedziałach czasu ściśle określone stany elektryczne. Umożliwia to badanie funkcji przełączającej obwodu dekodującego, bezpośrednio na wyjściu kanałów lewego i prawego. Dokonuje się tego za pomocą testera parametrów statycznych ze stałą sekwencją testów.

Sposób według wynalazku stosuje skojarzenie układu scalonego, testera i urządzenia do badań funkcjonalnych sterowanych przez sekwencję programu pomiarowego testera. Blok decyzyjny zawiera sterowany klucz elektroniczny oraz układy czasowe, wytwarzające impulsy do sterowania

tym kluczem. Ponadto zawiera on sterowane przełączniki, dołączające wyprowadzenia układu scalonego do testera, urządzenia do badań funkcjonalnych i dodatkowo zasilacza.

Urządzenie według wynalazku umożliwia łatwe sprawdzenie podstawowej własności stereodekodera jaką jest separacja kanałów, już na etapie pomiaru struktur układów scalonych. Do badań stosuje się dostępną aparaturę pomiarową, jak tester oraz proste urządzenie dodatkowe. To ostatnie może być wykonane z łatwo dostępnych podzespołów. Metoda pomiaru nie wymaga budowy urządzenia automatycznego specjalizowanego, a stosowanie jej na wczesnym etapie procesu wytwarzania układu scalonego obniża znacznie koszty wytwarzania samego układu. Metoda może być z powodzeniem stosowana przy pomiarach wielkoseryjnych.

Przykład wykonania według wynalazku został przedstawiony na rysunku, którego fig. 1 przedstawia schemat ideowy urządzenia, a fig. 2 — przebiegi napięć, występujących w układzie scalonym podczas przeprowadzania jego badań.

Urządzenie do oceny właściwości funkcjonalnych stereodekoderów sterowane jest sygnałami stałoprądowymi, pochodzącymi z testera **T** i będącymi wynikiem działania programu pomiarowego. Sygnały te podawane są na blok wejściowy **BW** urządzenia, którego podbloki **W1**, **W2** i **W3** służą do dopasowania poziomów napięć i zmniejszenia wrażliwości urządzenia na zakłócenia. Podblok **W1** steruje układem czasowym **I1**, który opóźnia działanie bloków wykonawczego **ST** i decyzyjnego **BD** o odcinek czasu, w którym mogą się pojawić stany nieustalone testera i urządzenia. Podbloki **W2** i **W3** sterują podblokiem pamiętającym **M**, który zapamiętuje stan włączenia lub wyłączenia urządzenia. Włączenie następuje wtedy, gdy pojawi się sygnał sterujący na wejściu podbloku **W2**.

Układ czasowy **I1** uruchamia układy czasowe **I2** i **I3** bloku wykonawczego **ST** oraz **I4** bloku decyzyjnego **BD**. Układ **I2** generuje impuls o długim czasie trwania, a układ **I3** o krótkim czasie trwania. Jeden z tych impulsów wybrany przez synchroniczne przełączniki elektroniczne **PE1** i **PE2** podawany jest na układ sterujący **S5**, który zamyka klucz elektroniczny **K**. Przełączniki **PE1** i **PE2** sterowane są przez podblok przełączający **D** bloku decyzyjnego **BD**. Stan podbloku **D** zależy od sekwencji stanów podbloku wejściowego **W4** i układu czasowego **I4**. Podblok **W4** połączony jest przez przełącznik bloku **P** z wyprowadzeniem testowym **11** (19 kHz) układu **U** i jego zadaniem jest dopasowanie poziomów i eliminacja zakłóceń.

Układ czasowy może generować impuls po otrzymaniu zezwolenia z podbloku **Z**. Klucz **K** połączony jest przez układ formujący **SG** oraz przełącznik bloku przełączników z wyprowadzeniem **15** generatora wewnętrznego **G** układu scalonego **U**. Układ formujący **SG** ustala stałą czasową generatora **G** i odpowiednią polaryzację jego wyprowadzenia. Blok przełączników **P** łączy wyprowadzenia układu **U** z urządzenia lub z testerem, przełączniki sterowane są przez podblok wejściowy **M** lub podblok zezwalający **Z**. Dodatkowy zewnętrzny zasilacz **ZZ** zapewnia ciągłość zasilania układu **U** w trakcie badania, po załączeniu urządzenia.

Praca urządzenia przebiega w trzech kolejno następujących po sobie cyklach. Cykl załączania i synchronizacji, taktowania i wyłączania.

W cyklu załączania i synchronizacji sygnały sterujące testera doprowadzone są do podbloków **W1** i **W2**. Powoduje to przełączenie przełączników bloku **P** w pozycję przeciwną niż na fig. 1 rysunku i zapamiętanie sygnału sterującego **W2** w pamięci **M**. Sygnał wyjściowy z podbloku **W1** uruchamia układ czasowy **I1**, który po opóźnieniu uruchamia układy czasowe **I2**, **I3** i **I4**. Układ **I3** generuje impuls, ponieważ otrzymał zezwolenie z podbloku **Z**. Równocześnie generowane są impulsy przez układy **I2**, **I3**. Długi impuls z **I2** podany przez przełącznik **PE1** i odpowiednio przekształcony uruchamia generator wewnętrzny **G** układu **U**. Układ czasowy **I4** blokuje w początkowym okresie podblok **D** nie pozwalając na zmianę jego stanu i zmianę stanu przełączników **PE1** i **PE2**. Sygnał z wyjścia testowego 19 kHz układu **U** podany jest przez podblok **W4**, który dopasowuje poziomy i eliminuje zakłócenia na podbloku **D**. Zmiana stanu **D** następuje po ustaniu blokowania przez **I4** w chwili gdy wystąpi zbocze opadające impulsu na wejściu **W4**. Następuje wtedy przełączenie przełączników **PE1** i **PE2** i zatrzymanie generatora **G**. Układ **U** został zasynchronizowany.

W trakcie cyklu taktowania testor **T** wysterowuje tylko układ wejściowy **W1**. Pamięć **M** pamięta stan z cyklu synchronizacji, a wyprowadzenie testowe układu **U** jest odłączone od układu wejściowego **W4**. Układ czasowy **I1** uruchamia układy czasowe **I2**, **I3** i **I4**. Krótki impuls z układu **I3**

powoduje uruchomienie generatora **G** na czas jednego okresu, co powoduje zmiany stanów na wyprowadzeniach układu **U**, przedstawiona na fig. 2 rysunku. Poziomy i relacje czasowe napięć na wyprowadzeniach układu **U** są kontrolowane przez połączony z nim tester **T**. W szczególności interesujące są stany wyjść kanałów **4** i **5** oraz wyprowadzenia testowe 19 kHz **11**. Cykl testowania jest wielokrotnie powtarzany.

W trakcie cyklu wyłączania tester **T** wysterowuje tylko układ wejściowy **W1**, co powoduje zmianę stanu pamięci **M** i odłączenie układu **U** od urządzenia. Po tym cyklu są przeprowadzone testy nie wymagające współpracy z urządzeniem i dokonana zmiana układu **U**.

### Z a s t r z e ż e n i a   p a t e n t o w e

1. Sposób oceny właściwości funkcjonalnych układów scalonych stereodekoderów z pętlą PLL, umożliwiający kontrolę poprawności sekwencji napięć przełączających na wyprowadzeniach układu za pomocą testera parametrów statycznych, **znamienny tym**, że układ synchronizuje się uruchomieniem wewnętrznego stereodekodera do momentu wystąpienia wyróżniającego się stanu układu, a następnie taktuje się wielokrotnie układ oraz sprawdza poziomy i relacje czasowe napięć na jego wyprowadzeniach, przy czym pętla PLL sterowana jest przez klucz elektroniczny, który uruchamia generator podczas synchronizacji na czas znacznie dłuższy, a podczas taktowania na czas krótszy niż okres drgań generatora, zaś układ zasila się nieprzerwanie z wysterowaniem wejścia prądem stałym i zasymulowaniem pracy stereo, przy czym wpływ stanów nieustalonych układu eliminuje się przez opóźnienie zadziałania bloku decyzyjnego.

2. Urządzenie do oceny właściwości funkcjonalnych układów scalonych stereodekoderów z pętlą PLL, współpracujące z testerem i badanym układem, **znamiennie tym**, że sterowane jest przez tester (**T**) i przyłączone przez zespół przełączników (**P**) do badanego układu (**U**), przy czym tester (**T**) jest połączony przez urządzenie wejściowe (**BW**) z blokiem wykonawczym (**ST**), który steruje kluczem elektronicznym (**K**), a czas zamknięcia klucza (**K**) określa połączony z układem (**U**) przez przełącznik zespołu (**P**) blok decyzyjny (**BD**), zaś między odpowiednim przełącznikiem zespołu (**P**), a kluczem (**K**) umieszczony jest blok czasowy (**SG**) ustalający okres drgań generatora wewnętrznego (**G**) układu.

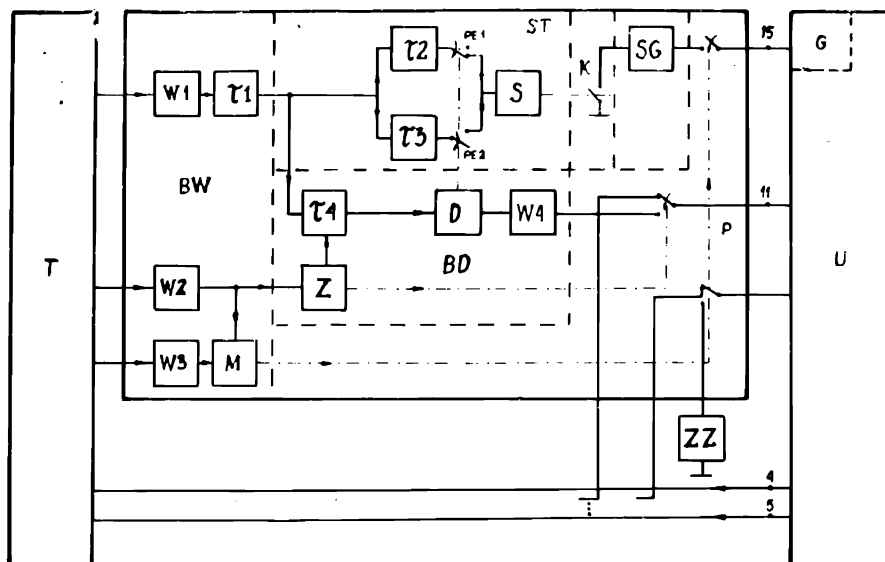


Fig. 1

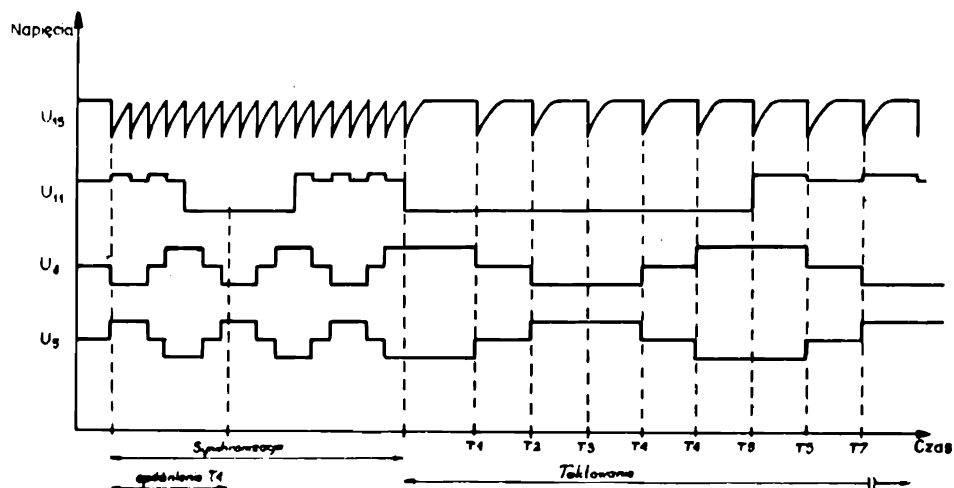


Fig. 2