(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3636502号
(P3636502)
(45)発行日　平成17年4月6日(2005.4.6)　(24)登録日　平成17年1月14日(2005.1.14)

(51)Int.Cl.[7]　F I
H01L 21/60　H01L 21/92　602N
H01L 21/822　H01L 27/04　E
H01L 27/04

請求項の数 4　(全 7 頁)

(21)出願番号　特願平7-99091
(22)出願日　平成7年4月25日(1995.4.25)
(65)公開番号　特開平8-293511
(43)公開日　平成8年11月5日(1996.11.5)
審査請求日　平成14年3月1日(2002.3.1)

(73)特許権者　000001960
シチズン時計株式会社
東京都西東京市田無町六丁目１番１２号
(72)発明者　池上　知巳
埼玉県所沢市大字下富字武野８４０番地
シチズン時計株式会社技術研究所内
(72)発明者　佐瀬　正弘
東京都田無市本町６丁目１番１２号　シチズン時計株式会社田無製造所内
(72)発明者　市川　雅一
東京都田無市本町６丁目１番１２号　シチズン時計株式会社田無製造所内
(72)発明者　新田　達夫
東京都田無市本町６丁目１番１２号　シチズン時計株式会社田無製造所内
最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】
【請求項１】
回路基板にバンプを介して実装するためのパッドを内包するマクロセルを複数並列に配置して形成するマクロブロックを有する半導体装置において、マクロブロックを構成する隣り合うマクロセルの前記パッドの向きを相反する向きに配置すると共に、前記マクロセルは電子回路の集まりである内部回路を内包することを特徴とする半導体装置。
【請求項２】
当該半導体装置の全面に分布するバンプを介して前記回路基板に接合する接合箇所に対応する前記パッドの列であるパッド列を３つ以上有することを特徴とする請求項１に記載の半導体装置。
【請求項３】
前記パッド列のうちの２列は前記マクロセルが内包するパッドによるパッド列であることを特徴とする請求項２に記載の半導体装置。
【請求項４】
更に、前記マクロセルに含まれない回路で構成する回路ブロックを設けることを特徴とする請求項１乃至３の何れかに記載の半導体装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、パッドを内包するマクロセルを複数並列に配置する半導体装置に関する。

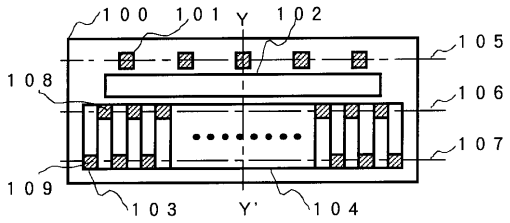
【０００２】
【従来の技術】
図３は従来例でのパッドを内包するマクロセルを複数並列に配置する半導体装置を示すレイアウト図である。
【０００３】
図３に示す従来例の半導体装置３００は、周辺パッド３０１と、パッドを内包するマクロセル３０３を同一方向に並べて配置するマクロブロック３０４と、マクロセル３０３に含まれない回路で構成する回路ブロック３０２とを設けている。また従来例の半導体装置３００のパッド配列は、周辺パッド３０１の並びを示す周辺パッドのパッド列３０５と、マクロセル３０３に内包するパッドの並びを示すマクロブロック３０４のパッド列３０６とからなる。
【０００４】
図７は従来例の半導体装置３００を回路基板に実装する様子を示す断面図である。
【０００５】
図７に示す断面図は、半導体装置３００を回路基板７００にバンプ７０１を介して実装し、半導体装置３００のＹ－Ｙ’軸に沿った断面図である。
【０００６】
バンプ７０５は図３に示す周辺パッドのパッド列３０５に対応するバンプ７０１を示し、バンプ７０６はマクロセルブロック３０４のパッド列３０６に対応するバンプ７０１を示している。
【０００７】
図７に示す断面図から明らかなように、半導体装置３００がバンプ７０１を介して回路基板７００に接合する際、接合箇所が半導体装置３００の両端のみであるために機械的な強度が得られなくなり、半導体装置３００と回路基板７００とが剥がれたり接続不良を起こすことがある。
【０００８】
図４は従来例の半導体装置内のマクロブロックの一部の配置を示すレイアウト図である。
【０００９】
図４に示す従来例のマクロブロックの配置は２つのマクロセルを並列に配置する例であり、第１のマクロセル４００は、電子回路の集まりである第１の内部回路４０６と、第１の内部回路４０６の信号を外部に取り出すための第１のパッド４０２と、第１の内部回路４０６と第１のパッド４０２とを電気的に接続するための第１のパッド配線４０４とを内包する。
【００１０】
さらに、第２のマクロセル４０１は、電子回路の集まりである第２の内部回路４０７と、第２の内部回路４０７の信号を外部に取り出すための第２のパッド４０３と、第２の内部回路４０７と第２のパッド４０３とを電気的に接続するための第２のパッド配線４０５とを内包する。
【００１１】
そして第１のマクロセル４００と第２のマクロセル４０１とは、第１のパッド４０２と第２のパッド４０３とを並列にかつ隣接するように配置している。
【００１２】
図５は隣接するパッド同士のパッド間の間隔を規定する図である。
【００１３】
図５に示すパッド間の規定図は、第１のパッド５０１と、第１のパッド５０１上に形成する第１のバンプ５０３と、第２のパッド５０２と、第２のパッド５０２上に形成する第２のバンプ５０４とを配置するとき、異なる信号を扱う第１のバンプ５０３と第２のバンプ５０４とがショートすることがないように、パッド間スペース５００を設け、第１のパッド５０１と第２のパッド５０２とを一定の距離をおいて配置しなければならないことを示している。

【００１４】
従って図４に示す第１のマクロセル４００と第２のマクロセル４０１とを並べて配置するとき、図５に示す制約から、マクロセル同士を並べて配置するときの間隔が広がってしまうこととなり、図３のマクロセル３０３が大きくなるとともに、マクロブロック３０４がマクロセル３０３の並ぶ方向に沿って肥大化し、面積が大きくなってしまう。
【００１５】
【発明が解決しようとする課題】
上記記載の説明からも明らかなように、パッドを内包するマクロセル３０３を複数並列に配置してマクロブロック３０４とし、マクロセル３０３を隣接して配置し半導体装置を形成するとき、パッドの間隔を規定する一定の距離を保たなければならず、マクロセル３０３の配置する間隔を狭めることができないという課題がある。
【００１６】
また半導体装置を回路基板に実装する際、それぞれのバンプを形成するパッド列が半導体装置の両端のみに存在し、それによって半導体装置を回路基板に支持しなければならないため、外部からの力に弱くなってしまい機械的な強度が得られないという課題がある。
【００１７】
本発明の目的は、上記課題を解決して、マクロセルを一方向に並べて配置するときマクロブロックおよび半導体装置の面積が増大することなく、また半導体装置を回路基板に実装する際、半導体装置に有するパッド列を３つ以上設けることにより機械的な強度の強い半導体装置を提供することである。
【００１８】
【課題を解決するための手段】
上記の課題を解決するために、本発明における半導体装置は下記に記載する構成とする。
【００１９】
すはなち、パッドを内包するマクロセルを複数並列に配置して形成するマクロブロックからなる半導体装置において、内包するパッドが隣接することのないよう、隣り合うマクロセルのパッドの向きを逆向きに配置する。
【００２０】
【作用】
隣り合うマクロセルのパッドの向きを反対に配置しマクロブロックを形成することとする。
【００２１】
その結果、マクロセルの複数並列に配置するとき、パッド間隔の規定に制限されることなく近傍に配置することができことからマクロブロックを小さくすることができ、それに伴い半導体装置の面積を小さくすることができることができる。
【００２２】
さらに、半導体装置の実装面に３つ以上のパッド列を持つことができるため、半導体装置を回路基板に実装し支持する際、密着性を高めて機械的な強度を得ることができる。
【００２３】
【実施例】
図１は本発明でのパッドを内包するマクロセルを複数並列に配置する半導体装置を示すレイアウト図である。
【００２４】
図１に示す本発明の半導体装置１００は、周辺パッド１０１と、パッドを内包するマクロセル１０３と、そのマクロセル１０３を同一方向に並べて作成するマクロブロック１０４と、マクロセル１０３に含まれない回路で構成する回路ブロック１０２とを設けている。また本発明の半導体装置１００のパッド配列は、周辺パッド１０１の並びを示す周辺パッドのパッド列１０５と、マクロブロック１０４が内包する第１のパッド１０８の並びを示す第１のパッド列１０６と、マクロブロック１０４が内包する第２のパッド１０９の並びを示す第２のパッド列１０７とからなる。

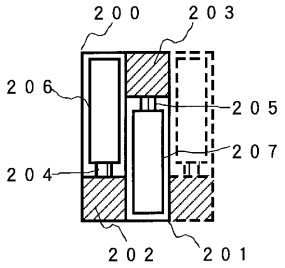
【００２５】
図６は本発明の半導体装置１００を回路基板に実装する様子を示す断面図である。
【００２６】
図６に示す断面図は、半導体装置１００を回路基板６００にバンプ６０１を介して実装し、半導体装置１００のＹ－Ｙ’軸に沿った断面図である。
【００２７】
バンプ７０５は図１に示す周辺パッドのパッド列１０５に対応するバンプ６０１を示し、バンプ７０６はマクロセルブロック１０４の第１のパッド列１０６に対応するバンプ６０１を示し、バンプ７０７はマクロセルブロック１０４の第２のパッド列１０７に対応するバンプ６０１を示している。
【００２８】
図６に示す断面図から明らかなように、半導体装置１００がバンプ６０１を介して回路基板６００に接合する際、接合箇所が３つのバンプ７０５～７０７によって半導体装置１００の全面に分布することから、半導体装置１００と回路基板６００との密着性が増し、剥がれたり接続不良を起こすことがなく、機械的な強度を得ることができる。
【００２９】
図２は本発明において半導体装置のマクロブロックの一部の配置を示すレイアウト図である。
【００３０】
図２に示す本発明のマクロブロックの配置は２つのマクロセルを並列に配置する例であり、第１のマクロセル２００は、電子回路の集まりである第１の内部回路２０６と、第１の内部回路２０６の信号を外部に取り出すための第１のパッド２０２と、第１の内部回路２０６と第１のパッド２０２とを電気的に接続するための第１のパッド配線２０４とを内包する。
【００３１】
さらに、第２のマクロセル２０１は、電子回路の集まりである第２の内部回路２０７と、第２の内部回路２０７の信号を外部に取り出すための第２のパッド２０３と、第２の内部回路２０７と第２のパッド２０３とを電気的に接続するための第２のパッド配線２０５とを内包する。
【００３２】
そして第１のマクロセル２００と第２のマクロセル２０１のそれぞれが内包する第１のパッド２０２と第２のパッド２０３とが隣接しないように、それぞれのパッドの向きを逆向きに配置している。
【００３３】
図５は隣接するパッド同士のパッド間の間隔を規定する図である。
【００３４】
図５に示すパッド間の規定図は、第１のパッド５０１と、第１のパッド５０１上に形成する第１のバンプ５０３と、第２のパッド５０２と、第２のパッド５０２上に形成する第２のバンプ５０４とを配置するとき、異なる信号を扱う第１のバンプ５０３と第２のバンプ５０４とがショートすることがないように、パッド間スペース５００を設け、第１のパッド５０１と第２のパッド５０２とを一定の距離をおいて配置しなければならないことを示している。
【００３５】
従って図２に示す第１のマクロセル２００と第２のマクロセル２０１とを並べて配置するとき、第１のパッド２０２と第２のパッド２０３とが逆向きになるように配置することにより、図５に示す制約を容易に満たして第１のマクロセル２００と第２のマクロセル２０１とを密に配置することができ、かつ図１に示すマクロセル１０３を小さく設計でき、さらにマクロブロック１０４がマクロセル１０３の複数並列に配置する間隔を狭めることができる。
【００３６】

【発明の効果】
上記記載の説明からも明らかなように、パッドを内包するマクロセルを複数並列に配置してマクロブロックとし半導体装置を形成するとき、おのおののマクロセルの内包するパッドの向きを逆にするように配置することで、マクロブロックおよび半導体装置の面積効率を高めるという効果がある。
【００３７】
また半導体装置を回路基板に実装する際、接合箇所が半導体装置の全面に分布することから、半導体装置と回路基板との密着性が増し、剥がれたり接続不良を起こすことがなく、機械的な強度を得ることができるという効果がある。
【図面の簡単な説明】
【図１】本発明の実施例における半導体装置の構成を示すレイアウト図である。
【図２】本発明の実施例における半導体装置に使用するマクロセルの配置を示すレイアウト図である。
【図３】従来の半導体装置における構成を示すレイアウト図である。
【図４】従来の半導体装置に使用するマクロセルの配置を示すレイアウト図である。
【図５】実装時においてパッドを配置するときのパッド間の規定図である。
【図６】本発明の実施例における半導体装置を回路基板に実装するときの断面図である。
【図７】従来の半導体装置を回路基板に実装するときの断面図である。
【符号の説明】
１００　半導体装置
１０１　周辺パッド
１０２　回路ブロック
１０３　パッドを内包するマクロセル
１０４　マクロブロック
１０５　周辺パッドのパッド列
１０６　第１のパッド列
１０７　第２のパッド列
１０８　第１のパッド
１０９　第２のパッド

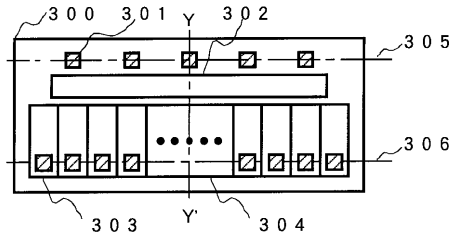
【図１】



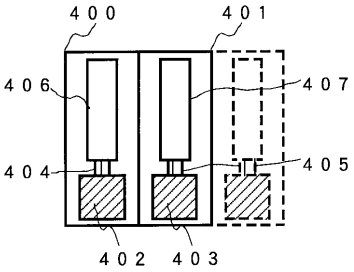
【図２】



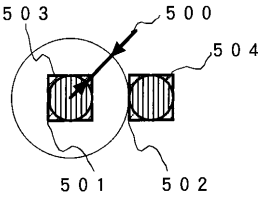
【図３】



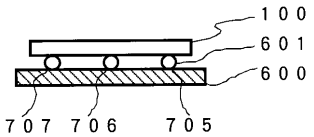
【図４】



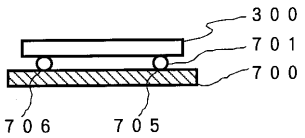
【図５】



【図６】



【図７】



フロントページの続き

審査官　瀧口　博史

(56)参考文献　特開平０４－３３６２６０（ＪＰ，Ａ）
特開平０２－１４７３５４（ＪＰ，Ａ）
特開昭６４－０５９９７１（ＪＰ，Ａ）
特開昭６３－２７４５６３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/822
H01L 27/04
H01L 21/60
H01L 33/00
B41J 2/45
H01L 21/82