



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

G09G 3/20 (2006.01)*G09G 3/36* (2006.01)*G02F 1/13* (2006.01)

| | |
|-----------|-------------|
| (45) 공고일자 | 2006년12월19일 |
| (11) 등록번호 | 10-0659383 |
| (24) 등록일자 | 2006년12월12일 |

| | |
|-----------|-----------------|
| (21) 출원번호 | 10-2004-0069961 |
| (22) 출원일자 | 2004년09월02일 |
| 심사청구일자 | 2004년09월02일 |

| | |
|-----------|-----------------|
| (65) 공개번호 | 10-2005-0024268 |
| (43) 공개일자 | 2005년03월10일 |

| | | | |
|------------|--------------------|-------------|--------|
| (30) 우선권주장 | JP-P-2003-00311326 | 2003년09월03일 | 일본(JP) |
|------------|--------------------|-------------|--------|

| | |
|-----------|--|
| (73) 특허권자 | 미쓰비시덴키 가부시끼가이샤 일본국 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3고 |
|-----------|--|

| | |
|----------|--|
| (72) 발명자 | 도비타유이치 일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고 미쓰비시덴키 가부 시끼가이샤 나이 |
|----------|--|

| | |
|----------|------------|
| (74) 대리인 | 권태복 이화의 |
|----------|------------|

심사관 : 박부식

전체 청구항 수 : 총 3 항

(54) 계조표시를 위한 디코드회로를 구비한 표시장치

(57) 요약

디코드회로(70)는, 계조전압(V1~V64)에 각각 대응하는 디코드경로(DP(1)~DP(64))를 포함한다. 각 디코드 유닛은, 표시신호비트(D0~D5)에 각각 대응하는, 직렬접속된 6개의 디코드 트랜지스터를 갖는다. 선택된 디코드경로에서는, 직렬접속된 디코드 트랜지스터가 모두 온되어, 대응한 계조전압이 디코드회로의 출력노드에 전달된다. 각 디코드 트랜지스터의 게이트는, 대응한 표시신호비트 및 그 역상신호를 각각 전달하는 신호선(SL, ZSL)의 한쪽의 신호선과 접속된다. 게이트와 비접속인 다른쪽의 신호선은, 이 디코드 트랜지스터의 소스 또는 드레인과 전기적으로 접속된 노드와의 사이에, 게이트용량과 동일한 기생용량을 형성하도록 배치된다. 이에 따라, 회로면적을 증대하지 않고, 디코드회로의 내노이즈성이 높아진다.

내표도

도 3

특허청구의 범위

청구항 1.

복수 비트의 디지털신호에 따른 계조표시를 실행하는 표시장치에 있어서,

단계적인 복수의 계조전압이 각각 전달되는 복수의 전압노드와,

상기 디지털신호의 상기 복수비트를 각각 전달하는 복수의 제1 신호선과,

상기 복수의 제1 신호선과 동일한 방향을 따라 설치되고, 상기 복수비트의 역상신호를 각각 전달하는 복수의 제2 신호선과,

상기 복수의 계조전압의 1개를 상기 디지털신호에 따라 선택하고, 선택한 상기 계조전압을 표시전압으로서 출력노드에 출력하는 디코드회로와,

상기 디코드회로에 의해 선택된 상기 표시전압에 따른 휘도를 표시하기 위한 화소를 구비하고,

상기 디코드회로는, 상기 복수의 전압노드와 상기 출력노드와의 사이에 상기 제1 및 제2 신호선과 교차하도록 각각 형성되는 복수의 디코드경로를 포함하며,

상기 복수의 디코드경로의 각각은, 상기 디지털신호의 상기 복수비트에 각각 대응하는 복수의 전계효과형 트랜지스터를 포함하고,

상기 복수의 전계효과형 트랜지스터는, 상기 출력노드와 대응하는 상기 전압노드와의 사이에 직렬로 접속되며,

상기 복수의 전계효과형 트랜지스터의 각 게이트는, 대응한 비트 및 그 역상신호를 전달하는 상기 제1 및 제2 신호선 중 한 쪽의 신호선과 접속되고,

상기 복수의 전계효과형 트랜지스터의 각각에 있어서, 상기 제1 및 제2 신호선 중 상기 게이트와 비접속으로 된 다른쪽의 신호선과, 소스 또는 드레인과 전기적으로 접속된 노드와의 사이에는 용량이 형성되도록 구성되며,

상기 복수의 디코드경로 중 상기 디지털신호에 따라 선택된 1개에서는, 상기 복수의 전계효과형 트랜지스터는 모두 온되고, 나머지의 디코드경로에서는, 상기 복수의 전계효과형 트랜지스터 중 적어도 1개가 오프되는 것을 특징으로 하는 표시장치.

청구항 2.

제 1 항에 있어서,

상기 화소는,

화소노드의 전압 또는 상기 화소노드의 전압에 대응한 전류에 따른 휘도를 표시하는 표시소자와,

상기 화소노드의 전압을 유지하는 전압저장용량과,

상기 표시전압에 따른 전압이 전달되는 노드와 상기 화소노드와의 사이에 접속되어 소정의 주사주기에 응답하여 온되는 화소 스위치소자를 갖고,

상기 다른쪽의 신호선에 의해 형성되는 용량은, 상기 전압저장용량과 동일한 구조를 가진 것을 특징으로 하는 표시장치.

청구항 3.

제 1 항에 있어서,

상기 복수의 전계효과형 트랜지스터 중, 상기 복수비트 중의 최하위비트에 대응하는 일부는, 상기 복수의 디코드경로마다 독립적으로 설치되고,

상기 복수의 전계효과형 트랜지스터의 나머지는, 상기 복수의 디코드경로 중 적어도 2개에 의해 공급되는 것을 특징으로 하는 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 문자나 화상 등의 표시장치에 관한 것으로, 보다 특정적으로는, 디지털신호에 근거한 계조표시를 실행 가능한 표시장치에 관한 것이다.

퍼스널 컴퓨터, 텔레비전 수상기, 휴대전화기 및 휴대정보 단말기기 등의 디스플레이 패널로서, 액정소자나 일렉트로 루미네센스(EL) 소자를 표시용 화소로서 구비한 표시장치가 사용되고 있다. 이러한 표시장치는, 종래 타입인 것과 비교하여, 저소비 전력화나 소형 경량화의 면에서 장점이 크다.

액정소자 또는 EL 소자를 포함하는 화소는, 인가된 전압(이하, 화소에의 인가전압을 「표시전압」이라고도 칭함)의 레벨에 따라 그 표시회도가 변화된다. 따라서, 이들 화소에서는, 표시전압을 중간적인 회도에도 대응 할 수 있게 단계적으로 설정함으로써, 계조표시를 행할 수 있다. 일반적으로는, 계조표시를 위한 복수비트의 디지털신호의 디코드 결과에 응답하고, 표시전압이 단계적으로 설정되는 구성이 채용된다.

따라서, 계조표시가능한 표시장치에 있어서는, 디지털신호를 디코드하여, 지시된 계조회도를 인식하기 위한 디코드회로가 필요하다. 일반적으로, 해당 디코드회로에 있어서는, 디코드 때문에 다수의 트랜지스터 스위치를 필요로 하므로, 그 회로 규모를 축소하는 것이 과제가 된다.

이러한 과제를 해결하기 위해, 예를 들면 일본특허공개 2001-34234호 공보에, 소위 토너먼트 방식이라 부르는 디코드회로의 구성이 개시되어 있다.

이 방식에서는, N비트(N : 2 이상의 정수)의 디지털신호에 의해 2의 N승(이하, 「 2^N 」이라 표기) 단계의 계조회도를 표시하는데 있어서, 2^N 단계의 계조전압이 각각 생성되는 노드와, 표시전압이 생성되는 노드와의 사이에, N개의 N-MOS (Metal Oxide Semiconductor) 트랜지스터가 직렬접속되는 디코드회로의 구성 및, 계조전압의 전달경로에 있어서 직렬접속되는 N-MOS 트랜지스터의 수를 삽감한 디코드회로의 구성이 개시되어 있다.

발명이 이루고자 하는 기술적 과제

그러나, 상기 공보의 도 8에 표시된 디코드회로의 구성에서는, 디코드회로면적은 소규모화할 수 있지만, N-MOS 트랜지스터의 임계치전압에 기인하는 전압강하를 보상 할 필요가 있다. 이 때문에, 디코드회로를 구성하는 N-MOS 트랜지스터의 게이트전압은, 전달해야 하는 계조전압에 대하여, 적어도 임계치전압만큼만 높게 설정 할 필요가 있다.

이 결과, 게이트전압의 진폭이 커지기 때문에, N-MOS 트랜지스터의 게이트전극과 소스전극 혹은 드레인전극과의 사이의 기생용량을 통해 전달될 수 있는 노이즈 진폭도 커지고, 화소에 인가되는 표시전압에의 영향이 커진다는 문제점이 생겨버린다.

또한 상기 공보의 도 9에 표시된 디코드회로에 있어서는, 계조전압의 전달◎曆◎중에 포함되는 N-MOS 트랜지스터의 개수를 삽감함으로써 계조전압의 전압강하가 억제되어 있다. 그러나, 그 반면, 디코드회로 전체에서 필요하게 되는 트랜지스터 개수가 증대해 버리므로, 회로의 소형화나 제조효율이라 했던 점에서 문제가 생긴다.

발명의 구성

본 발명의 목적은, 회로면적의 증대가 억제되고, 또한, 내노이즈성이 높은 디코드회로를 구비한 계조표시가능한 표시장치를 제공하는 것이다.

본 발명에 따른 표시장치는, 복수비트의 디지털신호에 따른 계조표시를 실행하는 표시장치이며, 단계적인 복수의 계조전압이 각각 전달되는 복수의 전압노드와, 디지털신호의 복수비트를 각각 전달하는 복수의 제1 신호선과, 복수의 제1 신호선과 동일한 방향을 따라 설치되고, 복수비트의 역상신호를 각각 전달하는 복수의 제2 신호선과, 복수의 계조전압의 1개를 디지털신호에 따라 선택하고, 선택한 계조전압을 표시전압으로서 출력노드에 출력하는 디코드회로와, 디코드회로에 의해 선택된 표시전압에 따른 휘도를 표시하기 위한 화소를 구비하고, 디코드회로는, 복수의 전압노드와 출력노드와의 사이에 제1 및 제2 신호선과 교차하도록 각각 형성되는 복수의 디코드경로를 포함하며, 복수의 디코드경로는, 디지털신호의 복수비트에 각각 대응하는 복수의 전계효과형 트랜지스터를 포함하고, 복수의 전계효과형 트랜지스터는, 제1 및 제2 신호선과 교차하는 방향을 따라 배열되어, 출력노드와 대응하는 전압노드와의 사이에 직렬로 접속되고, 복수의 전계효과형 트랜지스터의 각 게이트는, 대응한 비트 및 그 역상신호를 전달하는 제1 및 제2 신호선 중 한쪽의 신호선과 접속되며, 복수의 전계효과형 트랜지스터의 각각에 있어서, 제1 및 제2 신호선 중 게이트와 비접속으로 된 다른쪽의 신호선과, 소스 또는 드레인과 전기적으로 접속된 노드와의 사이에는 용량이 형성되도록 구성된다. 복수의 디코드경로 중 디지털신호에 따라 선택된 1개에서는, 복수의 전계효과형 트랜지스터는 모두 온되고, 나머지의 디코드경로에서는, 복수의 전계효과형 트랜지스터의 적어도 1개가 오프한다.

본 발명의 주된 이점은, 계조전압을 전달하기 위한 디코드경로는, 표시신호의 각 비트에 대하여 제1 및 제2 신호선의 각각으로부터 서로 상쇄되는 역상의 노이즈가 중첩되게 된다. 따라서, 디코드 트랜지스터의 개수를 증가시키지 않고 디코드회로의 내노이즈성을 높여 계조전압을 고정밀도로 설정할 수 있다. 이 결과, 표시장치의 표시품위를 향상할 수 있다.

본 발명의 상기 및 다른 목적, 특징, 국면 및 이점은, 첨부한 도면과 관련하여 이해되는 본 발명에 관한 다음 상세한 설명으로부터 명백해질 것이다.

[발명의 실시예]

이하에서, 본 발명의 실시예에 대하여 도면을 참조하여 상세하게 설명한다. 이때, 도면 중에서의 동일한 부호는, 동일 또는 해당부분을 나타내는 것으로 한다.

도 1은, 본 발명의 실시예에 따른 표시장치의 대표예로서 표시되는 액정표시장치(10)의 전체 구성을 나타내는 블록도이다.

도 1을 참조하여, 본 발명의 실시예에 따른 액정표시장치 10은, 액정어레이부(20)와, 게이트 드라이버(30)와, 소스 드라이버(40)를 구비한다.

액정어레이부(20)는, 행렬형으로 배치된 복수의 화소(25)를 포함한다. 화소의 행(「화소행」이라고도 하여 칭함)에 각각 대응하여, 게이트선 GL이 배치되고, 화소의 열(「화소열」이라고도 하여 칭함)에 각각 대응하여, 데이터선 DL이 각각 설치된다. 도 1에는, 제1행의 제1열 및 제2열의 화소 및 이것에 대응하는 게이트선 GL1 및 데이터선 DL1, DL2가 대표적으로 표시되어 있다.

각 화소(25)는, 대응하는 데이터선 DL과 화소노드 Np와의 사이에 설치되는 화소 스위치소자(26)와, 화소노드 Np 및 공통 전극노드 Nc의 사이에 병렬로 접속되는 저장용량(27) 및 액정표시소자(28)를 갖는다. 화소노드 Np 및 공통전극노드 Nc의 사이의 전압차에 따라, 액정표시소자(28) 중의 액정의 배향성이 변화되고, 이것에 응답해서 액정표시소자(28)의 표시 휘도가 변화된다. 이에 따라 데이터선 DL 및 화소 스위치소자(26)를 통해 화소노드 Np로 전달되는 표시전압에 따라, 각 화소의 휘도를 컨트롤하는 것이 가능해진다. 화소 스위치소자(26)는, 예를 들면, n형 전계효과형 트랜지스터로 구성된다.

즉, 최대 휘도에 대응하는 전압차와, 최소 휘도에 대응하는 전압차와의 사이의 중간적인 전압차를 화소노드 Np와 공통전극노드 Nc와의 사이에 인가함으로써, 중간적인 휘도를 얻을 수 있다. 즉, 표시전압을 단계적으로 설정함으로써, 계조적인 휘도를 얻는 것이 가능해진다.

게이트 드라이버(30)는, 소정의 주사주기에 근거하여 게이트선 GL을 순서대로 활성화한다. 화소 스위치소자(26)의 게이트는 대응하는 게이트선 GL과 접속된다. 따라서, 대응하는 게이트선 GL의 활성상태(H 레벨) 기간 중에서, 화소노드 Np는 대응하는 데이터선 DL과 접속된다. 화소 스위치소자(26)는, 일반적으로는, 액정표시소자(28)와 동일한 절연체기판(유리기판·수지기판 등) 상에 형성되는 TFT(Thin-Film Transistor) 소자로 구성된다. 화소노드 Np로 전달된 표시전압은, 저장용량(27)에 의해 유지된다.

혹은, 도 2에 표시된 EL 소자를 포함하는 화소를 도 1에서의 화소(25)에 적용하는 것도 가능하다.

도 2를 참조하여, 화소(25#)는, 화소 스위치소자(26)와, 저장용량(27#)과, EL 표시소자(28#)와, 전류구동 트랜지스터(29)를 포함한다. 화소 스위치소자(26)는, 화소 25와 동일하고, 대응하는 데이터선 DL(도 2의 예에서는 데이터선 DL1, 이하 동일)과 화소노드 Np와의 사이에 설치되고, 그 게이트는, 대응하는 게이트선 GL(도 2의 예에서는 게이트선 GL1, 이하 동일)과 접속된다. 저장용량(27#)은, 화소노드 Np 및 전압 Vdd의 사이에 접속된다. EL 표시소자(28#) 및 전류구동 트랜지스터(29)는, 전압 Vdd 및 전압 Vss의 사이에 직렬로 접속된다. 전류구동 트랜지스터(29)는, 예를 들면, p형 전계효과형 트랜지스터로 구성된다. 화소 스위치소자(26) 및 전류구동 트랜지스터(29)는, 일반적으로는, EL 표시소자(28#)와 동일한 절연체기판 상에 형성된다.

화소 스위치소자(26)는, 대응하는 게이트선 GL의 활성상태(H 레벨) 기간 중에서, 화소노드 Np를 데이터선 DL과 접속한다. 이에 따라 화소노드 Np에는, 데이터선 DL 상의 표시전압이 전달된다. 화소노드 Np의 전압은, 저장용량(27#)에 의해 유지된다.

전류구동 트랜지스터(29)는, 화소노드 Np와 접속된 게이트를 갖고, 화소노드 Np의 전압에 따른 전류 Iel을 EL 표시소자(28#)에 공급한다. EL 표시소자(28#)의 표시휘도는, 공급된 통과전류 Iel에 따라 변화된다. 따라서, 화소(25#)에서도, 화소에 인가되는 표시전압을 단계적으로 설정함으로써, EL 표시소자의 휘도를 계조적으로 설정할 수 있다.

이하의 설명에서 명백해지는 바와 같이, 본원 발명은, 각 화소가 인가된 표시전압에 따라 중간적인 휘도를 표시가능한 표시장치에서의 주변회로, 특히 디코드회로의 구성으로 향해져 있다. 따라서, 이하에 설명하는 본 발명의 실시예에서 표시장치의 대표예로서 나타나는 액정표시장치에 있어서, 액정표시소자를 포함하는 화소(25)를, EL 소자를 포함하는 화소(25#)로 치환하면, 동일한 구성의 주변회로를 사용하여, EL 소자에 의한 표시를 행하는 본 발명에 따른 표시장치를 구성할 수 있다.

다시 도 1을 참조하여, 소스 드라이버(40)는, N비트의 디지털신호인 표시신호 SIG에 의해 단계적으로 설정되는 표시전압을 데이터선 DL로 출력한다. 이하, 본 실시예에서는, N=6인 경우, 즉, 표시신호 SIG가 표시신호비트 D0~D5로 이루어지는 경우의 구성에 대하여, 대표적으로 설명하지만, 본원 발명의 적용에서, 표시신호 SIG의 비트수는 특히 한정되지 않고, 임의의 비트수로 할 수 있다.

6비트의 표시신호 SIG에 근거하여 각 화소에서, $2^6=64$ 단계의 계조표시가 가능해진다. 또한, R(Red), G(Green) 및 B(Blue)의 각 1개 화소로부터 1개의 컬러표시 단위를 형성하면, 약 26만색의 컬러표시가 가능해진다.

소스 드라이버(40)는, 시프트 레지스터(50)와, 데이터 래치회로(52, 54)와, 계조전압 생성회로(60)와, 디코드회로(70)와, 아날로그 앰프(80)를 포함한다.

표시신호 SIG는, 화소(25)마다의 표시휘도에 대응하여 직렬로 생성된다. 즉, 각 타이밍에서의 표시신호비트 D0~D5는, 액정어레이부(20) 중의 1개의 화소(25)에서의 표시휘도를 나타내고 있다.

시프트 레지스터(50)는, 표시신호 SIG의 설정을 전환할 수 있는 소정주기에 동기한 타이밍에서, 데이터 래치회로(52)에 대하여, 표시신호비트 D0~D5의 취입을 지시한다. 데이터 래치회로(52)는, 직렬로 생성되는 1개 화소행만큼의 표시신호 SIG를, 순서대로 도입하여 유지한다.

1개의 화소행만큼의 표시신호 SIG가 데이터 래치회로(52)에 도입된 타이밍에서, 래치신호 LT의 활성화에 응답하고, 데이터 래치회로(52)에 래치된 표시신호군은, 데이터 래치회로(54)에 전달된다.

계조전압 생성회로(60)는, 고전압 VH 및 저전압 VL의 사이에 직렬로 접속된 63개의 분압저항으로 구성되고, 64단계의 계조전압 V1~V64를 전압노드 N1~N64에 각각 생성한다. 이때, 계조전압 생성회로(60)에 대해서는, 소스 드라이버(40) 내에 일체로 설치할 필요는 없고, 계조전압 V1~V64가 소스 드라이버(40)의 외부로부터 전압노드 N1~N64에 공급되는 구성으로 하는 것도 가능하다.

디코드회로(70)는, 데이터 래치회로(54)에 래치된 표시신호를 디코드하여, 해당 디코드에 근거하여 계조전압 V1~V64를 선택한다. 디코드회로(70)는, 선택된 계조전압(V1~V64 중 1개)을 표시전압으로서 디코드 출력노드 Nd에 생성한다. 본 실시예에서는, 디코드회로(70)는, 데이터 래치회로(54)에 래치된 표시신호에 근거하여 1행만큼의 표시전압을 병렬로 출력한다. 이때, 도 1에서는, 제1열번째 및 제2열번째의 데이터선 DL1, DL2에 대응하는 디코드 출력노드 Nd1, Nd2가 대표적으로 표시되어 있다.

아날로그 앰프(80)는, 디코드 출력노드 Nd1, Nd2, …에 출력된 표시전압에 각각 대응한 아날로그 전압을 데이터선 DL1, DL2, …에 각각 출력한다.

이때, 도 1에는, 게이트 드라이버(30) 및 소스 드라이버(40)가 액정어레이부(20)와 일체로 형성된 액정표시장치(10)의 구성을 예시했지만, 게이트 드라이버(30) 및 소스 드라이버(40)에 대해서는, 액정어레이부(20)의 외부회로로서 설치하는 것도 가능하다.

다음에, 디코드회로의 구성에 대하여 상세히 설명한다.

도 3은, 도 1에 표시된 디코드회로의 구성예를 나타내는 회로도이다. 도 3에는, 디코드 출력노드 Nd1에 대응하는 구성이 대표적으로 표시된다. 도시하지 않지만, 각 데이터선 DL과 대응하는 각 출력노드 Nd에서, 도 3과 동일한 구성이 설치된다.

도 3을 참조하여, 디코드회로(70)는, 디코드경로 DP(1)~DP(64)을 포함한다. 디코드경로 DP(1)~DP(64)은, 노드 N1~N64로부터 출력노드 Nd1에 계조전압 V1~V64를 각각 전달하기 위해 설치된다. 도 3에는, 계조전압 V1, V2, V63, V64에 대응하는 디코드경로 DP(1), DP(2), DP(63), DP(64)가 대표적으로 표시된다. 도시하지 않지만, 계조전압 V3~V62에 대해서도, 동일하게 구성된 디코드경로가 각각 배치된다.

디코드회로(70)가 배치되는 영역에는, 표시신호비트 D0~D5를 각각 전달하는 신호선 SL(0)~SL(5) 및 표시신호비트 D0~D5의 역상신호, 즉 반전비트 /D0~/D5를 각각 전달하는 신호선 ZSL(0)~ZSL(5)이 동일한 방향(Y 방향)을 따라 설치된다.

총괄적으로 설명하면, 제i번째(i : 0~64의 정수)의 디코드경로 DP(i)에서, 노드 Ni 및 출력노드 Nd1과의 사이에, 표시신호비트 D0~D5에 각각 대응한 디코드 트랜지스터 T0(i)~T5(i)가 X방향으로 배열되어, 또한 직렬로 접속된다. 디코드 트랜지스터 T0(i)의 게이트는, 신호선 SL(0) 및 ZSL(0)의 한쪽과 접속되고, 디코드 트랜지스터 T1(i)의 게이트는, 신호선 SL(1) 및 ZSL(1)의 한쪽과 접속되며, 디코드 트랜지스터 T2(i)의 게이트는, 신호선 SL(2) 및 ZSL(2)의 한쪽과 접속된다. 마찬가지로, 디코드 트랜지스터 T3(i)의 게이트는, 신호선 SL(3) 및 ZSL(3)의 한쪽과 접속되고, 디코드 트랜지스터 T4(i)의 게이트는, 신호선 SL(4) 및 ZSL(4)의 한쪽과 접속되며, 디코드 트랜지스터 T5(i)의 게이트는, 신호선 SL(5) 및 ZSL(5)의 한쪽과 접속된다. 본원 발명의 적용에서는, 디코드 트랜지스터는, 전계효과형 트랜지스터로 구성된다. 본 실시예에서는, 대표적으로, 디코드 트랜지스터는, n형의 박막트랜지스터(TFT)로 구성되는 것으로 한다.

여기서, 디코드 트랜지스터 T0(i)~T5(i)와, 신호선 SL(SL(0)~SL(5))을 총괄적으로 표기한 것) 및 신호선 ZSL(ZSL(0)~ZSL(5))을 총괄적으로 표기한 것)과의 접속은, 표시신호비트 D0을 최하위 비트로 한 표시신호비트 D0~D5의 인크리먼트에 대응하여, 전압노드 N1~N64가 순서대로 출력노드 Nd1과 전기적으로 접속되도록 정해진다.

예를 들면, 디코드경로 DP(64)는, 신호선 SL 및 ZSL과 교차하는 방향(X방향)을 따라 배열되고, 전압노드 N64 및 디코드 출력노드 Nd1의 사이에 직렬로 접속되는 디코드 트랜지스터 T0(64)~T5(64)를 포함한다. 디코드 트랜지스터 T0(64)~T5(64)의 게이트는, 신호선 SL(0)~SL(5)과 각각 접속된다. 따라서, 표시신호비트(D0, D1, D2, D3, D4, D5)=(1, 1, 1,

1, 1, 1)일 때에, 디코드경로 DP(64)에서의 디코드 트랜지스터 T0(64)~T5(64)가 전부 온되어, 전압노드 N64가 디코드 출력노드 Nd1과 전기적으로 접속된다. 이에 따라, 전체 디코드경로 중으로부터 디코드경로 DP(64)가 선택적으로 형성되어, 계조전압 V64가 출력노드 Nd1에 선택적으로 출력된다.

마찬가지로, 디코드경로 DP(63)는, X방향을 따라 배열되고, 전압노드 N63 및 디코드 출력노드 Nd1의 사이에 직렬로 접속된 디코드 트랜지스터 T0(63)~T5(63)를 포함한다. 디코드 트랜지스터 T0(63)의 게이트는 신호선 ZSL(0)과 접속되고, 디코드 트랜지스터 T1(63)~T5(63)의 게이트는 신호선 SL(1)~SL(5)과 각각 접속된다. 따라서, 표시신호비트(D0, D1, D2, D3, D4, D5)=(0, 1, 1, 1, 1, 1)일 때에, 디코드경로 DP(63) 중의 디코드 트랜지스터 T0(63)~T5(63)가 전부 온되어, 전압노드 N63이 디코드 출력노드 Nd1과 전기적으로 접속된다. 이에 따라 전체 디코드경로 중으로부터 디코드경로 DP(63)가 선택적으로 형성되어, 계조전압 V63이 출력노드 Nd1에 선택적으로 출력된다.

또한 디코드경로 DP(2)는, X방향을 따라 배열되고, 전압노드 N2 및 디코드 출력노드 Nd1의 사이에 직렬로 접속된 디코드 트랜지스터 T0(2)~T5(2)를 포함한다. 디코드 트랜지스터 T0(2)의 게이트는 신호선 SL(0)과 접속되고, 디코드 트랜지스터 T1(2)~T5(2)의 게이트는 신호선 ZSL(1)~ZSL(5)과 각각 접속된다. 따라서, 표시신호비트(D0, D1, D2, D3, D4, D5)=(1, 0, 0, 0, 0, 0)일 때에, 디코드경로 DP(2) 중의 디코드 트랜지스터 T0(2)~T5(2)가 전부 온되어, 전압노드 N2가 디코드 출력노드 Nd1과 전기적으로 접속된다. 이에 따라 전체 디코드경로 중으로부터 디코드경로 DP(2)가 선택적으로 형성되어, 계조전압 V2가 출력노드 Nd1에 선택적으로 출력된다.

마찬가지로, 디코드경로 DP(1)는, X방향을 따라 배열되고, 전압노드 N1 및 디코드 출력노드 Nd1의 사이에 직렬로 접속된 디코드 트랜지스터 T0(1)~T5(1)를 포함한다. 디코드 트랜지스터 T0(1)~T5(1)의 게이트는 신호선 ZSL(0)~ZSL(5)과 각각 접속된다. 따라서, 표시신호비트(D0, D1, D2, D3, D4, D5)=(0, 0, 0, 0, 0, 0)일 때에, 디코드경로 DP(2) 중의 디코드 트랜지스터 T0(1)~T5(1)가 전부 온되어, 전압노드 N1이 디코드 출력노드 Nd1과 전기적으로 접속된다. 이에 따라 전체 디코드경로 중으로부터 디코드경로 DP(1)가 선택되어, 계조전압 V1이 출력노드 Nd1에 선택적으로 출력된다.

이와 같이, 디코드회로(70)에서는, 디코드경로 DP(디코드경로 DP(1)~DP(64))을 총괄적으로 표기한 것)마다 독립적으로 디코드 트랜지스터가 배치되고, 각 디코드 트랜지스터는, 디코드경로 DP 사이에서 공유되지 않는다. 따라서, 디코드 트랜지스터의 배치개수는, 표시신호의 비트수 및 계조전압수의 곱이 된다.

이러한 구성으로 함으로써, 표시신호비트 D0~D5에 따라 1개의 디코드경로가 선택되고, 선택된 디코드경로에서는, 모든 디코드 트랜지스터가 온된다. 한편, 그 밖의 디코드경로에서는, 적어도 1개 디코드 트랜지스터가 오프된다. 따라서, 표시신호비트 D0을 최하위 비트라고 한 표시신호비트 D0~D5의 64종류의 조합에 대응하고, 디코드회로(70)는, 계조전압을 V1로부터 V64 중 어느 1개를 선택적으로, 표시전압으로서 출력노드 Nd1에 전달한다.

이상에 설명한 바와 같이 디코드회로(70) 내의 디코드 트랜지스터의 각 게이트는, 신호선 SL(SL(0)~SL(5))을 총괄적으로 표기한 것, 이하 동일) 및 신호선 ZSL(ZSL(0)~ZSL(5))을 총괄적으로 표기한 것, 이하 동일)의 한쪽과 접속된다. 따라서, 이 한쪽의 신호선과 각 디코드경로 DP와의 사이에는, 게이트용량이 형성된다. 이 결과, 이 한쪽의 신호선이 전달되는 표시신호비트가 H 레벨로부터 L 레벨 또는 L 레벨로부터 H 레벨로 변화되면, 이 전압변화는 상기 게이트용량을 통한 용량결합에 의해, 전달되는 계조전압에 노이즈로서 중첩된다.

본원 발명에서는, 각 디코드 트랜지스터에서, 게이트와 비접속인 다른쪽의 신호선은, 이 디코드 트랜지스터의 소스 또는 드레인과 전기적으로 접속된 노드와의 사이에 기생용량 C를 형성하도록 배치된다. 이 다른쪽의 신호선에는, 상기 한쪽의 신호선과는 역상의 전압변화가 생기므로, 이 전압변화는, 상기 기생용량 C를 통한 용량결합에 의해, 계조전압을 전달하는 디코드경로 DP에 노이즈로서 더 중첩된다.

이와 같이, 각 디코드 트랜지스터에서, 한쪽 및 다른쪽의 신호선으로부터는, 서로 상쇄되는 역상의 노이즈가 각각 중첩된다. 따라서, 선택된 디코드경로에 있어서, 표시신호비트 D0~D5의 변화에 의해 계조전압(표시전압)에 생기는 노이즈를 억제할 수 있다. 이 결과, 계조전압의 설정 정밀도를 향상시킴으로써, 계조표시를 더 정확하게 행하여 표시 품위를 향상할 수 있다.

다음에 전술한 바와 같은 노이즈 억제가 가능한 본 실시예에 따른 디코드회로의 구성에 대하여 상세하게 설명한다.

도 4는, 본 실시예에 따른 디코드회로의 구성을 상세하게 설명하는 평면도이다. 도 4에는, 도 3에 나타낸 디코드회로 중, 계조전압 V63, V64 및 표시신호비트 D0, D1에 대응하는 부분의 구성이, 대표적으로 상세하게 표시된다.

도 4를 참조하여, 디코드경로 DP(64)에 대응하고, 계조전압 V64를 전달하기 위한, 전압노드 N64에 대응하는 배선(120)이 X방향을 따라 설치된다. 배선(120)은, 대표적으로는 금속재료로 형성되고, 도시하지 않은 다른 데이터선에 대응하는 구성과의 사이에서 공유된다.

또한, 디코드 트랜지스터를 형성하기 위한 반도체배선으로서, X방향을 따라 연속적인 형상으로 형성되는 폴리실리콘 배선(125)이 설치된다. 폴리실리콘 배선(125)은, 배선(120)과는 다른 층에 형성되고, 계조전압의 전달경로(즉 디코드경로 DP의 일부)를 구성한다. 각 데이터선 DL에 대응하는 폴리실리콘 배선(125) 상호간은, 전기적으로 분리될 필요가 있다. 도시된 폴리실리콘 배선(125)은, 도시하지 않은 노드에서 데이터선 DL1과 전기적으로 접속되고, 또한, 콘택 122를 통해, 배선(120)과 전기적으로 접속된다.

또한, Y 방향을 따라, 신호선 SL(0), ZSL(0), SL(1), ZSL(1), …이 배열된다. 이들 신호선은, 디코드 트랜지스터의 게이트 배선으로서, 대표적으로는 크롬으로 형성된다.

도 3에 나타낸 디코드회로의 구성을 실현하기 위해서는, 신호선 SL(0), ZSL(0), SL(1), ZSL(1)…의 각각과 폴리실리콘 배선(125)과의 교차부의 각각에 대해서, 디코드 트랜지스터가 형성되는 교차부 150 및 디코드 트랜지스터가 비형성이라고 하는 교차부 155를 선택적으로 형성할 필요가 있다.

구체적으로는, 디코드경로 DP(64)에서는, 신호선 SL(0) 및 SL(1)과 폴리실리콘 배선(125)과의 교점을 디코드 트랜지스터가 형성되도록 교차부(150)로 하고, 신호선 ZSL(0) 및 ZSL(1)과 폴리실리콘 배선(125)과의 교점을 디코드 트랜지스터가 형성되지 않도록 교차부(155)로 할 필요가 있다.

도 5는, 교차부 150, 155의 구조를 상세하게 설명하기 위한 도 4에서의 V-V 단면도이다.

도 5를 참조하여, 폴리실리콘 배선(125)은, 유리나 수지 등의 절연체기판(190) 상에 형성된다. 폴리실리콘 배선(125)과 게이트 절연막(130)을 끼운 금속배선층(135)을 사용하여, 신호선 SL(0), ZSL(0), SL(1), ZSL(1)…에 해당하는 게이트 배선(165)이 형성된다.

교차부(155)에서는, 게이트 절연막(130)을 끼운 게이트 배선(165)의 바로 아래 영역, 즉 게이트 배선(165)과 수평방향에서 보아 교차하는 영역에서, 폴리실리콘 배선(125)에 n형 영역(180)이 형성된다. n형 영역(180)은, 대응한 게이트 배선(165)의 전압과는 독립적으로 항상 전기적인 도통상태가 되도록, 고농도의 n형 불순물(예를 들면 인 이온)이지만 주입되어 있다. 따라서, 교차부(155)에는, 전계효과형 트랜지스터는 형성되지 않고, 대응한 게이트 배선(165)의 전압에 의하지 않고, 항상 도체로서 작용한다.

한편, 교차부(150)에서는, 게이트 절연막(130)을 끼운 게이트 배선(165)의 바로 아래 영역, 즉 게이트 배선(165)과 수평방향에서 보아 교차하는 영역에, n형 불순물이 주입되지 않는 플레이인 영역(170)이 남겨진다. 소스 및 드레인으로서 각각 작용하는 n형 영역(180)의 사이에, 플레이인 영역(170)을 끼우도록, LDD(Light-Doped-Drain)영역(185)이 설치된다. 이 결과, 교차부(150)의 플레이인 영역(170)에는, 대응한 게이트 배선(165)의 전압에 따라, 채널이 형성 혹은 비형성으로 된다. 즉, 교차부(150)에는, 디코드 트랜지스터에 해당하는 전계효과형 트랜지스터(보다 특정적으로는, TFT)가 형성된다. 이때, LDD 영역(185)을 설치함으로써 드레인 전계가 완화되므로, n형 TFT의 내압이 향상한다.

이와 같이, 교차부 150 및 155의 각각에는, 게이트 절연막(130)을 통해 적층되는 게이트 배선(165) 및 폴리실리콘 배선(125)의 사이에 동일구조로 용량이 형성된다. 따라서, 기생용량 C의 용량값을 게이트용량의 용량값으로 실질적으로 동일하게 할 수 있다. 이 결과, 도 3에서 설명한 바와 같이 서로 역상 노이즈를 작용시킴으로써, 디코드 트랜지스터에 의해 전달되는 계조전압에의 노이즈를 억제할 수 있다.

이때, 게이트 배선(165)을 동일층에 연속적으로 형성해도, 전계효과형 트랜지스터가 형성되는 교차부(150) 및 비형성으로 되는 교차부(155)를, 반도체층인 폴리실리콘 배선(125)에의 불순물주입에 의해 선택적으로 형성할 수 있다. 이 때문에, 높이방향 및 수평방향에 대하여, 디코드회로(70)의 구성을 콤팩트하게 할 수 있다.

다시 도 4를 참조하여, 도시하지 않은 나머지의 신호선 SL(2)~SL(5)과 폴리실리콘 배선(125)과의 각 교점에는 교차부(150)가 설치된다. 한편, 신호선 ZSL(2)~ZSL(5)과 폴리실리콘 배선(125)과의 각 교점에는 교차부(155)가 설치된다.

또한, 디코드경로 DP(63)에 대응하여, 금속배선(120) 및 폴리실리콘 배선(125)과 각각 동일하게, X방향에 따른 배선(140) 및 폴리실리콘 배선(145)이 설치된다. 또한, 배선(140) 및 폴리실리콘 배선(145)을 전기적으로 접속하기 위해, 콘택 122와 동일하게 콘택 142가 설치된다. 디코드경로 DP(63)에서는, 신호선 ZSL(0) 및 SL(1)과 폴리실리콘 배선(125)과의 교점을 디코드 트랜지스터가 형성되도록 교차부(150)로 하고, 신호선 SL(0) 및 ZSL(1)과 폴리실리콘 배선(125)과의 교점을 디코드 트랜지스터가 형성되도록 교차부(155)로 할 필요가 있다. 이것은, 도 5에 나타나 있는 바와 같이, 폴리실리콘 배선(125)에의 불순물주입 패턴의 선택적 형성에 대응 할 수 있다.

도시하지 않지만, 다른 디코드경로에 대해서도, 배선 120, 140 및 폴리실리콘 배선 125, 145에 해당하는 배선이 연속적으로 형성되고 있고, 교차부 150 및 155의 선택적 형성에 의해, 도 3에 나타낸 구성이 동일하게 실현되어 있다.

아하에 설명한 바와 같이, 본 실시예에 따른 디코드회로는, 전용의 제조 프로세스를 설치하지 않고, 도 1에 나타낸 화소(25)와 동일한 절연체기판(유리기판, 수지기판) 상에, 동일한 제조 프로세스에 있어서 별별로 제조가능하다. 이 결과, 표시장치의 소형화 및 제조 비용의 감소를 도모할 수 있다.

도 6은, 도 1에 나타낸 화소(25)의 구조를 설명하는 도면이다.

도 6을 참조하여, 화소(25) 중의 화소 스위치소자(26)로서 설치되는 n형 TFT(이하, n형 TFT(26)라 칭함)는, 절연체기판(190) 상에 형성된, 폴리실리콘 등의 반도체막(195)을 사용하여 제작된다. 절연체기판(190) 및 반도체막(195)의 사이에, 또한 절연막(191)을 설치해도 된다.

n형 TFT(26)는, 반도체막(195)에 n형 불순물이 주입된 소스/드레인영역(251, 252)과, 반도체막(195)과의 사이에 SiO₂ 등의 게이트 절연막(253)을 통한 배선충에 설치된 게이트(254)와, 소스/드레인영역(251, 252)과 각각 전기적인 콘택이 확보된 전극(255, 256)을 갖는다. 소스/드레인영역(251, 252)의 사이에는, LDD 영역(260)이 설정되고, 드레인 전계의 완화에 의한 n형 TFT의 내압향상이 도모되어 있다. 게이트 254에는, 도 1에 나타낸 게이트선 GL에 해당하는 게이트 배선이 소정방향으로 연장되어 설치된다.

이때, n형 TFT(26)와 동일층을 사용하여, p형 TFT를 제작하는 것도 할 수 있다. p형 TFT는, 반도체막(195)을 사용하여 형성되고, p형 불순물이 주입된 소스/드레인영역(201, 202)과, 게이트(104)와, 소스/드레인영역(201, 202)과 각각 전기적인 콘택이 확보된 전극(205, 206)을 갖는다. 반도체막 195와 게이트 204와의 사이에는, 게이트 절연막 253과 동일층에 동일재료로 형성된 게이트 절연막 203이 설치된다. 각 TFT 사이에는, 절연체로 형성된 소자분리막(210, 220)에 의해 전기적으로 분리된다.

TFT의 소스 및 드레인에 대응하는 전극 205, 206 및 255, 256은, 일반적으로 알루미늄 등으로 형성되고, 게이트 204, 254에 설치되는 게이트 배선은, 크롬 등으로 형성된다.

화소 25 중의 저장용량(27)은, 반도체막(195)에 n형 불순물이 주입된 한쪽 전극으로서의 n형 영역(262) 및, 게이트 배선(게이트 204, 254)과 동일층에 형성된 다른쪽 전극으로서의 금속전극(265)을 갖는다. 이 한쪽 전극 및 다른쪽 전극의 사이에는, 게이트 절연막(253)과 동일층에 설치되는 절연막(264)이 형성되어 있으므로, 해당부분에 용량이 형성된다. 도시하지 않은 단면에 있어서, 한쪽 전극에 해당하는 n형 영역 262는, 전극 256과 전기적으로 접속된다. 전극 256은, 도 1에 나타낸 화소노드 Np에 해당한다.

도 5에 나타낸 디코드회로(70)의 폴리실리콘 배선(125)은, 도 6에 나타낸 화소 부분의 반도체막(195)과 동일공정에 의해 동일재료로 형성하는 것이 가능하고, 교차부(150)에 형성되는 디코드 트랜지스터는, n형 TFT(26)와 동일하게 제작하는 것이 가능하다. 또한 도 5에 나타낸 게이트 절연막(130) 및 게이트 배선(165)에 대해서도, 도 6에 나타낸 게이트 절연막(253) 및 게이트(254)에 해당하는 게이트 배선과 동일공정에 의해 동일재료로 형성하는 것이 가능하다. 또한, 게이트 배선(165) 및 n형 영역(180)에 의해 한쪽 및 다른쪽 전극이 구성되는 교차부(155)의 구조는, 저장용량(27)의 구조와 같다. 따라서, n형 영역 180을 형성하기 위한 불순물주입에 대해서는, 저장용량 27의 n형 영역 262와 동일한 공정에서 실행가능하다.

도 7은, 본 발명의 실시예에 따른 디코드회로의 제조공정을 설명하는 플로우차트이다.

이하에 설명한 바와 같이, 도 5에 나타낸 구조의 디코드회로의 요소는, 도 6에 나타낸 화소의 제조공정에서 병행하여 제작된다. 도 6에 나타낸 화소구조는, 일반적인 공정에 의해 제조하는 것이 가능하므로, 디코드회로의 제조공정에 대해서는, 각 요소가 어느 프로세스로 제작되는지를 나타내는 것으로 하고, 각 프로세스의 상세에 대해서는 기재를 생략한다.

도 7을 참조하여, 절연체기판 상에 반도체 박막을 형성하는 공정(프로세스 P100)에서, 디코드회로 부분의 폴리실리콘 배선(125) 및 화소 부분의 반도체막(195)이 병행되어 형성된다.

다음에 제1 불순물 주입공정(프로세스 P110)이 행해진다. 이 프로세스 P110에 앞서, 디코드회로 부분에서는 폴리실리콘 배선(125) 상의 교차부(150)에 대응하는 영역, 화소 부분에서는 TFT가 형성되는 영역에 마스크가 형성된다. 따라서, 프로세스 P110에서는, 이들 영역을 제외하고, 비교적 고농도의 불순물주입(인 이온 등의 도핑)이 행해진다. 이에 따라 도 5에서의 n형 영역(180)(교차부(155)에 대응) 및 도 6에서의 n형 영역(262)(저장용량(27)에 대응)이 형성된다.

다음에 상기 레지스트를 제거한 후, 게이트 배선 형성공정이 행해진다(프로세스 P120). 프로세스 P120에서는, 우선, 도 5에 나타낸 게이트 절연막(130) 및 도 6에 나타낸 게이트 절연막(203, 253)이 병행되어 형성된다. 또한, 게이트 절연막 130 상으로의 게이트 배선(165)(도 5)의 형성 및 도 1에 나타낸 게이트선 GL에 해당하는 게이트 배선(도 6에 나타낸 게이트 204, 254)의 형성이 병행되어 행해진다. 게이트 배선은, 대표적으로는 크롬 배선으로 형성된다.

프로세스 P120의 종료 후, 형성된 게이트선보다 넓은 선폭으로 레지스트가 형성된 후에, 이 레지스트를 마스크로 하여 제2 불순물 주입공정(프로세스 P130)이 행해진다. 이에 따라 도 5에 나타낸 교차부(150)에 형성되는 TFT(디코드 트랜지스터)의 소스·드레인영역에 해당하는 n형 영역(180)과, 도 6에 표시된 n형 TFT(26)의 소스·드레인영역(251, 252)이 병행되어 형성된다.

프로세스 P130의 종료 시점에서는, 디코드 트랜지스터 및 화소 스위치소자에 해당하는 각 TFT는, LDD 영역 185, 260을 제외한 부분이 n형화 되어 있다.

다음에 레지스트를 제거한 후에, 게이트 배선을 마스크로 한 셀프 얼라인에 의해 제3 불순물 주입공정(프로세스 P140)이 행해진다. 프로세스 P140에서 도핑되는 이온 농도는, 제1 및 제2 불순물 주입공정(프로세스 P110, P130)보다도 낮고, 이에 따라 디코드회로 부분의 각 TFT 및 화소 부분의 각 TFT에 있어서 병행되어, LDD 영역 185 및 260이 각각 형성된다.

이상 설명한 프로세스 P100~P140에 의해, 도 6에 나타낸 화소구조의 제조공정과 병렬로, 도 5에 나타낸 디코드회로 부분을 제조하는 것이 가능하다. 또한 그 후에 상층의 절연층이나 배선층이 순서대로 형성되어, 표시장치가 다른 회로 부분이 제조된다.

이때, 본 실시예에서 각 TFT에 있어서, 게이트 배선을 반도체막(혹은 폴리실리콘 배선)의 상층측에 설치하는 구조를 예시했지만, 이들 상하를 교체시켜, 게이트 배선의 상층측에 반도체막(혹은 폴리실리콘 배선)을 설치하는 것도 가능하다. 이 경우에도, 이 상하 관계를 화소 부분의 각 TFT와, 디코드회로 부분의 각 TFT와의 사이에 구비하면, 양자를 동일 프로세스 내에서 병행하여 제작할 수 있다.

또한 도 3에는, 각 디코드경로에 있어서 독립적으로 디코드 트랜지스터가 배치되는 구성을 설명했지만, 디코드 트랜지스터의 배치 개수를 삽감하기 위해, 디코드 트랜지스터의 일부를 복수의 디코드경로 사이에 공유하는 구성으로 하는 것도 가능하다.

도 8은, 본 발명의 실시예에 따른 디코드회로의 다른 구성예를 나타내는 회로도이다.

도 8을 참조하여, 도 3에서의 계조전압 발생회로 60에 대신하는 계조전압 발생회로 60#은, 16단계의 계조전압 V1~V16 을 생성한다. 다른 구성예에 따른 디코드회로 70#은, 표시신호 D0~D3으로 구성되는 4비트의 표시신호를 디코드하고, 해당 디코드에 근거하여 계조전압 발생회로 60#으로부터의 계조전압 V1~V16의 1개를 선택적으로 출력노드 Nd에 출력한다.

디코드회로 70#은, 디코드경로 DP(1)~DP(16)을 포함한다. 디코드경로 DP(1)~DP(16)은, 노드 N1~N16으로부터 출력노드 Nd1에 계조전압 V1~V16을 각각 전달하기 위해 설치된다.

디코드회로 70#에서는, 최하위의 표시신호비트 D0을 제외하고, 다른 표시신호비트 D1~D3에 대응하는 디코드 트랜지스터는, 복수의 디코드경로 사이에 공유된다.

구체적으로는, 표시신호비트 D0에 대응하는 디코드 트랜지스터 T0(1)~T0(16)이 디코드경로 DP(1)~DP(16)마다 설치되는 한쪽에서, 표시신호 D3에 대응하는 디코드 트랜지스터 T3(1)은 디코드경로 DP(1)~DP(8)에 의해 공유되고, 디코드 트랜지스터 T3(2)은 디코드경로 DP(9)~DP(16)에 의해 공유된다.

마찬가지로, 표시신호비트 D2에 대응하는 디코드 트랜지스터 T2(1)~T2(4)는, 인접하는 4개씩의 디코드경로 DP에 의해 공유된다. 즉, 디코드 트랜지스터 T2(1) 및 T2(2)는, 디코드경로 DP(1)~DP(4) 및 디코드경로 DP(5)~DP(8)에 의해 각각 공유되고, 디코드 트랜지스터 T2(3) 및 T2(4)는, 디코드경로 DP(9)~DP(12) 및 디코드경로 DP(13)~DP(16)에 의해 각각 공유된다. 또한 표시신호비트 D1에 대응하는 디코드 트랜지스터 T1(1)~T1(8)의 각각은, 인접하는 2개씩의 디코드 경로 DP에 의해 공유된다.

도 3과 마찬가지로, 표시신호비트 D0~D3을 각각 전달하는 신호선 SL(0)~SL(3) 및, 표시신호비트 D0~D3의 역상신호, 즉 반전비트 /D0~/D3을 각각 전달하는 신호선 ZSL(0)~ZSL(3)이 Y 방향을 따라 설치된다. 또한, 디코드 트랜지스터의 게이트는, 대응한 신호선 SL 및 ZSL의 한쪽과 교대로 접속된다.

예를 들면, 디코드경로 DP(16)는, 신호선 SL(0)~SL(3)과 각각 접속된 게이트를 갖는 디코드 트랜지스터 T0(16), T1(8), T2(4) 및 T3(2)을 포함한다. 따라서, 표시신호비트(D0, D1, D2, D3)=(1, 1, 1, 1)일 때에, 전체 디코드경로 중에서 디코드 경로 DP(16)가 선택되어, 계조전압 V16이 출력노드 Nd1에 선택적으로 출력된다.

마찬가지로, 디코드경로 DP(15)는, 신호선 ZSL(0), SL(1)~SL(3)과 각각 접속된 게이트를 갖는, 디코드 트랜지스터 T0(15), T1(8), T2(4) 및 T3(2)을 포함한다. 따라서, 표시신호비트(D0, D1, D2, D3)=(0, 1, 1, 1)일 때에, 전체 디코드경로 중에서 디코드경로 DP(15)가 선택되어, 계조전압 V15가 출력노드 Nd1에 선택적으로 출력된다.

또한 디코드경로 DP(2)는, 신호선 SL(0), ZSL(1)~ZSL(3)과 각각 접속된 게이트를 갖는, 디코드 트랜지스터 T0(2), T1(1), T2(1) 및 T3(1)을 포함한다. 따라서, 표시신호비트(D0, D1, D2, D3)=(1, 0, 0, 0)일 때에, 전체 디코드경로 중에서 디코드경로 DP(2)가 선택되어, 계조전압 V2가 출력노드 Nd1에 선택적으로 출력된다.

마찬가지로, 디코드경로 DP(1)는, 신호선 ZSL(0)~ZSL(3)과 각각 접속된 게이트를 갖는, 디코드 트랜지스터 T0(1), T1(1), T2(1) 및 T3(1)을 포함한다. 따라서, 표시신호비트(D0, D1, D2, D3)=(0, 0, 0, 0)일 때에, 전체 디코드경로 중에서 디코드경로 DP(1)가 선택되어, 계조전압 V1이 출력노드 Nd1에 선택적으로 출력된다.

다른 디코드경로에 대해서도 마찬가지로, 표시신호비트 D0을 최하위 비트로 한 표시신호비트 D0~D3의 인크리먼트에 대응하여, 전압노드 N1~N16이 순서대로 출력노드 Nd1과 전기적으로 접속되도록 구성된다.

이러한 구성으로 함으로써, 복수비트의 표시신호에 따라 1개의 디코드경로가 선택되어, 선택된 디코드경로에서는, 모든 디코드 트랜지스터가 온된다. 한편, 그 밖의 디코드경로에서는, 적어도 1개 디코드 트랜지스터가 오프된다.

따라서, 도 8에 나타내는 디코드회로(70#)는, 도 3에 나타낸 디코드회로보다도 디코드 트랜지스터의 배치 개수를 삭감한 후에, 표시신호비트 D0을 최하위 비트로 한 표시신호비트에 대응하여, 계조전압을 선택적으로 표시전압으로서 출력노드 Nd1에 전달할 수 있다.

또한 도 3의 디코드회로(70)와 마찬가지로, 디코드 트랜지스터의 게이트와 접속되지 않은 신호선과 각 디코드경로의 사이에 기생용량 C를 형성함으로써, 선택된 디코드경로에 있어서, 표시신호비트 D0~D5의 변화에 의해 계조전압(표시전압)에 생기는 노이즈를 억제할 수 있다. 이 결과, 계조전압의 설정 정밀도를 향상시킴으로써, 계조표시를 더 정확하게 행하여 표시 품위를 향상할 수 있다.

이때, 도 8에서는 4비트의 표시신호를 디코드하는 디코드회로(70#)의 구성을 예시했지만, 임의의 비트수의 표시신호에 대응하여, 최하위 비트 이외의 표시신호비트에 대응하는 디코드 트랜지스터를 복수의 디코드회로 사이에 공유하는 디코드회로를 구성할 수 있다.

또한, 본 실시예에서는, 각 디코더 트랜지스터가 n형 TFT로 구성되는 예를 나타냈지만, 각 디코드 트랜지스터를 p형 TFT로 구성하는 것도 가능하다. 이 경우에는, 도 6에 나타낸 화소(25) 중의 저장용량(27)의 한쪽 전극에 상당하는 n형 영역(262)을 p형 영역으로 치환하면, 각 디코드 트랜지스터를 저장용량과 동일한 공정으로 제조할 수 있다.

본 발명을 상세히 설명하여 나타내 왔지만, 이것은 예시를 위한 것으로서, 한정될 수 없고, 발명의 정신과 범위는 첨부한 청구범위에 의해서만 한정되는 것이 명백하게 이해될 것이다.

발명의 효과

본 발명에 의하면, 계조전압을 전달하기 위한 디코드경로는, 표시신호의 각 비트에 대하여 제1 및 제2 신호선의 각각으로부터 서로 상쇄되는 역상의 노이즈가 중첩되게 된다. 따라서, 디코드 트랜지스터의 개수를 증가시키지 않고 디코드회로의 내노이즈성을 높여 계조전압을 고정밀도로 설정할 수 있다. 이 결과, 표시장치의 표시품위를 향상할 수 있다.

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 표시장치의 대표예로서 표시되는 액정표시장치의 전체 구성을 나타내는 블록도이다.

도 2는 EL 소자를 포함하는 화소의 구성예를 나타내는 회로도이다.

도 3은 본 발명의 실시예에 따른 디코드회로의 구성예를 나타내는 회로도이다.

도 4는 도 3에 표시된 디코드회로의 구성을 상세하게 설명하는 평면도이다.

도 5는 도 4에서의 단면도이다.

도 6은 도 1에 나타낸 화소 부분의 구조를 설명하는 도면이다.

도 7은 도 3~도 5에 표시된 디코드회로의 제조공정을 설명하는 플로우차트이다.

도 8은 본 발명의 실시예에 따른 디코드회로의 다른 구성예를 나타내는 회로도이다.

도면의 주요부분에 대한 부호의 설명

10 : 액정표시장치 20 : 액정어레이부

25, 25# : 화소 26 : 화소 스위치소자

27 : 저장용량 60 : 계조전압 생성회로

70 : 디코드회로 125, 145 : 폴리실리콘 배선

130, 203, 253 : 게이트 절연막 135 : 금속배선층(게이트 배선)

150 : 교차부(TFT 형성 영역) 155 : 교차부(TFT 비형성영역)

165 : 게이트 배선 170 : 플레인 영역

180, 251, 252 : n형 영역 185, 260 : LDD 영역

190 : 절연체기판 195 : 반도체막(TFT 형성)

204, 254 : 게이트 C : 기생용량

D0 ~ D5 : 표시신호비트 /D0~/D5 : 반전 비트(역상신호)

DL, DL1 , DL2 : 데이터선 DP(1)~DP(64) : 디코드경로

GL, GL1 : 게이트선 N1~N64 : 전압노드

Nc : 공통전극노드 Nd, Nd1, Nd2 : 디코드 출력노드

Np : 화소노드 P100~P150 : 제조 프로세스

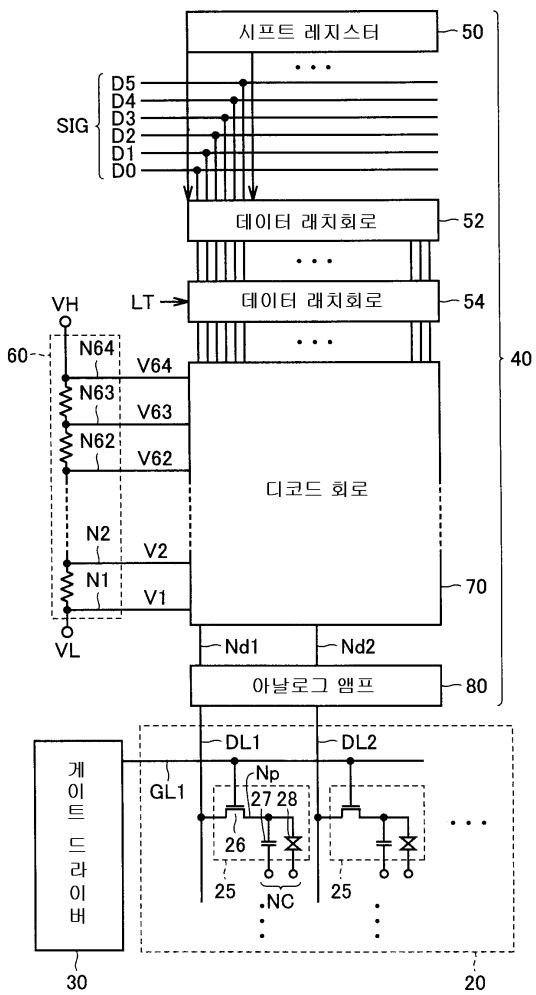
SIG : 표시신호 SL(i), ZSL(i) : 신호선

T0(i)~T5(i) : 디코드 트랜지스터 V1~V64 : 계조전압

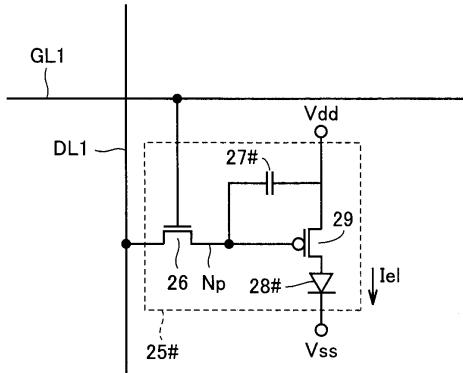
도면

도면1

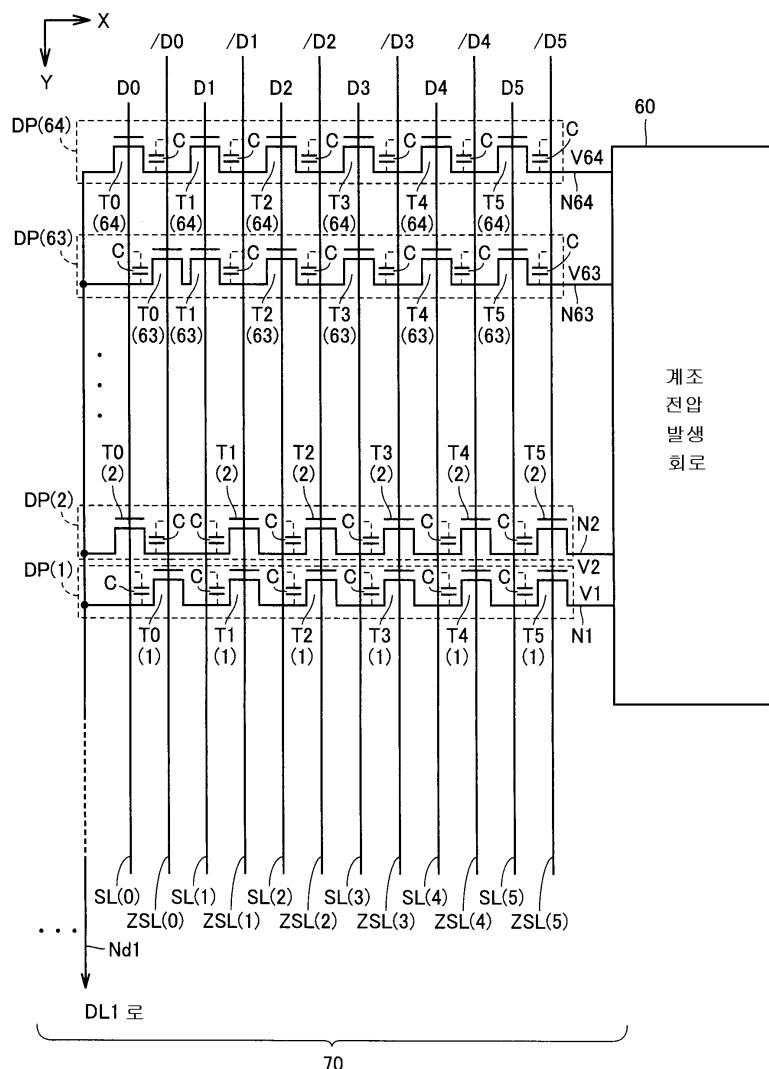
10



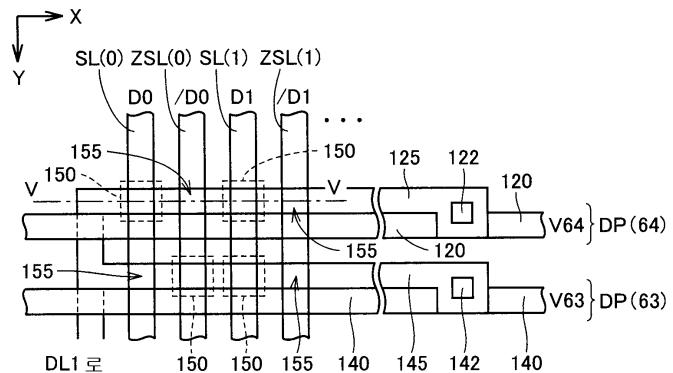
도면2



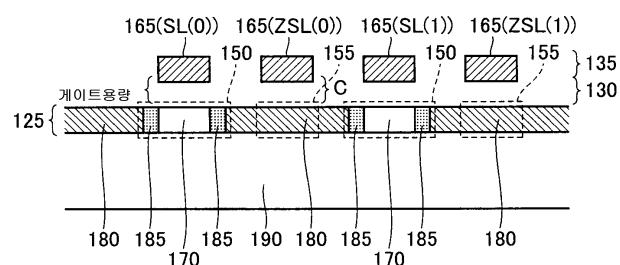
도면3



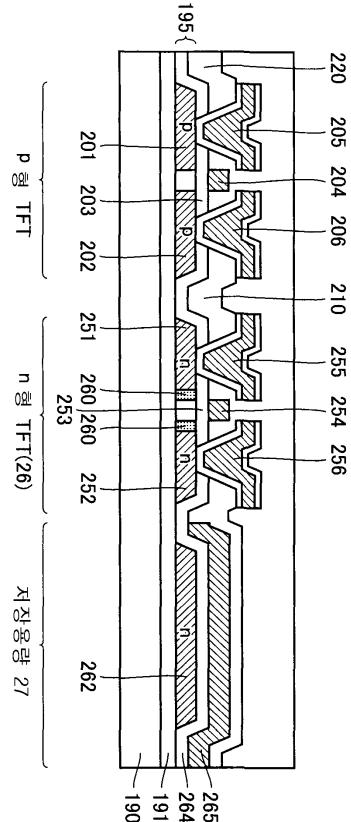
도면4



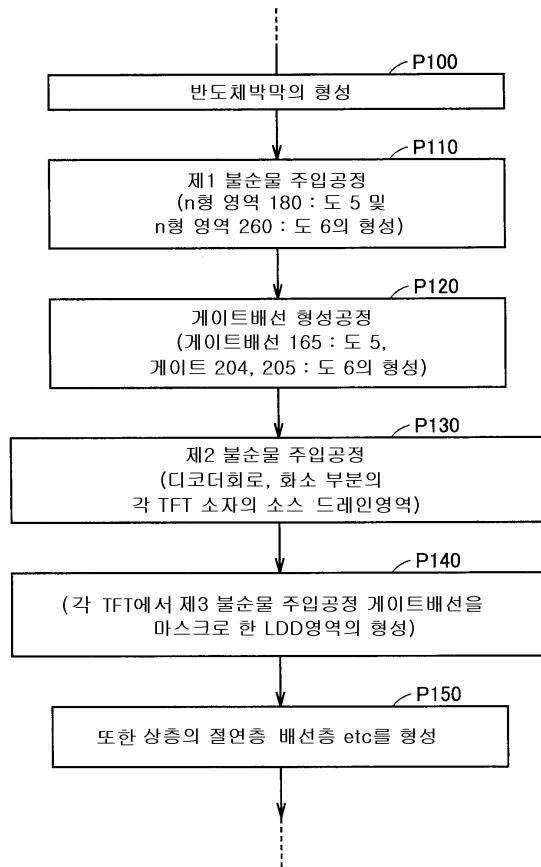
도면5



도면6



도면7



도면8

