



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I400797B1

(45)公告日：中華民國 102 (2013) 年 07 月 01 日

(21)申請案號：098112705

(22)申請日：中華民國 98 (2009) 年 04 月 16 日

(51)Int. Cl. : H01L27/24 (2006.01)

H01L45/00 (2006.01)

(30)優先權：2008/08/06 日本

2008-202771

(71)申請人：日立製作所股份有限公司 (日本) HITACHI, LTD. (JP)

日本

(72)發明人：木下勝治 KINOSHITA, MASAHARU (JP) ; 世子佳孝 SASAGO, YOSHITAKA (JP) ; 高浦則克 TAKAURA, NORIKATSU (JP)

(74)代理人：陳長文

(56)參考文獻：

US 6579760B1

US 6750469B2

US 20080002455A1

US 2005/0207248A1

US 2006/0237756A1

US 2008/0113469A1

審查人員：郭德豐

申請專利範圍項數：23 項 圖式數：57 共 0 頁

(54)名稱

非揮發性記憶裝置及其製造方法

NONVOLATILE MEMORY DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)摘要

本發明於包含相變記憶體之非揮發性記憶裝置中，提供一種可實現即便使相變材料變成高溫，二極體仍不易變成高溫之記憶胞構造的技术，該相變記憶體係藉由組合有由相變材料所組成之記憶元件與由二極體所組成之選擇元件之交叉點型記憶胞而構成。於沿著第 1 方向延伸之複數第 1 金屬布線 2 與沿著與第 1 方向正交之第 2 方向延伸之複數第 3 金屬布線 9 之交點，配置藉由由相變材料 7 所組成之記憶元件及由疊層構造之二極體所組成的選擇元件而構成之記憶胞，該疊層構造係第 1 多晶矽膜 3、第 2 多晶矽膜 4 及第 3 多晶矽膜 5 之疊層構造；於鄰接之選擇元件之間及鄰接之記憶元件之間形成層間膜(例如第 2 層間膜 11)，於設置於鄰接之記憶元件之間之層間膜形成空隙(例如空隙 12b)。

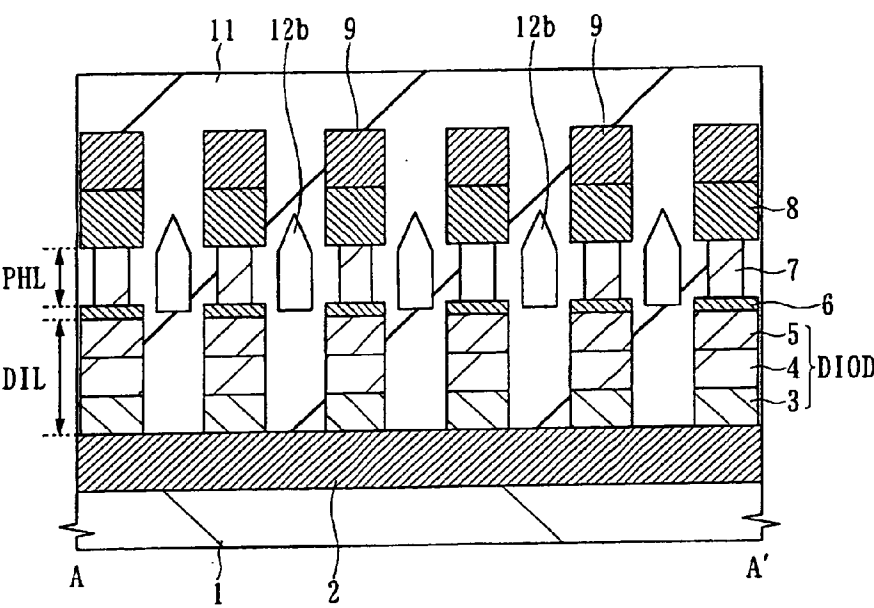


圖 2

- 1 . . . 半導體基板
- 2 . . . 第 1 金屬布線
- 3 . . . 第 1 多晶矽膜
- 4 . . . 第 2 多晶矽膜
- 5 . . . 第 3 多晶矽膜
- 6 . . . 緩衝層
- 7 . . . 相變材料
- 8 . . . 第 2 金屬布線
- 9 . . . 第 3 金屬布線
- 11 . . . 第 2 層間膜
- 12b . . . 空隙
- DIL . . . 設置有二極體的層
- DIOD . . . 二極體
- PHL . . . 設置有相變材料的層

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98112705

※申請日：98.4.16

※IPC 分類：H01L 27/24(2006.01)
45/00(2006.01)

一、發明名稱：(中文/英文)

非揮發性記憶裝置及其製造方法

NONVOLATILE MEMORY DEVICE AND METHOD OF
MANUFACTURING THE SAME

二、中文發明摘要：

本發明於包含相變記憶體之非揮發性記憶裝置中，提供一種可實現即便使相變材料變成高溫，二極體仍不易變成高溫之記憶胞構造的技術，該相變記憶體係藉由組合有由相變材料所組成之記憶元件與由二極體所組成之選擇元件之交叉點型記憶胞而構成。於沿著第1方向延伸之複數第1金屬布線2與沿著與第1方向正交之第2方向延伸之複數第3金屬布線9之交點，配置藉由由相變材料7所組成之記憶元件及由疊層構造之二極體所組成的選擇元件而構成之記憶胞，該疊層構造係第1多晶矽膜3、第2多晶矽膜4及第3多晶矽膜5之疊層構造；於鄰接之選擇元件之間及鄰接之記憶元件之間形成層間膜(例如第2層間膜11)，於設置於鄰接之記憶元件之間之層間膜形成空隙(例如空隙12b)。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

1	半 導 體 基 板
2	第 1 金 屬 布 線
3	第 1 多 晶 矽 膜
4	第 2 多 晶 矽 膜
5	第 3 多 晶 矽 膜
6	緩 衝 層
7	相 變 材 料
8	第 2 金 屬 布 線
9	第 3 金 屬 布 線
11	第 2 層 間 膜
12b	空 隙
DIL	設 置 有 二 極 體 的 層
DIOD	二 極 體
PHL	設 置 有 相 變 材 料 的 層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種非揮發性記憶裝置及其製造技術，特別是關於一種適用於包含相變記憶體之非揮發性記憶裝置及其製造有效之技術，該相變記憶體係非揮發地記憶藉由金屬化合物之結晶狀態與非晶質狀態之間之相變所決定的電阻值，可電性地進行重寫。

【先前技術】

非揮發性記憶裝置係利用金屬化合物之結晶狀態及非晶質狀態作為記憶資訊，一般使用碲化合物作為其記憶材料。其原理係作為資訊而記憶金屬化合物之結晶狀態之反射率與非晶質狀態之反射率的差異，廣泛利用於例如DVD (Digital Versatile Disk：數位多功能碟片)之光學資訊記憶媒體。

然而，近年來提案將金屬化合物用於電性資訊記憶媒體。將該金屬化合物用於電性資訊記憶媒體之方法係與將前述金屬化合物用於光學資訊記憶媒體之光學手法不同，其係藉由電流量或電壓變化，來檢測金屬化合物之結晶狀態與非晶質狀態之電性電阻差，亦即檢測結晶之低電阻狀態與非晶質之高電阻狀態之差異的電性手法。例如於日本特開2003-100085號公報(專利文獻1)，揭示有一種利用稱為相變記憶體或相變型記憶體之金屬化合物之電性資訊記憶媒體。

相變記憶體基本的記憶胞(memory cell)之構造係組合有

記憶元件(相變材料)與選擇元件之構造。相變記憶體係藉由從選擇元件加上電流而於記憶元件發生之焦耳熱，以使記憶元件成為結晶狀態或非晶質狀態，藉此記憶、保持資訊。其重寫係於電性地成為高電阻之非晶質狀態的情況時，施加大電流，使記憶元件之溫度成為熔點以上之後，進行急冷即可，於電性地成為低電阻之結晶狀態的情況時，限制所施加之電流，使記憶元件之溫度成為低於熔點之結晶化溫度即可。一般而言，記憶元件之電阻值係由於相變，甚至會變化2位數至3位數。因此，相變記憶體係依記憶元件為結晶狀態亦或非晶質狀態，其讀出信號會差異甚大，因此容易進行感測動作。

例如於日本特開2003-303941號公報(專利文獻2)，揭示有一種包含有能以低成本製造之交叉點型記憶胞的相變記憶體。

[專利文獻1] US6,750,469

[專利文獻2] US6,579,760

【發明內容】

[發明所欲解決之問題]

交叉點型記憶胞必須使用二極體作為選擇元件，用以防止錯誤資訊的寫入。如前述，藉由從作為選擇元件之二極體對作為記憶元件之相變材料流入電流，以重寫記憶胞之資訊。此係意味相變材料會由於使其結晶狀態變化而變成高溫，另一方面，二極體亦同樣由於具有電阻而變成高溫。

然而，若二極體變成高溫，會引起二極體內之雜質剖面破壞，無法維持進行適當讀出所需之關閉電流，或二極體本身受到熱破壞等問題。雖亦可採用熱傳導率高的材料作為二極體的材料，以使二極體不變成高溫，但該情況下，會引起為了使相變材料變成高溫而需要大電流，或無法變成所需高溫，難以重寫資訊等問題。因此，交叉點型記憶胞之課題在於開發一種記憶胞構造，其係重寫時，二極體不易變成高溫，且相變材料容易變成高溫之記憶胞構造。

本發明之目的在於於包含相變記憶體之非揮發性記憶裝置中，提供一種可實現即便使相變材料變成高溫，二極體仍不易變成高溫之記憶胞構造的技術，該相變記憶體係藉由組合有由相變材料所組成之記憶元件與由二極體所組成之選擇元件之交叉點型記憶胞而構成。

本發明之前述以及其他目的與新特徵從本說明書之記述及附圖當可明瞭。

[解決問題之技術手段]

簡單說明本申請案所揭示之發明中具代表性者之一實施型態如下。

該實施型態為一種非揮發性記憶裝置，其包含：複數第1金屬布線，沿著第1方向延伸；複數第3金屬布線，沿著與第1方向正交之第2方向延伸；及相變記憶體，於第1金屬布線與第3金屬布線之交點，由包含記憶元件及選擇元件之交叉點型記憶胞所構成。記憶胞係包含：選擇元件，其係設置於第1金屬布線上；記憶元件，其係設置於選擇

元件上；第2金屬布線，其係設置於記憶元件上；及第3金屬布線，其係設置於第2金屬布線上；於鄰接之選擇元件之間及記憶元件之間形成有層間膜，於鄰接之記憶元件間所設之層間膜形成有空隙。

而且，該實施型態為一種非揮發性記憶裝置，其包含：複數第1金屬布線，沿著第1方向延伸；複數第3金屬布線，沿著與第1方向正交之第2方向延伸；及相變記憶體，於第1金屬布線與第3金屬布線之交點，由包含記憶元件及選擇元件之交叉點型記憶胞所構成。記憶胞包含：選擇元件，其係設置於第1金屬布線上；記憶元件，其係設置於選擇元件上；第2金屬布線，其係設置於記憶元件上；及第3金屬布線，其係設置於第2金屬布線上；鄰接之記憶元件之間設有熱傳導率較鄰接之選擇元件之間所設層間膜更低之層間膜。

而且，該實施型態為一種非揮發性記憶裝置之製造方法，該非揮發性記憶裝置包含：複數第1金屬布線，沿著第1方向延伸；複數第3金屬布線，沿著與第1方向正交之第2方向延伸；及相變記憶體，於第1金屬布線與第3金屬布線之交點，由包含記憶元件及選擇元件之交叉點型記憶胞所構成。首先，於半導體基板上依次形成第1金屬膜、選擇元件材料、緩衝層、相變材料及第2金屬膜後，沿著第1方向依次蝕刻第2金屬膜、相變材料、緩衝層、選擇元件材料及第1金屬膜，加工成相變材料之寬度窄於緩衝層或選擇元件材料之寬度的條狀。接下來，於鄰接之相變材

料之間形成空隙，藉由第1層間膜填埋鄰接之第2金屬膜、相變材料、緩衝層、選擇元件材料及第1金屬膜之疊層圖案間。接下來，研磨第1層間膜之表面，使第2金屬膜之上面露出後，於半導體基板上形成第3金屬膜。進一步沿著第2方向，依次蝕刻第3金屬膜、第2金屬膜、相變材料、緩衝層及選擇元件材料，加工成相變材料之寬度窄於緩衝層或選擇元件材料之寬度的條狀。接下來，於鄰接之相變材料之間形成空隙，藉由第2層間膜填埋鄰接之第3金屬膜、第2金屬膜、相變材料、緩衝層、選擇元件材料及第1金屬膜之疊層圖案間。

而且，該實施型態為一種非揮發性記憶裝置之製造方法，該非揮發性記憶裝置包含：複數第1金屬布線，沿著第1方向延伸；複數第3金屬布線，沿著與第1方向正交之第2方向延伸；及相變記憶體，於第1金屬布線與第3金屬布線之交點，由包含記憶元件及選擇元件之交叉點型記憶胞所構成。首先，於半導體基板上依次形成第1金屬膜、選擇元件材料、緩衝層、相變材料及第2金屬膜後，沿著第1方向依次蝕刻第2金屬膜、相變材料、緩衝層、選擇元件材料及第1金屬膜，加工成條狀。接下來，沿著第1方向，將第2金屬膜及相變材料加工變細後，被覆第2金屬膜及相變材料之側面，同時形成填埋鄰接之緩衝層、選擇元件材料及第1金屬膜之疊層圖案間之第1層間膜。接下來，回蝕第1層間膜後，藉由熱傳導率低於第1層間膜之第2層間膜，填理由於第1層間膜之被覆性所產生之空間。接下

來，研磨第2層間膜之表面，使第2金屬膜之上面露出後，於半導體基板上形成第3金屬膜。進一步沿著第2方向，依次蝕刻第3金屬膜、第2金屬膜、相變材料、緩衝層及選擇元件材料，加工成條狀。接下來，沿著第2方向，將第2金屬膜及相變材料加工變細後，被覆第2金屬膜及相變材料之側面，同時形成填埋鄰接之緩衝層、選擇元件材料及第1金屬膜之疊層圖案間之第3層間膜。接下來，回蝕第3層間膜後，藉由熱傳導率低於第3層間膜之第4層間膜，填理由於第3層間膜之被覆性所產生之空間。

而且，該實施型態為一種非揮發性記憶裝置之製造方法，該非揮發性記憶裝置包含有：複數第1金屬布線，沿著第1方向延伸；複數第3金屬布線，沿著與第1方向正交之第2方向延伸；及相變記憶體，於第1金屬布線與第3金屬布線之交點，由包含記憶元件及選擇元件之交叉點型記憶胞所構成。首先，於半導體基板上依次形成第1金屬膜、選擇元件材料、緩衝層、相變材料及第2金屬膜後，沿著第1方向依次蝕刻第2金屬膜、相變材料、緩衝層、選擇元件材料及第1金屬膜，加工成條狀。接下來，沿著第1方向，將第2金屬膜及相變材料加工變細後，形成填埋鄰接之第2金屬膜、相變材料、緩衝層、選擇元件材料及第1金屬膜之疊層圖案間之第1層間膜。接下來，回蝕第1層間膜，去除鄰接之第2金屬膜及相變材料之疊層圖案間之第1層間膜。接下來，藉由熱傳導率低於第1層間膜之第2層間膜，填埋鄰接之第2金屬膜及相變材料之疊層圖案間，研

磨第2層間膜之表面，使第2金屬膜之上面露出後，於半導體基板上形成第3金屬膜。進一步沿著第2方向，依次蝕刻第3金屬膜、第2金屬膜、相變材料、緩衝層及選擇元件材料，加工成條狀。接下來，沿著第2方向，將第2金屬膜及相變材料加工變細後，形成填埋鄰接之第3金屬膜、第2金屬膜、相變材料、緩衝層、選擇元件材料及第1金屬膜之疊層圖案間之第3層間膜。接下來，回蝕第3層間膜，去除鄰接之第2金屬膜及相變材料之疊層圖案間之第3層間膜。接下來，藉由熱傳導率低於第3層間膜之第4層間膜，填埋鄰接之第2金屬膜及相變材料之疊層圖案間。

而且，該實施型態為一種非揮發性記憶裝置之製造方法，該非揮發性記憶裝置包含：複數第1金屬布線，沿著第1方向延伸；複數第3金屬布線，沿著與第1方向正交之第2方向延伸；及相變記憶體，於第1金屬布線與第3金屬布線之交點，由包含記憶元件及選擇元件之交叉點型記憶胞所構成。首先，於半導體基板上依次形成第1金屬膜、選擇元件材料、緩衝層、相變材料及第2金屬膜後，沿著第1方向依次蝕刻第2金屬膜、相變材料、緩衝層、選擇元件材料及第1金屬膜，加工成條狀。接下來，沿著第1方向，第2金屬膜及相變材料加工變細後，將緩衝層之上部寬度較下部寬度更窄地加工。接下來，被覆第2金屬膜及相變材料之側面，同時形成填埋鄰接之緩衝層、選擇元件材料及第1金屬膜之疊層圖案間之第1層間膜後，藉由熱傳導率低於第1層間膜之第2層間膜，填埋由於第1層間膜之

被覆性所產生之空間。接下來，研磨第1層間膜及第2層間膜之表面，使第2金屬膜之上面露出後，於半導體基板上形成第3金屬膜。進一步沿著第2方向，依次蝕刻第3金屬膜、第2金屬膜、相變材料、緩衝層及選擇元件材料，加工成條狀。接下來，沿著第2方向，將第2金屬膜及相變材料加工變細後，將緩衝層之上部寬度較下部寬度更窄地加工。接下來，被覆第2金屬膜及相變材料之側面，同時形成填埋鄰接之緩衝層、選擇元件材料及第1金屬膜之疊層圖案間之第3層間膜後，藉由熱傳導率低於第3層間膜之第4層間膜，填理由於第3層間膜之被覆性所產生之空間。

而且，該實施型態為一種非揮發性記憶裝置之製造方法，該非揮發性記憶裝置包含：複數第1金屬布線，沿著第1方向延伸；複數第3金屬布線，沿著與第1方向正交之第2方向延伸；及相變記憶體，於第1金屬布線與第3金屬布線之交點，由包含記憶元件及選擇元件之交叉點型記憶胞而構成。首先，於半導體基板上依次形成第1金屬膜、選擇元件材料及第1緩衝層後，沿著第1方向依次蝕刻第1緩衝層、選擇元件材料及第1金屬膜，加工成條狀。接下來，於半導體基板上形成第1層間膜，填埋鄰接之第1緩衝層、選擇元件材料及第1金屬膜之疊層圖案間後，研磨第1層間膜之表面，使第1緩衝層之上面露出。接下來，沿著第2方向，依次蝕刻第1緩衝層及選擇元件材料，加工成條狀。接下來，於半導體基板上形成第2層間膜，填埋鄰接之第1緩衝層、選擇元件材料及第1金屬膜之疊層圖案間

後，研磨第2層間膜之表面，使第1緩衝層之上面露出。進一步於半導體基板上依次形成第2緩衝層、相變材料及第2金屬膜後，沿著第1方向，依次蝕刻第2金屬膜、相變材料及第2緩衝層，加工成條狀。接下來，於半導體基板上形成熱傳導率低於第1或第2層間膜之第3層間膜，填埋鄰接之第2金屬膜、相變材料及第2緩衝層之疊層圖案間後，研磨第3層間膜之表面，使第2金屬膜之上面露出。接下來，沿著第2方向，依次蝕刻第2金屬膜、相變材料及第2緩衝層，加工成條狀。接下來，於半導體基板上形成熱傳導率低於第1或第2層間膜之第4層間膜，填埋鄰接之第2金屬膜、相變材料及第2緩衝層之疊層圖案間後，研磨第4層間膜之表面，使第2金屬膜之上面露出。接下來，於半導體基板上形成第3金屬膜，沿著第2方向加工成條狀。

【實施方式】

[發明之效果]

簡單說明本申請案所揭示之發明中由具代表性者之一實施型態所獲得之效果如下。

可實現一種即便使相變材料變成高溫，二極體仍不易變成高溫之記憶胞構造。

於以下實施型態中，為了方便而有其需要時，分割為複數部分或實施型態來說明，但除特別明示之情況以外，其等並非互無關係，而是處於一方為另一方或全部之變形例、細節、補充說明等之關係。

而且，於以下實施型態，提及要素之數字等(包含個

數、數值、量、範圍等)之情況時，除特別明示之情況及原理上明顯限定於特定數之情況等以外，不得限定於該特定數，特定數以上或以下均可。進一步而言，於本實施型態，其構成要素(亦包含要素步驟等)除特別明示之情況及原理上據判明顯為必需之情況等以外，當然未必為必需。同樣地，於以下實施型態，提及構成要素等之形狀、位置關係等時，除特別明示之情況及原理上據判明顯否定之情況等以外，實質上包含與該形狀等近似或類似者等。關於上述數值及範圍，此亦同理。

而且，於以下實施型態所用之圖式中，即便為俯視圖，為了使圖式容易觀看，亦有附上影線的情況。而且，於以下實施型態中，言及晶圓時，主要為Si(Silicon：矽)單結晶晶圓，但不僅止於其，亦指用以於其上形成SOI(Silicon On Insulator：絕緣層上覆矽)晶圓、積體電路之絕緣膜基板等。其形狀亦不僅止於圓形或大致圓形，亦包含正方形、長方形等。

而且，於用以說明以下實施型態之所有圖中，具有同一功能原則上附上同一符號，並省略其重複說明。以下，根據圖式來詳細說明本發明之實施型態。

首先，由於認為依據本發明之實施型態之相變記憶體的構造會更明確，因此簡單說明關於迄今由本案發明者所檢討的相變記憶體之基本構造及基本動作。此外，於以下說明中，為了方便，由本案發明者所檢討之相變記憶胞係記載作以往之相變記憶胞。

於圖 57 表示以往之相變記憶體之要部剖面圖。於圖 57 中，101 為半導體基板，102 係沿著第 1 方向延伸之第 1 金屬布線。而且，103 為第 1 多晶矽膜，104 為第 2 多晶矽膜，105 為第 3 多晶矽膜，以該等 3 層形成作為選擇元件之二極體 CDIOD。而且，106 為緩衝層，107 係作為記憶元件之相變材料，108 為插塞狀之第 2 金屬布線，109 係沿著與第 1 方向正交之第 2 方向延伸之第 3 金屬布線，110 為層間膜。

於以往之相變記憶體的重寫時，電流依序從第 3 金屬布線 109，流往第 2 金屬布線 108、相變材料 107、緩衝層 106、二極體 CDIOD、然後第 1 金屬布線 102。於該等之系統中，焦耳熱主要於電阻高的部分，亦即於相變材料 107、二極體 CDIOD 及緩衝層 106 之界面，或於二極體 CDIOD 與第 1 金屬布線 102 之界面發生。所發生的熱擴散至周圍材料。例如於相變材料 107 所發生的熱係往存在於相變材料 107 周圍之緩衝層 106、第 2 金屬布線 108 及層間膜 110 擴散。

(實施型態 1)

利用圖 1~圖 5 來說明依據本實施型態 1 之相變記憶體之記憶體矩陣。圖 1 為記憶體矩陣之頂視圖，圖 2 為圖 1 之 A-A' 線之記憶體矩陣之要部剖面圖，圖 3 為圖 1 之 B-B' 線之記憶體矩陣之要部剖面圖，圖 4 為圖 1 之 C-C' 線之記憶體矩陣之要部剖面圖，圖 5 為圖 1 之 D-D' 線之記憶體矩陣之要部剖面圖。於圖 1，為了使記憶體矩陣之構造容易理解，因此僅表示第 3 金屬布線、第 1 金屬布線及半導體基板。

圖中，符號1為半導體基板，符號2係沿著第1方向延伸之第1金屬布線。而且，符號3為第1多晶矽膜，符號4為第2多晶矽膜，符號5為第3多晶矽膜，以該等3層形成作為選擇元件之二極體DIOD，符號6為緩衝層(例如TiN)，符號7係作為記憶元件之相變材料(例如 $\text{Ge}_2\text{Sb}_2\text{Te}_5$)，符號8為第2金屬布線(例如TiN)，符號9為第3金屬布線，符號10為第1層間膜(例如TEOS：四乙氧矽烷)，符號11為第2層間膜(例如TEOS)，符號12a及12b為空隙。此外，第1層間膜10與第2層間膜11形成於互異之區域，將鄰接之二極體DIOD與相變材料等予以電性地分離。

於相變記憶體之重寫時，與前述之以往的相變記憶體之電流路徑相同，電流依序從第3金屬布線9，流往第2金屬布線8、相變材料7、緩衝層6、二極體DIOD、然後第1金屬布線2。

於以往之相變記憶體，設置有相變材料107之層CPHL之記憶胞間之熱傳導率 K_{CP} ，係與設置有二極體CDIOD的層CDIL之記憶胞間之熱傳導率 K_{CD} 相等。於依據本實施型態1之相變記憶體中設置有二極體DIOD的層DIL，在鄰接之記憶胞間存在有第1層間膜10或第2層間膜11，於設置有相變材料7的層PHL，在鄰接之記憶胞間存在有第1層間膜10及空隙12a、或第2層間膜11及空隙12b。於此，第1層間膜10及第2層間膜11之熱傳導率為 K_1 (TEOS之熱傳導率：約 $1.4 \text{ W}/(\text{m}\cdot\text{K})$)，空隙12a, 12b之熱傳導率為 K_A (真空之熱傳導率：約 $0 \text{ W}/(\text{cm}\cdot\text{K})$)，有 $K_A < K_1$ 之關係。因此，設置有相

變材料7的層PHL之記憶胞間的熱傳導率 K_P ，係小於設置有二極體DIOD的層DIL之記憶胞間的熱傳導率 K_D 。

因此，依據本實施型態1之相變記憶體係與以往之相變記憶體比較，其二極體部分之放熱變大，相變材料部分之放熱變小。總言之，依據本實施型態1之記憶體矩陣係二極體DIOD不易變成高溫，且相變材料7容易變成高溫之構造。

接著，利用圖6~圖16來說明依據本實施型態1之相變記憶體之製造方法。圖6及圖12為記憶體矩陣之頂視圖，圖7~圖11及圖13係對應於圖1之B-B'線之記憶體矩陣之要部剖面圖，圖14~圖16係對應於圖1之A-A'線之記憶體矩陣之要部剖面圖。

首先，如圖6及圖7所示，於半導體基板1上，依次堆積第1金屬膜2a、第1多晶矽膜3、第2多晶矽膜4、第3多晶矽膜5、緩衝層6、相變材料7及第2金屬膜8a。

第1金屬膜2a的材料為例如W(鎢)，可例如藉由CVD (Chemical Vapor Deposition：化學汽相沈積法)法等形成。第1多晶矽膜3為包含B(硼)作為雜質之多晶矽的情況下，由於為第1多晶矽膜3與第1金屬膜2a直接接合之構造，因此第1金屬膜2a的材料宜為W，以降低第1多晶矽膜3與第1金屬膜2a之接觸電阻。第1金屬膜2a之膜厚期望為例如10 nm以上、100 nm以下。若第1金屬膜2a之膜厚過薄，布線電阻變高，若過厚，難以控制加工形狀。

第1多晶矽膜3的材料係包含B、Ga或In之任一者作為雜

質之多晶矽；第2多晶矽膜4的材料為本徵多晶矽，第3多晶矽膜5的材料係包含P(磷)或As作為雜質之多晶矽，可例如分別藉由CVD法形成。第1多晶矽膜3、第2多晶矽膜4及第3多晶矽膜5之合計膜厚期望為例如30 nm以上、250 nm以下。

第1多晶矽膜3、第2多晶矽膜4及第3多晶矽膜5亦可從起始即不作為多晶矽而成膜，作為非晶質矽成膜後，藉由雷射退火予以結晶化而成膜。藉此，可減低過程中之熱負載。而且，雖例示PIN二極體作為選擇元件，但亦可使用 $P^+/N^-/N^+$ 二極體，可獲得與PIN二極體同程度的性能。而且，於第1多晶矽膜3與第1金屬膜2a之間，為了降低接觸電阻，亦可利用矽化物技術形成鎢矽化物或鈦矽化物等。同樣地，於第3多晶矽膜5與緩衝層6之間，形成鈦矽化物等亦可。

緩衝層6的材料為例如TiN，可例如藉由CVD法等形成。緩衝層6係為了防止第1多晶矽膜3、第2多晶矽膜4及第3多晶矽膜5與相變材料7之相互擴散而設置，若其膜厚過厚，相變記憶體之驅動電壓變高，因此期望為50 nm以下。

相變材料7為例如 $Ge_2Sb_2Te_5$ ，可例如藉由濺鍍法等形成。作為其他相變材料7可使用包含硫族元素(S、Se、Te)中之至少1元素的材料，藉由選擇組成可獲得與 $Ge_2Sb_2Te_5$ 同程度之性能。相變材料7之膜厚期望為例如5 nm以上、300 nm以下。

第2金屬膜8a的材料為例如TiN，可例如藉由CVD法等形

成。第2金屬膜8a之膜厚期望為例如10 nm以上、100 nm以下。若第2金屬膜8a之膜厚過薄，於後續之CMP(CheMical Mechanical Polishing：化學機械研磨)步驟的削去餘裕不足，若過厚，相變記憶體之驅動電壓變高。而且，緩衝層6及第2金屬布線8a的材料宜為熱傳導率低的材料，藉由使用熱傳導率低的材料，可減低相變記憶體之驅動電壓。

接著，如圖8所示，利用微影技術及乾蝕刻技術，沿著第1方向依次加工第2金屬膜8a、相變材料7、緩衝層6、第3多晶矽膜5、第2多晶矽膜4、第1多晶矽膜3及第1金屬膜2a。藉此，形成由第1金屬膜2a所組成之第1金屬布線2。第2金屬膜8a、相變材料7、緩衝層6、第3多晶矽膜5、第2多晶矽膜4、第1多晶矽膜3及第1金屬布線2之疊層圖案為字元線之圖案，與鄰接之圖案平行並沿著第1方向形成條狀。而且，第1金屬布線2係與包含周邊電路之半導體基板1電性地連接，以便可進行相變記憶體之讀出及寫入(省略圖示)。

相變材料7之寬度宜窄於下層之緩衝層6、第3多晶矽膜5、第2多晶矽膜4及第1多晶矽膜3之寬度，且第2金屬膜8a之寬度宜寬於相變材料7之寬度。此係為了容易進行後續所說明之空隙形成。而且，相變材料7之體積越小，可縮小相變材料7在重寫時之驅動電壓，因此宜縮小相變材料7之體積。

作為使相變材料7之寬度窄於其他部分的方法，係有首先藉由各向異性乾蝕刻法加工第2金屬膜8a，接下來藉由

各向等性乾蝕刻法加工相變材料7，其後藉由各向異性乾蝕刻法依次加工緩衝層6、第3多晶矽膜5、第2多晶矽膜4、第1多晶矽膜3及第1金屬膜2a之方法。

而且，如圖9所示而有首先藉由各向異性乾蝕刻法，依次加工第2金屬膜8a及相變材料7，接下來藉由各向等性乾蝕刻法加工相變材料7，於相變材料7之側面採行側蝕刻後，再度藉由各向異性乾蝕刻法依次加工緩衝層6、第3多晶矽膜5、第2多晶矽膜4、第1多晶矽膜3及第1金屬膜2a之方法。

而且，如圖10所示而有首先藉由各向異性乾蝕刻法，依次加工第2金屬膜8a、相變材料7、緩衝層6、第3多晶矽膜5、第2多晶矽膜4、第1多晶矽膜3及第1金屬膜2a後，選擇性地於相變材料7之側面採行側蝕刻之方法。

接著，如圖11所示，於半導體基板1上形成第1層間膜10。第1層間膜10的材料為例如TEOS，可例如藉由CVD法等形成。由於相變材料7之寬度窄於第3多晶矽膜5、第2多晶矽膜4及第1多晶矽膜3之寬度，且第2金屬膜8a之寬度寬於相變材料7之寬度，因此藉由利用各向等性地成膜的條件來形成第1層間膜10，以於鄰接之第2金屬膜8a、相變材料7、緩衝層6、第3多晶矽膜5、第2多晶矽膜4、第1多晶矽膜3及第1金屬布線2之疊層圖案之間，同時形成空隙12a。或者，暫且利用埋入性佳之成膜條件，以第1層間膜10將鄰接之第3多晶矽膜5、第2多晶矽膜4、第1多晶矽膜3及第1金屬布線2之疊層圖案之間埋入某程度後，利用埋入

性不佳的條件，以第1層間膜10填充鄰接之第2金屬膜8a及相變材料7之疊層圖案之間。

接著，如圖12、圖13及圖14所示，利用CMP技術研磨第1層間膜10之表面，使第2金屬膜8a之表面露出。圖12為記憶體矩陣之頂視圖，為了使記憶體矩陣之構造容易理解，因此僅表示第2金屬膜8a及半導體基板1。而且，圖13為圖12之B-B'線之記憶體矩陣之要部剖面圖，圖14為圖12之A-A'線之記憶體矩陣之要部剖面圖。

接著，如圖15所示，於半導體基板1上形成第3金屬膜9a。第3金屬膜9a的材料為例如W，可例如藉由CVD法等形式形成。第2金屬膜8a與第3金屬膜9a之合計膜厚期望為例如200 nm以下。若膜厚較200 nm更厚，第2金屬膜8a及第3金屬膜9a難以藉由乾蝕刻法進行加工。

接著，如圖16所示，利用微影技術及乾蝕刻技術，沿著第2方向依次加工第3金屬膜9a、第2金屬膜8a、相變材料7、緩衝層6、第3多晶矽膜5、第2多晶矽膜4及第1多晶矽膜3。藉此，形成由第3金屬膜9a所組成之第3金屬布線9，並形成由第2金屬膜8a所組成之插塞狀的第2金屬布線8。而且，形成由第3多晶矽膜5、第2多晶矽膜4及第1多晶矽膜3所組成之疊層構造的二極體DIOD。第3金屬布線9、第2金屬布線8、相變材料7、緩衝層6、第3多晶矽膜5、第2多晶矽膜4及第1多晶矽膜3之疊層圖案為位元線之圖案，其與鄰接之圖案平行，沿著與第1方向正交之第2方向形成為條狀。而且，第3金屬布線9係與包含周邊電路之半導體

基板1電性地連接(省略圖示)，以便可進行相變記憶體之讀出及寫入。而且，與前述圖8~圖10所說明之方法相同，相變材料7之寬度係加工成窄於下層之緩衝層6、第3多晶矽膜5、第2多晶矽膜4及第1多晶矽膜3之寬度，且第3金屬布線9及第2金屬布線8之寬度係加工成寬於相變材料7之寬度。

其後，於半導體基板1上形成第2層間膜11。第2層間膜11的材料為例如TEOS，可例如藉由CVD法等形成。而且，與前述之空隙12a相同，於鄰接之第3金屬布線9、第2金屬布線8、相變材料7、緩衝層6、第3多晶矽膜5、第2多晶矽膜4、第1多晶矽膜3及第1金屬布線2之疊層圖案之間，同時形成空隙12b。藉此，大致完成前述圖1~圖5所示之依據本實施型態1之記憶胞。於連結二極體DIOD之重心與鄰接之記憶胞之二極體DIOD之重心的平面上，記憶胞間之第1層間膜10之填充率為例如75%以上，於連結相變材料7之重心與鄰接之記憶胞之相變材料7的平面上，記憶胞間之第2層間膜11之填充率為例如75%以下、50%以上。

接著，利用圖17來說明依據本發明之實施型態1之記憶體矩陣的動作方式。圖17為記憶體矩陣之等價電路之要部構成圖。記憶胞 $MC_{ij}(i=1, 2, 3, \dots, m)(j=1, 2, 3, \dots, n)$ 係配置於複數條平行配置之第1金屬布線(以下作字元線) $WLi(i=1, 2, 3, \dots, m)$ 、與複數條並排配置成與字元線 WLi 交叉之第3金屬布線(以下作位元線) $BLj(j=1, 2, 3, \dots, n)$ 之交點。如前述於圖1所示，成為二極體DIOD與相變材料7

串聯地連接之構造，於圖 17，二極體 DIOD 相當於選擇元件 SE，相變材料 7 相當於記憶元件 VR。

相變記憶體之記錄係如下進行。例如重寫記憶胞 MC11 之情況時，於第 1 個字元線 WL1 施加電壓 V_h ，於其他字元線 WLi 施加電壓 V_l ，於第 1 個位元線 BL1 施加電壓 V_l ，於其他位元線 BLj 施加電壓 V_h ，於 MC11 之記憶元件 VR 流入電流以進行資訊的記憶。於此， $V_h > V_l$ 。重寫時，為了不於非選擇之記憶胞進行誤寫入，需要具有整流作用之選擇元件 SE。而且，當然電壓 V_h 必須為選擇元件 SE 之崩潰電壓以下。

非揮發性記憶體之讀出係如下進行。例如讀出記憶胞 MC11 之資訊的情況時，於第 1 個字元線 WL1 施加電壓 V_m ，於其他字元線 WLi 施加電壓 V_l ，於第 1 個位元線 BL1 施加電壓 V_l ，從流至 BL1 之電流大小讀出資訊。

於本實施型態 1，雖將第 1 金屬布線 2 作為字元線，將第 3 金屬布線 9 作為位元線而說明，但亦可將第 1 金屬布線 2 作為位元線，將第 3 金屬布線 9 作為字元線。

以上，敘述關於記憶體矩陣為一階層的情況，由於記憶體矩陣之疊層可提高記憶胞之位元密度，因此更佳。於圖 18 表示將依據本實施型態 1 之記憶體矩陣疊層為二階層之情況下的相變記憶體之要部剖面圖。例如將記憶體矩陣疊層為二階層之情況時，可藉由於前述圖 1~圖 5 之構造上，亦即於第 2 層間膜 11 上，與本實施型態 1 之利用前述圖 6~圖 16 所說明之製造方法相同，形成作為記憶體矩陣之第二階

層之字元線之第1金屬布線2A、第二階層之第1多晶矽膜3A、第二階層之第2多晶矽膜4A、第二階層之第3多晶矽膜5A、第二階層之緩衝層6A、第二階層之相變材料7A、第二階層之第2金屬布線8A、第二階層之第3金屬布線9A、第二階層之第1層間膜(省略圖示)、第二階層之第2層間膜11A及第二階層之空隙12bA等而實現。進一步而言，將記憶體矩陣疊層有k階層($k=1, 2, 3, \dots, l$)之情況時，亦採同樣方法疊層記憶體矩陣即可。

於圖19及圖20，表示將依據本實施型態1之記憶體矩陣疊層為四階層之情況下之相變記憶體的要部剖面圖。圖19係沿著下部金屬布線A1M1M、下部金屬布線A1M2M、下部金屬布線A2M3M及下部金屬布線A2M4M之圖案(字元線圖案)之相變記憶體的要部剖面圖，圖20係沿著上部金屬布線B2M1M、上部金屬布線B1M2M、上部金屬布線B2M3M及上部金屬布線B1M4M之圖案(位元線圖案)之相變記憶體的要部剖面圖。圖中之A1ST、A2ST、B1ST及B2ST係用以選擇利用例如CMOS(Complementary Metal Oxide Semiconductor：互補金氧半導體)技術所形成之階層之電晶體，圖中之符號DIF為擴散層，GAT為閘極。

例如將記憶體矩陣疊層為四階層之情況下，與周邊電路之連接係成為圖19及圖20所示之記憶體矩陣的構造。例如選擇第一階層之情況時，選擇電晶體A1ST及電晶體B2ST即可，選擇第二階層之情況時，選擇電晶體A1ST及電晶體B1ST即可。

於圖 21 及圖 22，表示依據本實施型態 1 之於各階層共有字元線及位元線之情況下之相變記憶體的要部剖面圖。位元密度係與前述在圖 19 及圖 20 所說明的構造之位元密度相同，於各階層共有字元線及位元線之情況時，由於可刪減製造所需的光罩，因此可減低製造成本。

此外，雖亦可將鄰接之第 1 金屬布線 2 之線/間隔 (line/space) 與鄰接之第 3 金屬布線 9 之線/間隔設定為相同值，但鄰接之第 1 金屬布線 2 之線/間隔與鄰接之第 3 金屬布線 9 之線/間隔設定為互異值。例如可使鄰接的第 3 金屬布線 9 之間隔寬於鄰接之第 1 金屬布線 2 之間隔。此係第 1 層間膜 10 埋入於沿著第 2 方向鄰接之選擇元件及記憶元件之間，此時，於鄰接之第 2 金屬膜 8a、相變材料 7、緩衝層 6、第 3 多晶矽膜 5、第 2 多晶矽膜 4、第 1 多晶矽膜 3 及第 1 金屬布線 2 之疊層圖案之間，同時形成空隙 12a。而且，第 2 層間膜 11 埋入於沿著第 1 方向鄰接之選擇元件及記憶元件之間，此時，於鄰接之第 3 金屬布線 9、第 2 金屬布線 8、相變材料 7、緩衝層 6、第 3 多晶矽膜 5、第 2 多晶矽膜 4 及第 1 多晶矽膜 3 之疊層圖案之間，同時形成空隙 12b。因此，將第 1 層間膜 10 成膜時之埋入狀態與將第 2 層間膜 11 成膜時之埋入狀態有時會互異，為了控制空隙 12a, 12b 的形狀，據判亦有必須將鄰接之第 3 金屬布線 9 之間隔較鄰接之第 1 金屬布線 2 之間隔更加寬的情況。

如此，若依據本實施型態 1，於設置有二極體 DIOD (第 3 多晶矽膜 5、第 2 多晶矽膜 4 及第 1 多晶矽膜 3 之疊層圖案) 的

層 DIL，埋入有例如 TEOS 所組成之第 1 層間膜 10 或第 2 層間膜 11，於設置有相變材料 7 的層 PHL，埋入有形成有空隙 12a 之第 1 層間膜 10 或形成空隙 12b 之第 2 層間膜 11，因此可減低於相變材料 7 所發生的熱往二極體 DIOD 傳遞。藉此，可實現即便相變材料 7 變成高溫，二極體 DIOD 仍不易變成高溫之記憶胞構造。

(實施型態 2)

利用圖 23~圖 25 來說明依據本實施型態 2 之相變記憶體之記憶體矩陣。圖 23 為記憶體矩陣之頂視圖，圖 24 為圖 23 之 A-A' 線之記憶體矩陣之要部剖面圖，圖 25 為圖 23 之 B-B' 線之記憶體矩陣之要部剖面圖。於圖 23，為了使記憶體矩陣之構造容易理解，因此僅表示第 3 金屬布線、第 1 金屬布線及半導體基板。圖中，與前述實施型態 1 相同，符號 1 為半導體基板，符號 2 係沿著第 1 方向延伸之第 1 金屬布線。而且，符號 3 為第 1 多晶矽膜，符號 4 為第 2 多晶矽膜，符號 5 為第 3 多晶矽膜，以該等 3 層形成作為選擇元件之二極體 DIOD。而且，符號 6 為緩衝層(例如 TiN)，符號 7 係作為記憶元件之相變材料(例如 $\text{Ge}_2\text{Sb}_2\text{Te}_5$)，符號 8 為第 2 金屬布線(例如 TiN)，符號 9 為第 3 金屬布線。進一步而言，符號 21 為第 1 層間膜(例如 TEOS)，22 係填充由於第 1 層間膜之被覆形狀所產生的空間之第 2 層間膜(例如多孔 MSQ (Methylsilses-quioxane：甲基矽酸鹽))，23 為第 3 層間膜(例如 TEOS)，24 係填充由於第 3 層間膜之被覆形狀所產生的空間之第 4 層間膜(例如多孔 MSQ)。TEOS 之熱傳導率約

1.4 W/(m·K)，多孔MSQ之熱傳導率約0.2 W/(m·K)。

於依據本實施型態2之相變記憶體中設置有二極體DIOD的層DIL，在鄰接之記憶胞間存在有第1層間膜21或第3層間膜23，於設置有相變材料7的層PHL，在鄰接之記憶胞間，存在有側壁形狀之第1層間膜21及填埋從第1層間膜21之側壁形狀所產生之空間之第2層間膜22、或側壁形狀之第3層間膜23及填埋從第3層間膜23之側壁形狀所產生之空間之第4層間膜24。於此，若將第1層間膜21及第3層間膜23之熱傳導率設為 K_{I1} ，將第2層間膜22及第4層間膜24之熱傳導率設為 K_{I2} ，當 $K_{I2} < K_{I1}$ 時，由於設置有相變材料7的層PHL之記憶胞間之熱傳導率 K_{P1} 小於設置有二極體DIOD的層DIL之記憶胞間之熱傳導率 K_{D1} ，因此可形成二極體DIOD不易變成高溫，且相變材料7容易變成高溫的構造之記憶胞。相反地，當 $K_{I2} > K_{I1}$ 時，由於設置有相變材料7的層PHL之記憶胞間之熱傳導率 K_{P1} 大於設置有二極體DIOD的層DIL之記憶胞間之熱傳導率 K_{D1} ，可形成相變材料7的冷卻快速，可進行高速動作之記憶胞。於本實施型態2，採第1層間膜21及第2層間膜22之2種類、或第3層間膜23及第4層間膜24之2種類來說明設置有相變材料7的層PHL之記憶胞間的材料，但採3種類以上的材料亦可。重要之處係設置有相變材料7的層PHL之記憶胞間之熱傳導率 K_{P1} 與設置有二極體DIOD的層DIL之記憶胞間之熱傳導率 K_{D1} 互異。

接著，利用圖26~圖32來說明依據本實施型態2之相變記

憶體之製造方法。圖29為記憶體矩陣之頂視圖，圖26~圖28及圖30為圖23之B-B'線之記憶體矩陣之要部剖面圖，圖31及圖32為圖23之A-A'線之記憶體矩陣之要部剖面圖。

首先，從前述實施型態1之圖6及圖7所示之構造，利用微影技術及乾蝕刻技術，沿著第1方向依次將第2金屬膜8a、相變材料7、緩衝層6、第3多晶矽膜5、第2多晶矽膜4、第1多晶矽膜3及第1金屬膜2a加工成條狀。藉此，如圖26所示，形成由第1金屬膜2a所組成之第1金屬布線2。

第2金屬膜8a及相變材料7之寬度宜窄於下層之緩衝層6、第3多晶矽膜5、第2多晶矽膜4及第1多晶矽膜3之寬度。此係為了容易進行後續所說明的2種類以上之層間膜的形成。作為使第2金屬膜8a及相變材料7之寬度窄於其他部分的方法有以下方法：首先藉由各向等性乾蝕刻法加工，使第2金屬膜8a及相變材料7變薄後，以各向異性乾蝕刻法加工緩衝層6、第3多晶矽膜5、第2多晶矽膜4、第1多晶矽膜3及第1金屬膜2a之方法；及如前述實施型態1之圖9所示而藉由各向異性乾蝕刻法，依次加工第2金屬膜8a及相變材料7，接下來藉由各向等性乾蝕刻法加工，使第2金屬膜8a及相變材料7變薄後，再度藉由各向異性乾蝕刻法依次加工緩衝層6、第3多晶矽膜5、第2多晶矽膜4、第1多晶矽膜3及第1金屬膜2a之方法等。

接著，如圖27所示，於半導體基板1上形成第1層間膜21。第1層間膜21的材料為例如TEOS，可例如藉由CVD法等形成。第2金屬膜8a及相變材料7之寬度窄於緩衝層6、

第3多晶矽膜5、第2多晶矽膜4、第1多晶矽膜3及第1金屬布線2。因此，藉由利用各向等性地成膜的條件來形成第1層間膜21，於鄰接之緩衝層6、第3多晶矽膜5、第2多晶矽膜4、第1多晶矽膜3及第1金屬布線2之疊層圖案之間會由第1層間膜21埋入。於鄰接之第2金屬膜8a及相變材料7之疊層圖案之間，形成有側壁形狀之第1層間膜21，其未由第1層間膜21埋入而形成有空間。

接著，如圖28所示，回蝕第1層間膜21直到第2金屬膜8a之表面露出。藉由該回蝕，可將埋入於鄰接之緩衝層6、第3多晶矽膜5、第2多晶矽膜4、第1多晶矽膜3及第1金屬布線2之疊層圖案之間之第1層間膜21，進一步去除至深處，例如可去除至緩衝層6附近，可到鄰接之第2金屬膜8a、相變材料7及緩衝層6之疊層圖案之間，形成未形成有第1層間膜21之空間。

進一步如圖29、圖30及圖31所示，於半導體基板1上堆積第2層間膜22後，利用CMP技術研磨第2層間膜22之表面，使第2金屬膜8a之表面露出。第2層間膜22的材料為例如多孔MSQ，可例如藉由塗布法來形成。於本實施型態2，由於可藉由回蝕調節第2層間膜22之埋入深度，因此可於記憶體間正確配置熱傳導率不同的材料。圖29為記憶體矩陣之頂視圖，為了使記憶體矩陣之構造容易理解，因此僅表示第2金屬膜8a、第1金屬布線2及半導體基板1。圖30為圖29之B-B'線之記憶體矩陣之要部剖面圖，圖31為圖29之A-A'線之記憶體矩陣之要部剖面圖。

接著，於半導體基板1上形成第3金屬膜後，利用微影技術及乾蝕刻技術，沿著第2方向依次將第3金屬膜、第2金屬膜8a、相變材料7、緩衝層6、第3多晶矽膜5、第2多晶矽膜4及第1多晶矽膜3加工成條狀。藉此，如圖32所示，形成由第3金屬膜所組成之第3金屬布線9，並形成由第2金屬膜8a所組成之插塞狀的第2金屬布線8。第3金屬布線9的材料為例如W，可例如藉由CVD法等形成。第2金屬布線8與第3金屬布線9之合計膜厚為200 nm以下即可。若過厚，則難以加工。

其後，與利用前述圖27~圖31所說明之製造方法同樣地形成第3層間膜23及第4層間膜24。藉此，大致完成前述圖23~圖25所示之依據本實施型態2之相變記憶體。於連結二極體DIOD之重心與鄰接之記憶胞之二極體DIOD之重心的平面上，記憶胞間之第2層間膜22或第4層間膜24之填充率為25%以下，於連結相變材料7之重心與鄰接之記憶胞之相變材料7的平面上，記憶胞間之第2層間膜22或第4層間膜24之填充率為50%以下、25%以上。

依據本實施型態2之記憶體矩陣之動作方式係與前述實施型態1相同。

以上，敘述關於記憶體矩陣為一階層的情況，由於疊層記憶體矩陣以提高位元密度係可減低製造成本，因此更佳。於圖33表示將依據本實施型態2之記憶體矩陣疊層為二階層之情況下的相變記憶體之要部剖面圖。例如將記憶體矩陣疊層為二階層之情況時，可藉由於前述圖23~圖25

之構造上，亦即於第4層間膜24上，與本實施型態2之利用前述圖26~圖32所說明之方法相同，形成作為記憶體矩陣之第二階層之字元線之第1金屬布線2A、第二階層之第1多晶矽膜3A、第二階層之第2多晶矽膜4A、第二階層之第3多晶矽膜5A、第二階層之緩衝層6A、第二階層之相變材料7A、第二階層之第2金屬布線8A、第二階層之第3金屬布線9A、第二階層之第1層間膜(省略圖示)、第二階層之第2層間膜(省略圖示)、第二階層之第3層間膜23A及第二階層之第4層間膜24A而實現。進一步而言，將記憶體矩陣疊層有k階層($k=1, 2, 3, \dots, l$)之情況時，亦採同樣方法疊層記憶體矩陣即可。

於圖34及圖35，表示將依據本實施型態2之記憶體矩陣疊層為四階層之情況下之相變記憶體的要部剖面圖。圖34係沿著下部金屬布線A1M1M、下部金屬布線A1M2M、下部金屬布線A2M3M及下部金屬布線A2M4M之圖案(字元線圖案)之相變記憶體的要部剖面圖。圖35係沿著上部金屬布線B2M2M、上部金屬布線B1M3M、上部金屬布線B2M4M及上部金屬布線B1M5M之圖案(位元線圖案)之相變記憶體的要部剖面圖。圖中之A1ST、A2ST、B1ST及B2ST係用以選擇利用例如CMOS技術所形成之階層之電晶體，圖中之符號DIF表示擴散層，GAT表示閘極。

例如將記憶體矩陣疊層為四階層之情況下，與周邊電路之連接係成為圖34及圖35所示之記憶體矩陣的構造。例如選擇第一階層之情況時，選擇電晶體A1ST及電晶體B2ST

即可，選擇第二階層之情況時，選擇電晶體A1ST及電晶體B1ST即可。

此外，以層間膜埋入本實施型態2之記憶胞間時，如利用前述圖27~圖30所說明，採用形成第1層間膜21，藉由蝕刻法加工第1層間膜21，以第2層間膜22埋入由於第1層間膜21之形成所產生的空間，進一步藉由CMP法加工第2層間膜22之製造步驟，但不限定於該製造方法。例如亦可採用以下所說明之製造步驟來取代該製造步驟。

首先，如圖36所示，於半導體基板1上形成第1層間膜21。此時，藉由第1層間膜21完全埋入鄰接之第2金屬膜8a、相變材料7、緩衝層6、第3多晶矽膜5、第2多晶矽膜4、第1多晶矽膜3及第1金屬布線2之疊層圖案之間。第1層間膜21的材料為例如TEOS。接下來，回蝕第1層間膜21至緩衝層6附近。藉由該回蝕，使第2金屬膜8a及相變材料7露出。

接著，如圖37所示，於半導體基板1上形成第2層間膜22，藉由第2層間膜22完全埋入鄰接之第2金屬膜8a及相變材料7之疊層圖案之間。其後，利用CMP技術研磨第2層間膜22之表面，使第2金屬膜8a之表面露出。第2層間膜22的材料為例如多孔MSQ，可例如藉由塗布法形成。

藉由利用上述製造方法，可藉由熱傳導率低於第1層間膜21之第2層間膜22，完全埋入鄰接之第2金屬膜8a及相變材料7之疊層圖案之間。

如此，若依據本實施型態2，可使設置有二極體DIOD

(第3多晶矽膜5、第2多晶矽膜4及第1多晶矽膜3之疊層圖案)的層DIL之記憶胞間之熱傳導率、與設置有相變材料7的層PHL之記憶胞間之熱傳導率成為互異值，因此具有所需特性之相變記憶體的最佳設計變得容易。例如可於設置有二極體DIOD(第3多晶矽膜5、第2多晶矽膜4及第1多晶矽膜3之疊層圖案)的層DIL，埋入例如TEOS所組成之第1層間膜21或第3層間膜23，可於設置有相變材料7的層PHL，埋入例如TEOS所組成之第1層間膜21及多孔MSQ所組成之第2層間膜22、或TEOS所組成之第3層間膜23及多孔MSQ所組成之第4層間膜24。於設置有相變材料7的層PHL，設置有熱傳導率低於TEOS之多孔MSQ所組成之層間膜，因此較僅設置有由TEOS所組成的層間膜之情況，可減低於相變材料7所發生的熱往二極體DIOD傳遞。藉此，可實現即使相變材料7變成高溫，二極體DIOD仍不易變成高溫之相變記憶胞。

(實施型態3)

利用圖38~圖40來說明依據本實施型態3之相變記憶體之記憶體矩陣。圖38為記憶體矩陣之頂視圖，圖39為圖38之A-A'線之記憶體矩陣之要部剖面圖，圖40為圖38之B-B'線之記憶體矩陣之要部剖面圖。於圖38，為了使記憶體矩陣之構造容易理解，因此僅表示第3金屬布線、第1金屬布線及半導體基板。圖中，與前述實施型態1相同，符號1為半導體基板，符號2係沿著第1方向延伸之第1金屬布線。而且，符號3為第1多晶矽膜，符號4為第2多晶矽膜，符號5

為第3多晶矽膜，以該等3層形成作為選擇元件之二極體 DIOD。而且，符號6為緩衝層(例如 TiN)，符號7係作為記憶元件之相變材料(例如 $\text{Ge}_2\text{Sb}_2\text{Te}_5$)，符號8為第2金屬布線(例如 TiN)，符號9為第3金屬布線。進一步而言，符號31為第1層間膜(例如 TEOS)，32係填充由於第1層間膜之被覆形狀所產生的空間之第2層間膜(例如 多孔 MSQ)，33為第3層間膜(例如 TEOS)，34係填充由於第3層間膜之被覆形狀所產生的空間之第4層間膜(例如 多孔 MSQ)。

於依據本實施型態3之相變記憶體中設置有二極體 DIOD 的層 DIL，在鄰接之記憶胞間存在有第1層間膜31或第3層間膜33，於設置有相變材料7的層 PHL，在鄰接之記憶胞間，存在有側壁形狀之第1層間膜31及填埋從第1層間膜31之側壁形狀所產生之空間之第2層間膜32、或側壁形狀之第3層間膜33及填埋從第3層間膜33之側壁形狀所產生之空間之第4層間膜34。因此，與前述實施型態2相同，可使設置有相變材料7的層 PHL之記憶胞間之熱傳導率、與設置有二極體 DIOD 的層 DIL之記憶胞間之熱傳導率成為互異值。例如若將第1層間膜31及第3層間膜33之熱傳導率設為 K_{13} ，將第2層間膜32及第4層間膜34之熱傳導率設為 K_{14} ，當 $K_{14} < K_{13}$ 時，由於設置有相變材料7的層 PHL之記憶胞間之熱傳導率 K_{P2} 小於設置有二極體 DIOD 的層 DIL之記憶胞間之熱傳導率 K_{D2} ，因此可形成二極體 DIOD 不易變成高溫，且相變材料7容易變成高溫的構造之記憶胞。

接著，利用圖41~圖46來說明依據本實施型態3之相變記

憶體之製造方法。圖43為記憶體矩陣之頂視圖，圖41、圖42及圖44為圖38之B-B'線之記憶體矩陣之要部剖面圖，圖45及圖46為圖38之A-A'線之記憶體矩陣之要部剖面圖。

首先，如圖41所示，從前述實施型態1之圖6及圖7所示之構造，利用微影技術及乾蝕刻技術，沿著第1方向依次將第2金屬膜8a、相變材料7、緩衝層6、第3多晶矽膜5、第2多晶矽膜4、第1多晶矽膜3及第1金屬膜2a加工成條狀。藉此，形成由第1金屬膜2a所組成之第1金屬布線2。

第2金屬膜8a及相變材料7之寬度係與前述實施型態2相同。而且，作為使第2金屬膜8a及相變材料7之寬度窄於其他部分的方法，可利用與前述實施型態2同樣的方法。然而，與前述實施型態2之不同點係於緩衝層6附有錐形(傾斜)。亦即，於前述實施型態2，緩衝層6、第3多晶矽膜5、第2多晶矽膜4、第1多晶矽膜3及第1金屬布線2之寬度相同，但於本實施型態3，第3多晶矽膜5、第2多晶矽膜4、第1多晶矽膜3及第1金屬布線2之寬度相同，而將緩衝層6之上部寬度加工成窄於緩衝層6之下部寬度。

接著，如圖42所示，於半導體基板1上形成第1層間膜31。第1層間膜31的材料為例如TEOS，可例如藉由CVD法等形成。第2金屬膜8a及相變材料7之寬度窄於緩衝層6、第3多晶矽膜5、第2多晶矽膜4、第1多晶矽膜3及第1金屬布線2。因此，藉由利用各向等性地成膜的條件來形成第1層間膜31，於鄰接之緩衝層6、第3多晶矽膜5、第2多晶矽膜4、第1多晶矽膜3及第1金屬布線2之疊層圖案之間會由

第1層間膜31埋入，於鄰接之第2金屬膜8a及相變材料7之疊層圖案之間，形成有側壁形狀之第1層間膜31，其未由第1層間膜31埋入而形成有空間。

進一步而言，由於已將緩衝層6進行錐形加工，因此形成於鄰接之第2金屬膜8a及相變材料7之疊層圖案之間之空間可較前述實施型態2中形成有第1層間膜21之情況，更深地形成至例如緩衝層6附近。

接著，如圖43、圖44及圖45所示，於半導體基板1上堆積第2層間膜32後，利用CMP技術研磨第2層間膜32之表面，使第2金屬膜8a之表面露出。第2層間膜32的材料為例如多孔MSQ，可例如藉由塗布法來形成。圖43為記憶體矩陣之頂視圖，為了使記憶體矩陣之構造容易理解，因此僅表示第2金屬膜8a、第1金屬布線2及半導體基板1。圖44為圖43之B-B'線之記憶體矩陣之要部剖面圖，圖45為圖43之A-A'線之記憶體矩陣之要部剖面圖。

於前述實施型態2，於形成第2層間膜22前，為了調節第2層間膜22之埋入深度而回蝕第1層間膜21，但於本實施型態3，由於將緩衝層6進行錐形加工，調整形成第1層間膜31時之第2層間膜32之埋入深度，因此不需要前述實施型態2所進行的第1層間膜31之回蝕。藉此，可減少製造步驟數，因此可較前述實施型態2更減低製造成本。

接著，如圖46所示，於半導體基板1上形成第3金屬膜後，利用微影技術及乾蝕刻技術，沿著第2方向依次將第3金屬膜、第2金屬膜8a、相變材料7、緩衝層6、第3多晶矽

膜5、第2多晶矽膜4及第1多晶矽膜3加工成條狀。藉此，形成由第3金屬膜所組成之第3金屬布線9，並形成由第2金屬膜8a所組成之插塞狀的第2金屬布線8。第3金屬布線9的材料為例如W，可例如藉由CVD法等形成。第2金屬布線8與第3金屬布線9之合計膜厚為200 nm以下即可。若過厚，則難以加工。

其後，與利用前述圖41~圖45所說明之製造方法同樣地形成第3層間膜33及第4層間膜34。藉此，大致完成前述圖38~圖40所示之依據本實施型態3之相變記憶體。於連結二極體DIOD之重心與鄰接之記憶胞之二極體DIOD之重心的平面上，記憶胞間之第2層間膜32或第4層間膜34之填充率為25%以下，於連結相變材料7之重心與鄰接之記憶胞之相變材料7的平面上，記憶胞間之第2層間膜32或第4層間膜34之填充率為50%以下、25%以上。

依據本實施型態2之記憶體矩陣之動作方式及與周邊電路之連接方法係與前述實施型態1相同。而且，與前述實施型態2相同，亦可疊層複數層記憶體矩陣。

如此，若依據本實施型態3，可獲得與前述實施型態2同樣的效果。進一步由於可較前述實施型態2更減少製造步驟數，因此可減低製造成本。

(實施型態4)

利用圖47~圖49來說明依據本實施型態4之相變記憶體之記憶體矩陣。圖47為記憶體矩陣之頂視圖，圖48為圖47之A-A'線之記憶體矩陣之要部剖面圖，圖49為圖47之B-B'線

之記憶體矩陣之要部剖面圖。於圖47，為了使記憶體矩陣之構造容易理解，因此僅表示第3金屬布線、第1金屬布線及半導體基板。圖中，與前述實施型態1相同，符號1為半導體基板，符號2係沿著第1方向延伸之第1金屬布線。而且，符號3為第1多晶矽膜，符號4為第2多晶矽膜，符號5為第3多晶矽膜，以該等3層形成作為選擇元件之二極體DIOD。而且，符號7係作為記憶元件之相變材料(例如 $\text{Ge}_2\text{Sb}_2\text{Te}_5$)，符號8為第2金屬布線(例如TiN)，符號9為第3金屬布線。進一步而言，符號41a, 41b為緩衝層(例如TiN)，符號42為第1層間膜(例如TEOS)，43為第2層間膜(例如TEOS)，44為第3層間膜(例如多孔MSQ)，45為第4層間膜(例如多孔MSQ)。

於依據本實施型態4之相變記憶體中設置有二極體DIOD的層DIL，在鄰接之記憶胞間存在有第1層間膜42或第2層間膜43，於設置有相變材料7的層PHL，在鄰接之記憶胞間存在有第3層間膜44或第4層間膜45。因此，與前述實施型態2或實施型態3相同，可使設置有相變材料7的層PHL之記憶胞間之熱傳導率、與設置有二極體DIOD的層DIL之記憶胞間之熱傳導率成為互異值。例如若將第1層間膜42及第2層間膜43之熱傳導率設為 K_{15} ，將第3層間膜44及第4層間膜45之熱傳導率設為 K_{16} ，當 $K_{16} < K_{15}$ 時，可形成二極體DIOD不易變成高溫，且相變材料7容易變成高溫的構造之記憶胞。

接著，利用圖50~圖56來說明依據本實施型態4之相變記

憶體之製造方法。圖 50、圖 53 及圖 55 為記憶體矩陣之頂視圖，圖 51 為圖 50 之 B-B' 線之記憶體矩陣之要部剖面圖，圖 52 為圖 50 之 A-A' 線之記憶體矩陣之要部剖面圖，圖 54 為圖 53 之 A-A' 線之記憶體矩陣之要部剖面圖，圖 56 為圖 55 之 A-A' 線之記憶體矩陣之要部剖面圖。

首先，如圖 50、圖 51 及圖 52 所示，於半導體基板 1 上，依序將第 1 金屬膜 2a、第 1 多晶矽膜 3、第 2 多晶矽膜 4、第 3 多晶矽膜 5 及緩衝層 41a 成膜。接下來，利用微影技術及乾蝕刻技術，沿著第 1 方向依次將緩衝層 41a、第 3 多晶矽膜 5、第 2 多晶矽膜 4、第 1 多晶矽膜 3 及第 1 金屬膜 2a 加工成條狀。藉此，形成由第 1 金屬膜 2a 所組成之第 1 金屬布線 2。接下來，於半導體基板 1 上形成第 1 層間膜 42。第 1 層間膜 42 的材料為例如 TEOS，可例如藉由 CVD 法等形式形成。接下來，利用 CMP 技術研磨第 1 層間膜 42 之表面，使緩衝層 41a 之表面露出。圖 50 為記憶體矩陣之頂視圖，為了使記憶體矩陣之構造容易理解，因此僅表示第 1 層間膜 42 及緩衝層 41a。

接著，如圖 53 及圖 54 所示，利用微影技術及乾蝕刻技術，沿著第 2 方向依次將緩衝層 41a、第 3 多晶矽膜 5、第 2 多晶矽膜 4 及第 1 多晶矽膜 3 加工成條狀。接下來，於半導體基板 1 上形成第 2 層間膜 43。第 2 層間膜 43 的材料為例如 TEOS，可例如藉由 CVD 法等形式形成。接下來，利用 CMP 技術研磨第 2 層間膜 43 之表面，使緩衝層 41a 之表面露出。圖 53 為頂視圖，為了使記憶體矩陣之構造容易理解，因此僅

表示第2層間膜43、第1層間膜42及緩衝層41a。

接著，如圖55及圖56所示，於半導體基板1上，依序將緩衝層41b、相變材料7及第2金屬膜8a成膜。接下來，利用微影技術及乾蝕刻技術，沿著第1方向依次將第2金屬膜8a、相變材料7及緩衝層41b加工成條狀。接下來，於半導體基板1上形成第3層間膜44。第3層間膜44的材料為例如多孔MSQ，可例如藉由塗布法等形成。接下來，利用CMP技術研磨第3層間膜44之表面，使緩衝層41b之表面露出。圖55為頂視圖，為了使記憶體矩陣之構造容易理解，因此僅表示第2金屬膜8a及第3層間膜44。

接著，於半導體基板1上，將第3金屬膜成膜，利用微影技術及乾蝕刻技術，沿著第2方向依次加工第3金屬膜、第2金屬膜8a、相變材料7及緩衝層41b。接下來，於半導體基板1上形成第4層間膜45。第4層間膜45的材料為例如多孔MSQ，可例如藉由塗布法等形成。接下來，利用CMP技術研磨第4層間膜44之表面予以平坦化。藉此，大致完成前述圖47~圖49所示之依據本實施型態4之相變記憶體。

依據本實施型態4之記憶體矩陣之動作方式及與周邊電路之連接方法係與前述實施型態1相同。而且，與前述實施型態2相同，亦可疊層複數層記憶體矩陣。

如此，若依據本實施型態4，可使設置有二極體DIOD(第3多晶矽膜5、第2多晶矽膜4及第1多晶矽膜3之疊層圖案)的層DIL之記憶胞間之熱傳導率、與設置有相變材料7的層PHL之記憶胞間之熱傳導率成為互異值，因此具

有所需特性之相變記憶體的最佳設計變得容易。例如可於設置有二極體 DIOD(第3多晶矽膜5、第2多晶矽膜4及第1多晶矽膜3之疊層圖案)的層 DIL，埋入例如 TEOS 所組成之第1層間膜42或第2層間膜43，可於設置有相變材料7的層 PHL，埋入例如多孔 MSQ 所組成之第3層間膜44或第4層間膜45。藉由於設置有相變材料7的層 PHL，設置熱傳導率低於由 TEOS 所組成之多孔 MSQ 所組成之層間膜，可減低於相變材料7所發生的熱往二極體 DIOD 傳遞。藉此，可實現即使相變材料7變成高溫，二極體 DIOD 仍不易變成高溫之相變記憶胞。

以上，根據實施型態具體說明由本案發明者所完成的發明，但本發明不限定於前述實施型態，當然可於不脫離其要旨的範圍內進行各種變更。

例如組合前述實施型態1與2，製成於設置相變材料的層形成2種類以上之層間膜，且設置空隙之構造，亦可獲得與本申請發明同樣的效果。

[產業上之可利用性]

本發明可適用於使用相變材料作為記憶材料之非揮發性記憶裝置。

【圖式簡單說明】

圖1係依據本發明之實施型態1之相變記憶體之記憶體矩陣之頂視圖；

圖2為圖1之A-A'線之記憶體矩陣之要部剖面圖；

圖3為圖1之B-B'線之記憶體矩陣之要部剖面圖；

圖 4 為圖 1 之 C-C' 線之記憶體矩陣之要部剖面圖；

圖 5 為圖 1 之 D-D' 線之記憶體矩陣之要部剖面圖；

圖 6 係表示依據本發明之實施型態 1 之相變記憶體之製造步驟之記憶體矩陣之頂視圖；

圖 7 為圖 6 之 B-B' 線之記憶體矩陣之要部剖面圖；

圖 8 係接續於圖 6 及圖 7 之相變記憶體之製造步驟中之要部剖面圖 (B-B' 線)；

圖 9 係接續於圖 6 及圖 7 之藉由其他製造方法所形成之相變記憶體之製造步驟中之要部剖面圖 (B-B' 線)；

圖 10 係接續於圖 6 及圖 7 之藉由其他製造方法所形成之相變記憶體之製造步驟中之要部剖面圖 (B-B' 線)；

圖 11 係接續於圖 8 之相變記憶體之製造步驟中之要部剖面圖 (B-B' 線)；

圖 12 係接續於圖 11 之相變記憶體之製造步驟中之頂視圖；

圖 13 係接續於圖 11 之相變記憶體之製造步驟中之要部剖面圖 (B-B' 線)；

圖 14 係接續於圖 11 之相變記憶體之製造步驟中之要部剖面圖 (A-A' 線)；

圖 15 係接續於圖 12、圖 13 及圖 14 之相變記憶體之製造步驟中之要部剖面圖 (A-A' 線)；

圖 16 係接續於圖 15 之相變記憶體之製造步驟中之要部剖面圖 (A-A' 線)；

圖 17 係依據本發明之實施型態 1 之記憶體矩陣之等價電

路之要部構成圖；

圖 18 係將依據本發明之實施型態 1 之記憶體矩陣疊層為二階層之情況下之相變記憶體之要部剖面圖；

圖 19 係將依據本發明之實施型態 1 之記憶體矩陣疊層為四階層之情況下之沿著字元線圖案之相變記憶體之要部剖面圖；

圖 20 係將依據本發明之實施型態 1 之記憶體矩陣疊層為四階層之情況下之沿著位元線圖案之相變記憶體之要部剖面圖；

圖 21 係將依據本發明之實施型態 1 之記憶體矩陣疊層為四階層之情況下之沿著字元線圖案之其他相變記憶體之要部剖面圖；

圖 22 係將依據本發明之實施型態 1 之記憶體矩陣疊層為四階層之情況下之沿著位元線圖案之其他相變記憶體之要部剖面圖；

圖 23 係依據本發明之實施型態 2 之相變記憶體之記憶體矩陣之頂視圖；

圖 24 為圖 23 之 A-A' 線之記憶體矩陣之要部剖面圖；

圖 25 為圖 23 之 B-B' 線之記憶體矩陣之要部剖面圖；

圖 26 係表示依據本發明之實施型態 2 之相變記憶體之製造步驟之記憶體矩陣之要部剖面圖(B-B'線)；

圖 27 係接續於圖 26 之相變記憶體之製造步驟中之要部剖面圖(B-B'線)；

圖 28 係接續於圖 27 之相變記憶體之製造步驟中之要部剖

面圖(B-B'線)；

圖29係接續於圖28之相變記憶體之製造步驟中之頂視圖；

圖30係接續於圖28之相變記憶體之製造步驟中之要部剖面圖(B-B'線)；

圖31係接續於圖28之相變記憶體之製造步驟中之要部剖面圖(A-A'線)；

圖32係接續於圖29、圖30及圖31之相變記憶體之製造步驟中之要部剖面圖(A-A'線)；

圖33係將依據本發明之實施型態2之記憶體矩陣疊層為二階層之情況下之相變記憶體之要部剖面圖；

圖34係將依據本發明之實施型態2之記憶體矩陣疊層為四階層之情況下之沿著字元線之圖案之相變記憶體之要部剖面圖；

圖35係將依據本發明之實施型態2之記憶體矩陣疊層為四階層之情況下之沿著位元線之圖案之相變記憶體之要部剖面圖；

圖36係依據本發明之實施型態2之相變記憶體之接續於圖26之其他製造步驟中之記憶體矩陣之要部剖面圖(A-A'線)；

圖37係接續於圖36之相變記憶體之製造步驟中之要部剖面圖(A-A'線)；

圖38係依據本發明之實施型態3之相變記憶體之記憶體矩陣之頂視圖；

圖 39 為圖 38 之 A-A' 線之記憶體矩陣之要部剖面圖；

圖 40 為圖 38 之 B-B' 線之記憶體矩陣之要部剖面圖；

圖 41 係表示依據本發明之實施型態 3 之相變記憶體之製造步驟之記憶體矩陣之要部剖面圖 (B-B' 線)；

圖 42 係接續於圖 41 之相變記憶體之製造步驟中之要部剖面圖 (B-B' 線)；

圖 43 係接續於圖 42 之相變記憶體之製造步驟中之頂視圖；

圖 44 係接續於圖 42 之相變記憶體之製造步驟中之要部剖面圖 (B-B' 線)；

圖 45 係接續於圖 42 之相變記憶體之製造步驟中之要部剖面圖 (A-A' 線)；

圖 46 係接續於圖 43、圖 44 及圖 45 之相變記憶體之製造步驟中之要部剖面圖 (A-A' 線)；

圖 47 係依據本發明之實施型態 4 之相變記憶體之記憶體矩陣之頂視圖；

圖 48 為圖 47 之 A-A' 線之記憶體矩陣之要部剖面圖；

圖 49 為圖 47 之 B-B' 線之記憶體矩陣之要部剖面圖；

圖 50 係表示依據本發明之實施型態 4 之相變記憶體之製造步驟之記憶體矩陣之頂視圖；

圖 51 為圖 50 之 B-B' 線之記憶體矩陣之要部剖面圖；

圖 52 為圖 50 之 A-A' 線之記憶體矩陣之要部剖面圖；

圖 53 係接續於圖 50、圖 51 及圖 52 之相變記憶體之製造步驟中之頂視圖；

圖 54 為圖 53 之 A-A' 線之記憶體矩陣之要部剖面圖；

圖 55 係接續於圖 53 及圖 54 之相變記憶體之製造步驟中之頂視圖；

圖 56 為圖 55 之 A-A' 線之記憶體矩陣之要部剖面圖；及

圖 57 係藉由本發明所檢討之相變記憶體之記憶體矩陣之要部剖面圖。

【主要元件符號說明】

1	半導體基板
2, 2A	第 1 金屬布線
2a	第 1 金屬膜
3, 3A	第 1 多晶矽膜
4, 4A	第 2 多晶矽膜
5, 5A	第 3 多晶矽膜
6, 6A	緩衝層
7, 7A	相變材料
8, 8A	第 2 金屬布線
8a	第 2 金屬膜
9, 9A	第 3 金屬布線
9a	第 3 金屬膜
10	第 1 層間膜
11, 11A	第 2 層間膜
12a, 12b, 12bA	空隙
21	第 1 層間膜
22	第 2 層間膜

23, 23A	第 3 層 間 膜
24, 24A	第 4 層 間 膜
31	第 1 層 間 膜
32	第 2 層 間 膜
33	第 3 層 間 膜
34	第 4 層 間 膜
41a, 41b	緩 衝 層
42	第 1 層 間 膜
43	第 2 層 間 膜
44	第 3 層 間 膜
45	第 4 層 間 膜
101	半 導 體 基 板
102	第 1 金 屬 布 線
103	第 1 多 晶 矽 膜
104	第 2 多 晶 矽 膜
105	第 3 多 晶 矽 膜
106	緩 衝 層
107	相 變 材 料
108	第 2 金 屬 布 線
109	第 3 金 屬 布 線
110	層 間 膜
A1CNT, A2CNT	接 觸 點
A1M1, A1M2, A1M3, A1M4	金 屬 電 極

A1M1M, A1M2M	金屬布線
A1ST, A2ST	電晶體
A1TH1, A1TH2, A1TH3	插塞電極
A2M1, A2M2, A2M3, A2M4	金屬布線
A2M3M, A2M4M	金屬布線
A2TH1, A2TH2, A2TH3	插塞電極
B1CNT, B2CNT	接觸點
B1M1, B1M2, B1M3, B1M4, B1M5	金屬布線
B1M2M, B1M3M, B1M4M, B1M5M	金屬布線
B1ST, B2ST	電晶體
B1TH1, B1TH2, B1TH3	插塞電極
B2M1, B2M2, B2M3, B2M4, B2M5	金屬布線
B2M1M, B2M2M, B2M3M, B2M4M	金屬布線
B2TH1, B2TH2, B2TH3	插塞電極
BL1	第1個位元線
BL2	第2個位元線
BLj	第j個位元線
BLn	第n個位元線
DIF	擴散層

DIL, CDIL	設置有二極體的層
DIOD, CDIOD	二極體
GAT	閘極
GBL	全區位元線
GWL	全區字元線
MC _{ij}	位於第 i 個字元線與第 j 個位元線之交點之記憶胞
MC _{i1}	位於第 i 個字元線與第 1 個位元線之交點之記憶胞
MC _{in}	位於第 i 個字元線與第 n 個位元線之交點之記憶胞
MC _{1j}	位於第 1 個字元線與第 j 個位元線之交點之記憶胞
MC ₁₁	位於第 1 個字元線與第 1 個位元線之交點之記憶胞
MC _{1n}	位於第 1 個字元線與第 n 個位元線之交點之記憶胞
MC _{mj}	位於第 m 個字元線與第 j 個位元線之交點之記憶胞
MC _{m1}	位於第 m 個字元線與第 1 個位元線之交點之記憶胞
MC _{mn}	位於第 m 個字元線與第 n 個位元線之交點之記憶胞
PHL, CPHL	設置有相變材料的層

SE	選擇元件
VR	相變電阻元件
WL1	第1個字元線
WL2	第2個字元線
WLi	第i個字元線
WLm	第m個字元線

七、申請專利範圍：

1. 一種非揮發性記憶裝置，其包含：

複數第1金屬布線，沿著第1方向延伸；

複數第3金屬布線，沿著與前述第1方向正交之第2方向延伸；及

非揮發性記憶體，於前述第1金屬布線與前述第3金屬布線之交點，由包含記憶元件及選擇元件之記憶胞所構成；該非揮發性記憶裝置之特徵為：

前述記憶胞包含：

半導體基板；

前述第1金屬布線，其係於前述半導體基板上，與周邊電路電性連接而設；

前述選擇元件，其係於前述第1金屬布線上，與前述第1金屬布線電性連接而設；

前述記憶元件，其係於前述選擇元件上，與前述選擇元件電性連接而設；

第2金屬布線，其係於前述記憶元件上，與前述記憶元件電性連接而設；

前述第3金屬布線，其係於前述第2金屬布線上，與前述第2金屬布線電性連接，且與周邊電路電性連接而設；及

層間膜，其係於鄰接之前述記憶元件間具有空隙，並填埋鄰接之記憶元件間及鄰接之選擇元件間。

2. 如請求項1之非揮發性記憶裝置，其中前述選擇元件為

二極體，前述記憶元件為相變材料。

3. 如請求項1之非揮發性記憶裝置，其中前述記憶元件之寬度窄於前述選擇元件之寬度，且前述第2金屬布線之寬度大於前述記憶元件之寬度。
4. 如請求項1之非揮發性記憶裝置，其中鄰接之前述選擇元件間之前述層間膜之填充率於將選擇元件之重心與其鄰接選擇元件之重心連結的平面上為75%以上，鄰接之前述記憶元件間之前述層間膜之填充率於將記憶元件之重心與其鄰接記憶元件之重心連結的平面上為75%以下50%以上。
5. 如請求項1之非揮發性記憶裝置，其中在前述第1方向上鄰接之前述記憶元件間之前述層間膜中所形成之前述空隙的寬度寬於在前述第2方向上鄰接之前述記憶元件間之前述層間膜中所形成之前述空隙的寬度。
6. 一種非揮發性記憶裝置，其包含：
 - 複數第1金屬布線，沿著第1方向延伸；
 - 複數第3金屬布線，沿著與前述第1方向正交之第2方向延伸；及
 - 非揮發性記憶體，於前述第1金屬布線與前述第3金屬布線之交點，由包含記憶元件及選擇元件之記憶胞所構成；該非揮發性記憶裝置之特徵為：

前述記憶胞包含：

半導體基板；

前述第1金屬布線，其係於前述半導體基板上，

與周邊電路電性連接而設；

前述選擇元件，其係於前述第1金屬布線上，與前述第1金屬布線電性連接而設；

前述記憶元件，其係於前述選擇元件上，與前述選擇元件電性連接而設；

第2金屬布線，其係於前述記憶元件上，與前述記憶元件電性連接而設；

前述第3金屬布線，其係於前述第2金屬布線上，與前述第2金屬布線電性連接，且與周邊電路電性連接而設；

第1熱傳導率之層間膜，其不填埋鄰接之前述記憶元件間而被覆前述記憶元件之側面，並填埋鄰接之前述選擇元件間；及

第2熱傳導率之層間膜，其填理由被覆前述記憶元件側面的前述第1熱傳導率之層間膜所形成之空間；

前述第2熱傳導率低於前述第1熱傳導率。

7. 如請求項6之非揮發性記憶裝置，其中前述選擇元件為二極體，前述記憶元件為相變材料。
8. 如請求項6之非揮發性記憶裝置，其中前述第1熱傳導率之層間膜為TEOS，前述第2熱傳導率之層間膜為多孔MSQ。
9. 如請求項6之非揮發性記憶裝置，其中鄰接之前述選擇元件間之前述第2熱傳導率之層間膜的填充率於將選擇元件之重心與其鄰接選擇元件之重心連結的平面上為

25%以下，鄰接之前述記憶元件間之前述第2熱傳導率之層間膜的填充率於將記憶元件之重心與其鄰接記憶元件之重心連結的平面上為50%以下25%以上。

10. 一種非揮發性記憶裝置，其包含：

複數第1金屬布線，沿著第1方向延伸；

複數第3金屬布線，沿著與前述第1方向正交之第2方向延伸；及

非揮發性記憶體，於前述第1金屬布線與前述第3金屬布線之交點，由包含記憶元件及選擇元件之記憶胞所構成；該非揮發性記憶裝置之特徵為：

前述記憶胞包含：

半導體基板；

前述第1金屬布線，其係於前述半導體基板上，與周邊電路電性連接而設；

前述選擇元件，其係於前述第1金屬布線上，與前述第1金屬布線電性連接而設；

前述記憶元件，其係於前述選擇元件上，與前述選擇元件電性連接而設；

第2金屬布線，其係於前述記憶元件上，與前述記憶元件電性連接而設；

前述第3金屬布線，其係於前述第2金屬布線上，與前述第2金屬布線電性連接，且與周邊電路電性連接而設；

第1熱傳導率之層間膜，其係填埋鄰接之前述選

擇元件間；及

第2熱傳導率之層間膜，其係填埋鄰接之前述記憶元件間；

前述第2熱傳導率低於前述第1熱傳導率。

11. 如請求項10之非揮發性記憶裝置，其中前述選擇元件為二極體，前述記憶元件為相變材料。

12. 如請求項10之非揮發性記憶裝置，其中前述第1熱傳導率之層間膜為TEOS，前述第2熱傳導率之層間膜為多孔MSQ。

13. 如請求項1、6或10中任一項之非揮發性記憶裝置，其中於前述選擇元件與前述記憶元件之間形成有緩衝層。

14. 一種非揮發性記憶裝置之製造方法，其特徵為包含以下步驟：

(a)於半導體基板上，依次形成第1金屬膜、選擇元件材料、緩衝層、相變材料及第2金屬膜；

(b)沿著第1方向依次蝕刻前述第2金屬膜、前述相變材料、前述緩衝層、前述選擇元件材料及前述第1金屬膜，加工成前述相變材料之寬度窄於前述緩衝層或前述選擇元件材料之寬度的條狀；

(c)於前述半導體基板上形成第1層間膜，藉由前述第1層間膜填埋鄰接之前述第2金屬膜、前述相變材料、前述緩衝層、前述選擇元件材料及前述第1金屬膜之疊層圖案間；

(d)研磨前述第1層間膜之表面，使前述第2金屬膜之上

面露出；

(e)於前述半導體基板上形成第3金屬膜；

(f)沿著與前述第1方向正交之第2方向，依次蝕刻前述第3金屬膜、前述第2金屬膜、前述相變材料、前述緩衝層及前述選擇元件材料，加工成前述相變材料之寬度窄於前述緩衝層或前述選擇元件材料之寬度的條狀；及

(g)於前述半導體基板上形成第2層間膜，藉由前述第2層間膜填埋鄰接之前述第3金屬膜、前述第2金屬膜、前述相變材料、前述緩衝層、前述選擇元件材料及前述第1金屬膜之疊層圖案間；

於鄰接之前述相變材料之間以前述(c)步驟所形成之前述第1層間膜及以前述(g)步驟所形成之前述第2層間膜形成空隙。

15. 一種非揮發性記憶裝置之製造方法，其特徵為包含以下步驟：

(a)於半導體基板上，依次形成第1金屬膜、選擇元件材料、緩衝層、相變材料及第2金屬膜；

(b)沿著第1方向依次蝕刻前述第2金屬膜、前述相變材料、前述緩衝層、前述選擇元件材料及前述第1金屬膜，加工成條狀；

(c)蝕刻前述第2金屬膜及前述相變材料之沿著前述第1方向之側面，將前述第2金屬膜及前述相變材料加工變細；

(d)於前述半導體基板上形成第1層間膜，被覆前述第2

金屬膜及前述相變材料之側面，不填埋鄰接之前述第2金屬膜及前述相變材料之疊層圖案間而形成空間，同時填埋鄰接之前述緩衝層、前述選擇元件材料及前述第1金屬膜之疊層圖案間；

(e)回蝕前述第1層間膜；

(f)於前述半導體基板上形成第2層間膜，填埋鄰接之前述第2金屬膜及前述相變材料之疊層圖案間之空間後，研磨前述第2層間膜之表面，使前述第2金屬膜之上面露出；

(g)於前述半導體基板上形成第3金屬膜；

(h)沿著與前述第1方向正交之第2方向，依次蝕刻前述第3金屬膜、前述第2金屬膜、前述相變材料、前述緩衝層及前述選擇元件材料，加工成條狀；

(i)蝕刻前述第2金屬膜及前述相變材料之沿著前述第2方向之側面，將前述第2金屬膜及前述相變材料加工變細；

(j)於前述半導體基板上形成第3層間膜，被覆前述第2金屬膜及前述相變材料之側面，不填埋鄰接之前述第2金屬膜及前述相變材料之疊層圖案間而形成空間，同時填埋鄰接之前述緩衝層、前述選擇元件材料及前述第1金屬膜之疊層圖案間；

(k)回蝕前述第3層間膜；及

(l)於前述半導體基板上形成第4層間膜，填埋鄰接之前述第2金屬膜及前述相變材料之疊層圖案間之空間。

16. 一種非揮發性記憶裝置之製造方法，其特徵為包含以下步驟：

(a)於半導體基板上，依次形成第1金屬膜、選擇元件材料、緩衝層、相變材料及第2金屬膜；

(b)沿著第1方向依次蝕刻前述第2金屬膜、前述相變材料、前述緩衝層、前述選擇元件材料及前述第1金屬膜，加工成條狀；

(c)蝕刻前述第2金屬膜及前述相變材料之沿著前述第1方向之側面，將前述第2金屬膜及前述相變材料加工變細；

(d)於前述半導體基板上形成第1層間膜，填埋鄰接之前述第2金屬膜、前述相變材料、前述緩衝層、前述選擇元件材料及前述第1金屬膜之疊層圖案間；

(e)回蝕前述第1層間膜，去除鄰接之前述第2金屬膜及前述相變材料之疊層圖案間之前述第1層間膜；

(f)於前述半導體基板上形成第2層間膜，填埋鄰接之前述第2金屬膜及前述相變材料之疊層圖案間後，研磨前述第2層間膜之表面，使前述第2金屬膜之上面露出；

(g)於前述半導體基板上形成第3金屬膜；

(h)沿著與前述第1方向正交之第2方向，依次蝕刻前述第3金屬膜、前述第2金屬膜、前述相變材料、前述緩衝層及前述選擇元件材料，加工成條狀；

(i)蝕刻前述第2金屬膜及前述相變材料之沿著前述第2方向之側面，將前述第2金屬膜及前述相變材料加工變

細；

(j)於前述半導體基板上形成第3層間膜，填埋鄰接之前述第2金屬膜、前述相變材料、前述緩衝層、前述選擇元件材料及前述第1金屬膜之疊層圖案間；

(k)回蝕前述第3層間膜，去除鄰接之前述第3金屬膜、前述第2金屬膜及前述相變材料之疊層圖案間之前述第3層間膜；及

(l)於前述半導體基板上形成第4層間膜，填埋鄰接之前述第3金屬膜、前述第2金屬膜及前述相變材料之疊層圖案間。

17. 如請求項15或16中任一項之非揮發性記憶裝置之製造方法，其中前述第2層間膜及前述第4層間膜之熱傳導率低於前述第1層間膜及前述第3層間膜之熱傳導率。

18. 如請求項15或16中任一項之非揮發性記憶裝置之製造方法，其中前述第1層間膜及前述第3層間膜為TEOS，前述第2層間膜及前述第4層間膜為多孔MSQ。

19. 一種非揮發性記憶裝置之製造方法，其特徵為包含以下步驟：

(a)於半導體基板上，依次形成第1金屬膜、選擇元件材料及第1緩衝層；

(b)沿著第1方向依次蝕刻前述第1緩衝層、前述選擇元件材料及前述第1金屬膜，加工成條狀；

(c)於前述半導體基板上形成第1層間膜，填埋鄰接之前述第1緩衝層、前述選擇元件材料及前述第1金屬膜之

疊層圖案間；

(d)研磨前述第1層間膜之表面，使前述第1緩衝層之上面露出；

(e)沿著與前述第1方向正交之第2方向，依次蝕刻前述第1緩衝層及前述選擇元件材料，加工成條狀；

(f)於前述半導體基板上形成第2層間膜，填埋鄰接之前述第1緩衝層、前述選擇元件材料及第1金屬膜之疊層圖案間；

(g)研磨前述第2層間膜之表面，使前述第1緩衝層之上面露出；

(h)於前述半導體基板上依次形成第2緩衝層、相變材料及第2金屬膜；

(i)沿著前述第1方向，依次蝕刻前述第2金屬膜、前述相變材料及前述第2緩衝層，加工成條狀；

(j)於前述半導體基板上形成第3層間膜，填埋鄰接之前述第2金屬膜、前述相變材料及前述第2緩衝層之疊層圖案間；

(k)研磨前述第3層間膜之表面，使前述第2金屬膜之上面露出；

(l)沿著前述第2方向，依次蝕刻前述第2金屬膜、前述相變材料及前述第2緩衝層，加工成條狀；

(m)於前述半導體基板上形成第4層間膜，填埋鄰接之前述第2金屬膜、前述相變材料及前述第2緩衝層之疊層圖案間；

(n) 研磨前述第4層間膜之表面，使前述第2金屬膜之上面露出；

(o) 於前述半導體基板上形成第3金屬膜；及

(p) 沿著前述第2方向蝕刻前述第3金屬膜，加工成條狀。

20. 如請求項19之非揮發性記憶裝置之製造方法，其中前述第3層間膜及前述第4層間膜之熱傳導率低於前述第1層間膜及前述第2層間膜之熱傳導率。

21. 如請求項19之非揮發性記憶裝置之製造方法，其中前述第1層間膜及前述第2層間膜為TEOS，前述第3層間膜及前述第4層間膜為多孔MSQ。

22. 如請求項14、15、16或19中任一項之非揮發性記憶裝置之製造方法，其中前述選擇元件材料係從下層依序疊層有第1多晶矽膜、第2多晶矽膜及第3多晶矽膜之構造；前述第1多晶矽膜包含第1導電型之雜質，第3多晶矽膜包含與前述第1導電型不同之第2導電型；前述第1多晶矽膜及前述第3多晶矽膜之雜質濃度高於前述第2多晶矽膜之雜質濃度。

23. 如請求項14、15、16或19中任一項之非揮發性記憶裝置之製造方法，其中前述相變材料包含硫族元素中之至少1元素。

八、圖式：

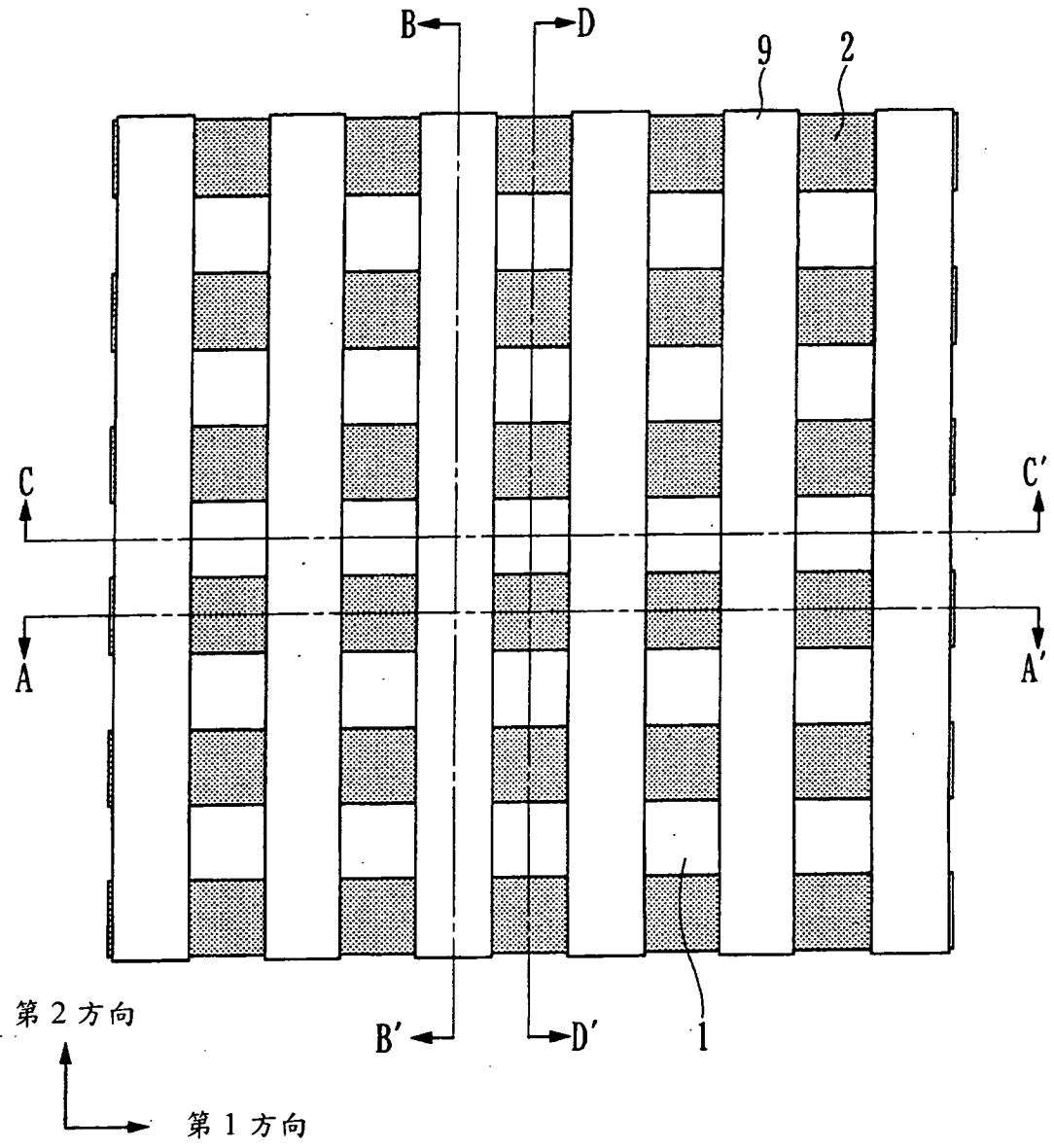


圖 1

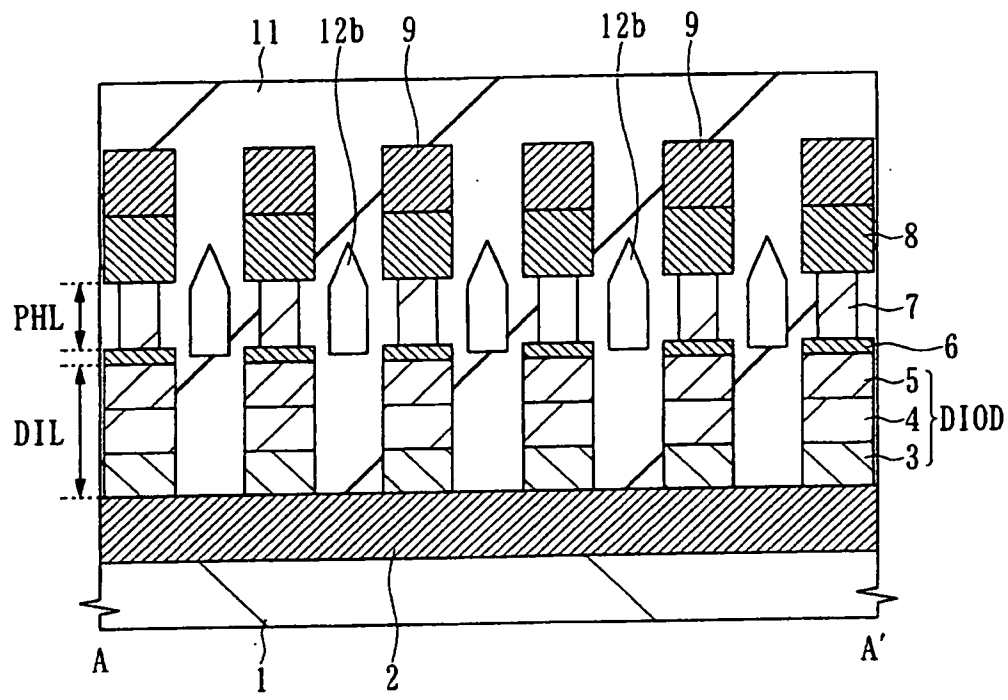


圖 2

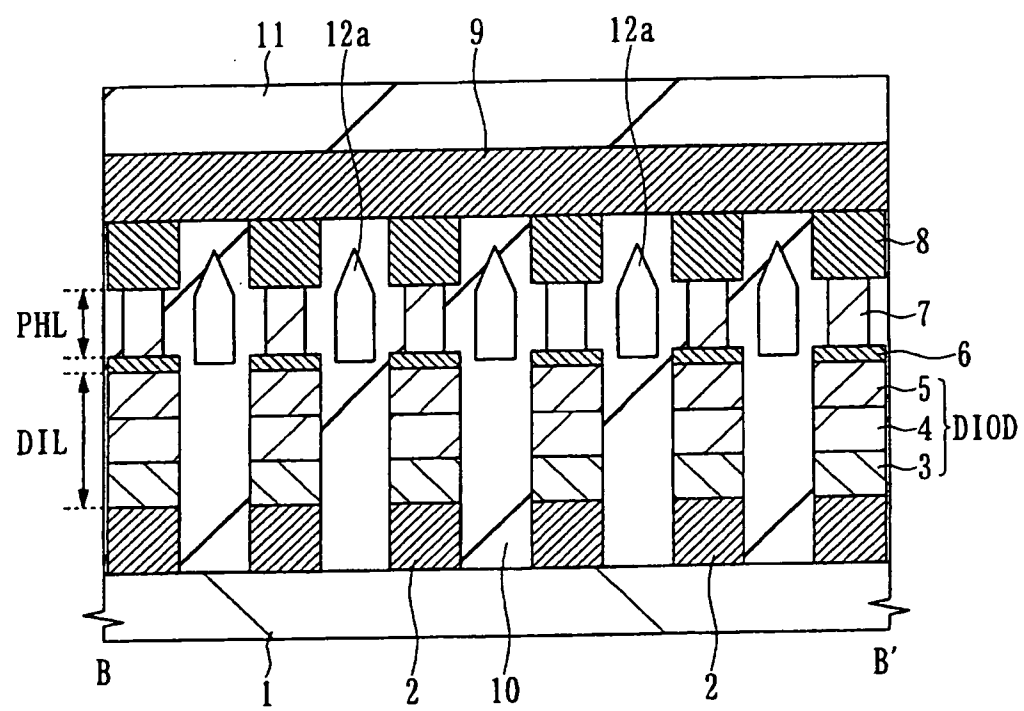


圖 3

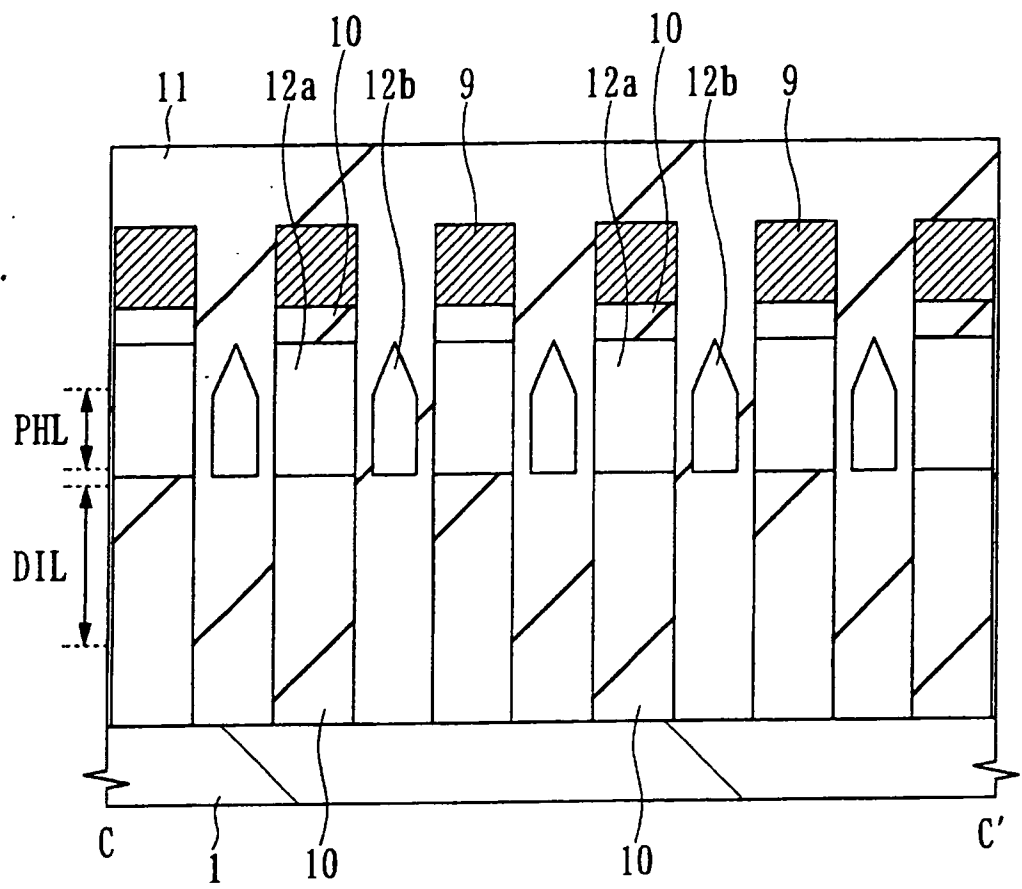


圖 4

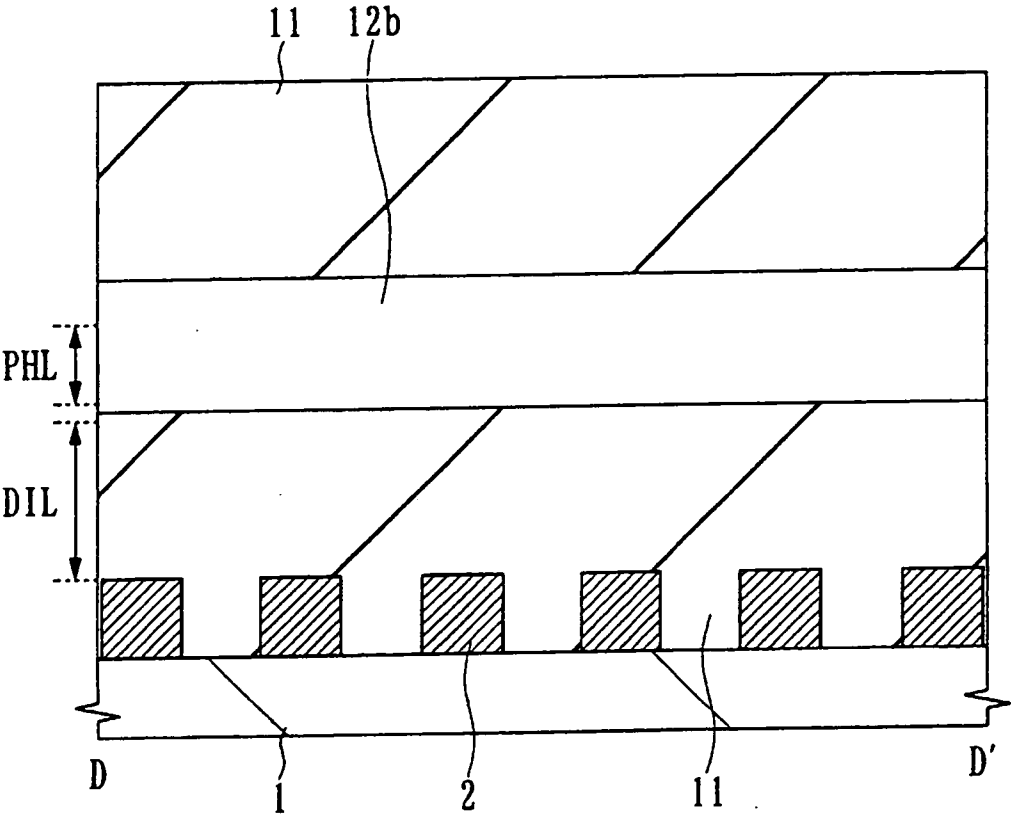


圖 5

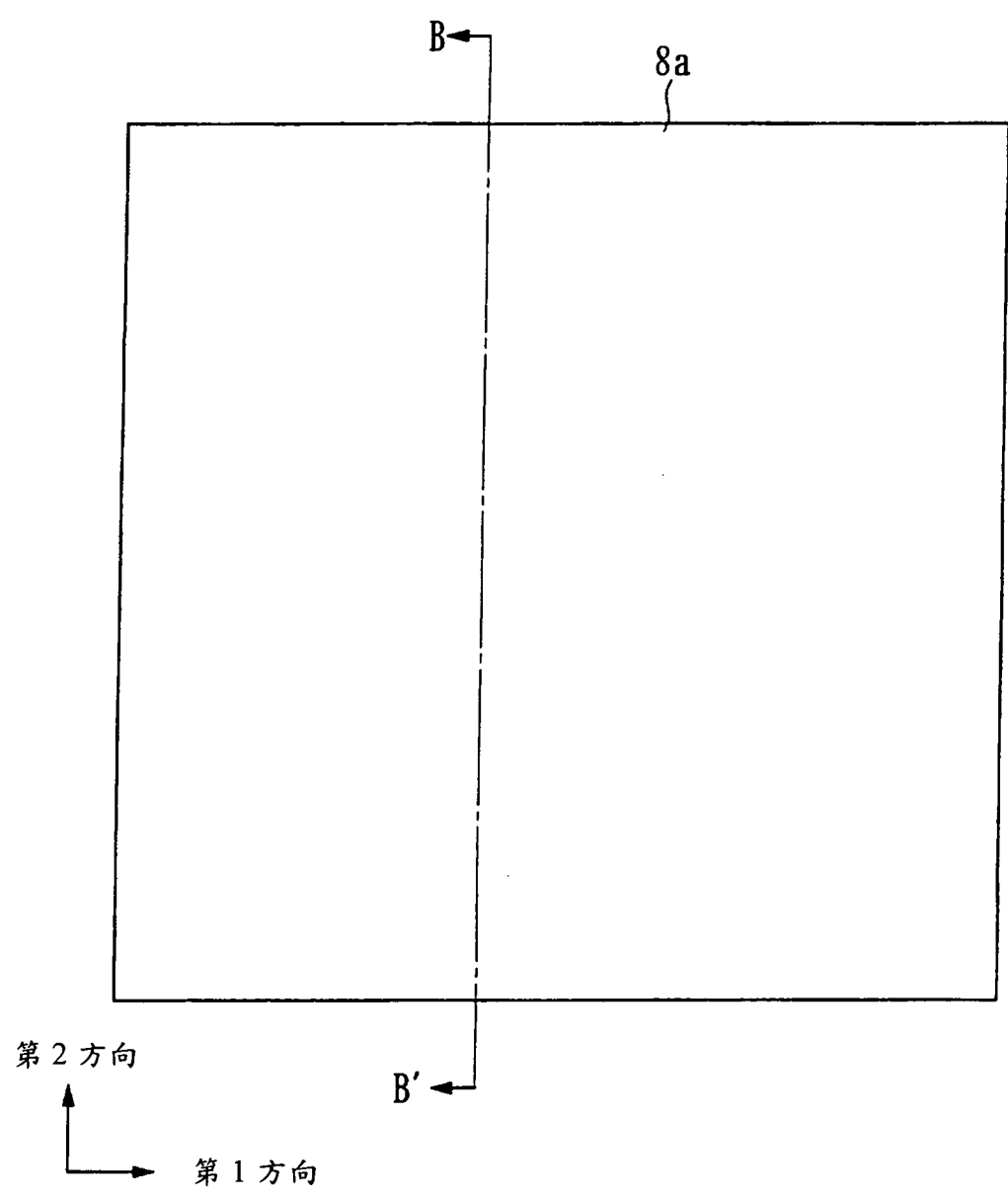


圖 6

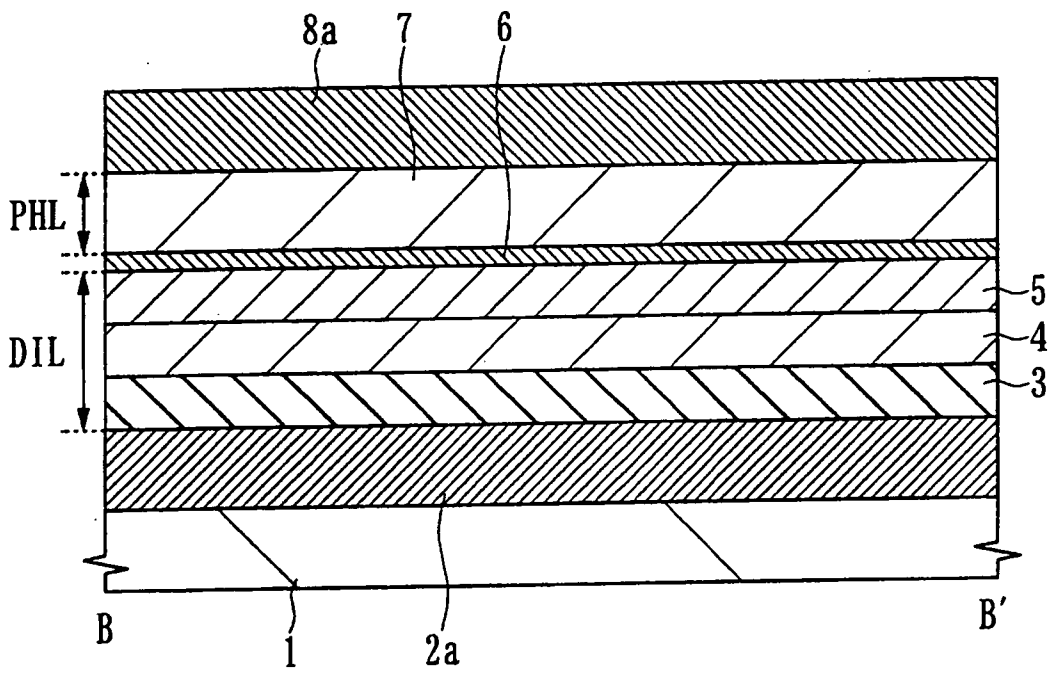


圖 7

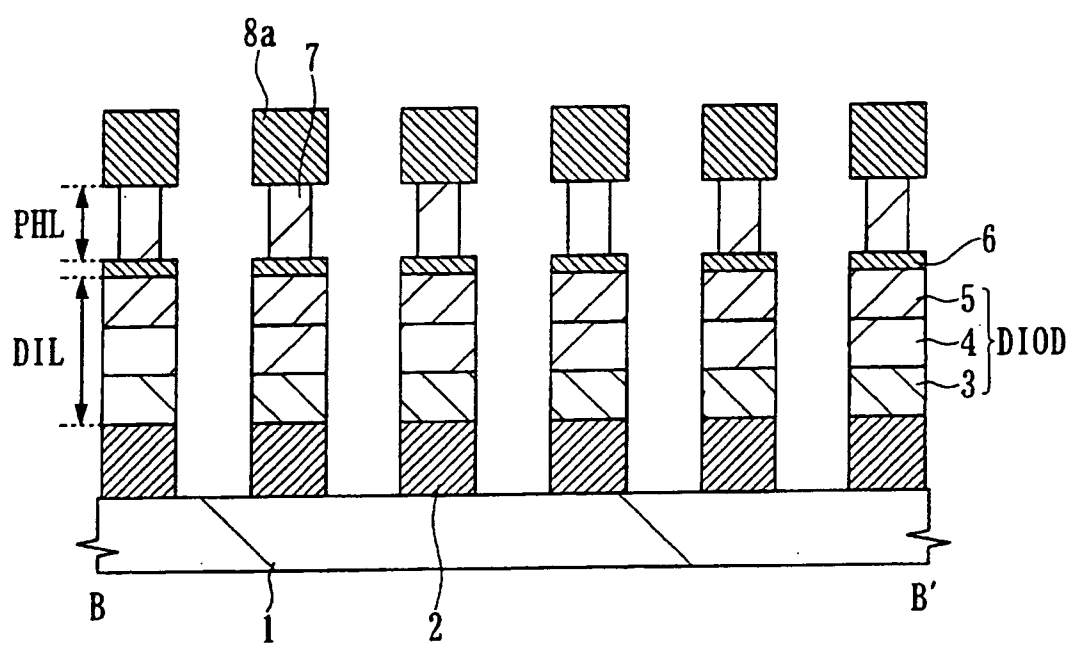


圖 8

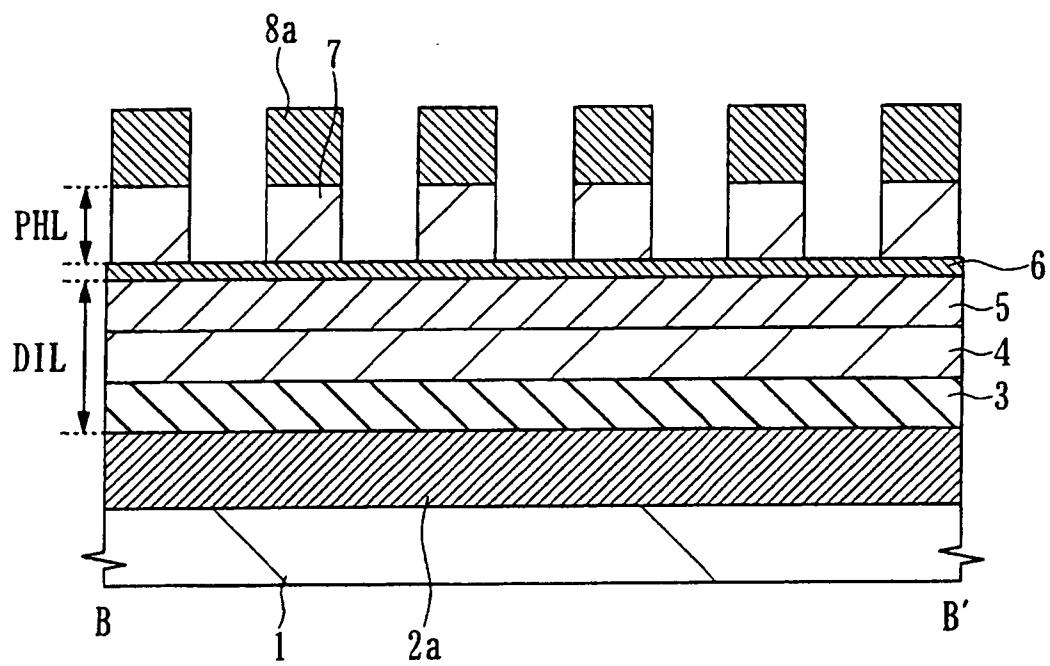


圖 9

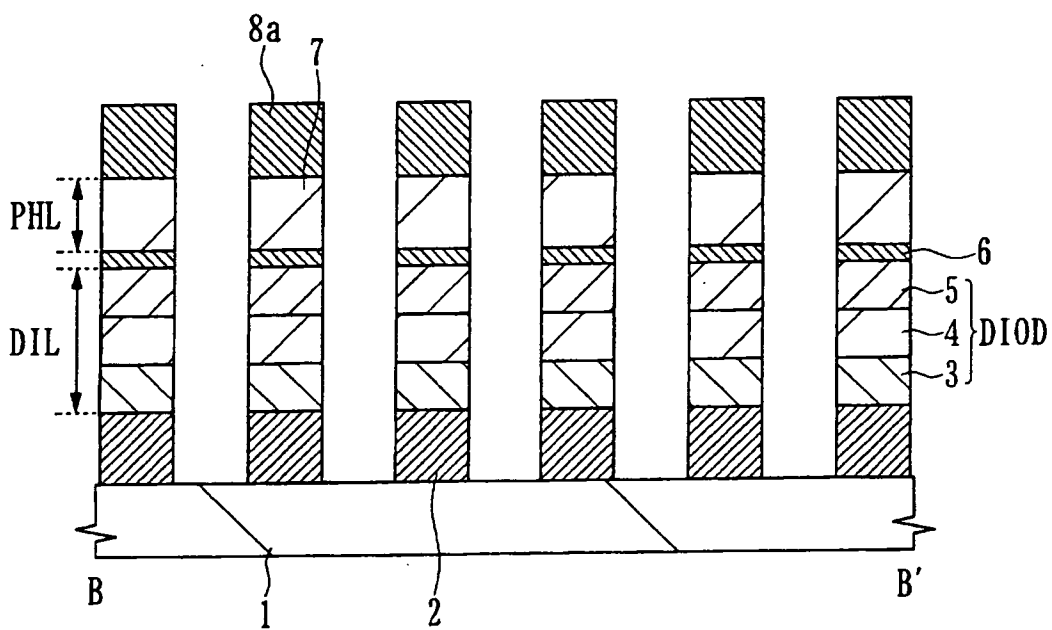


圖 10

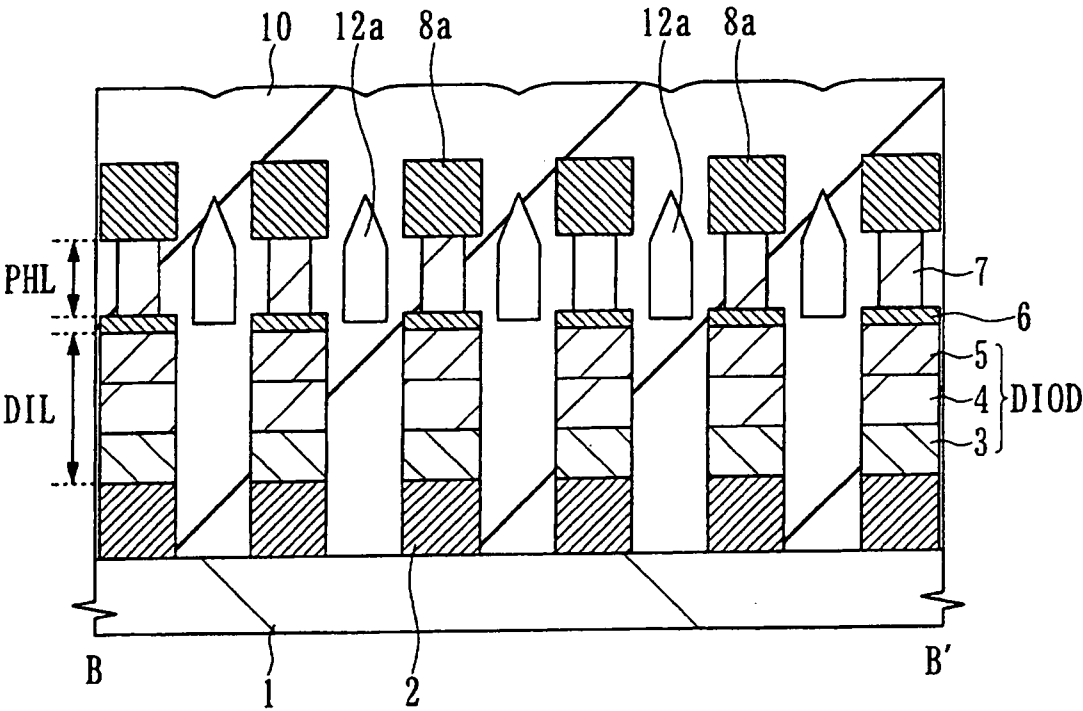


圖 11

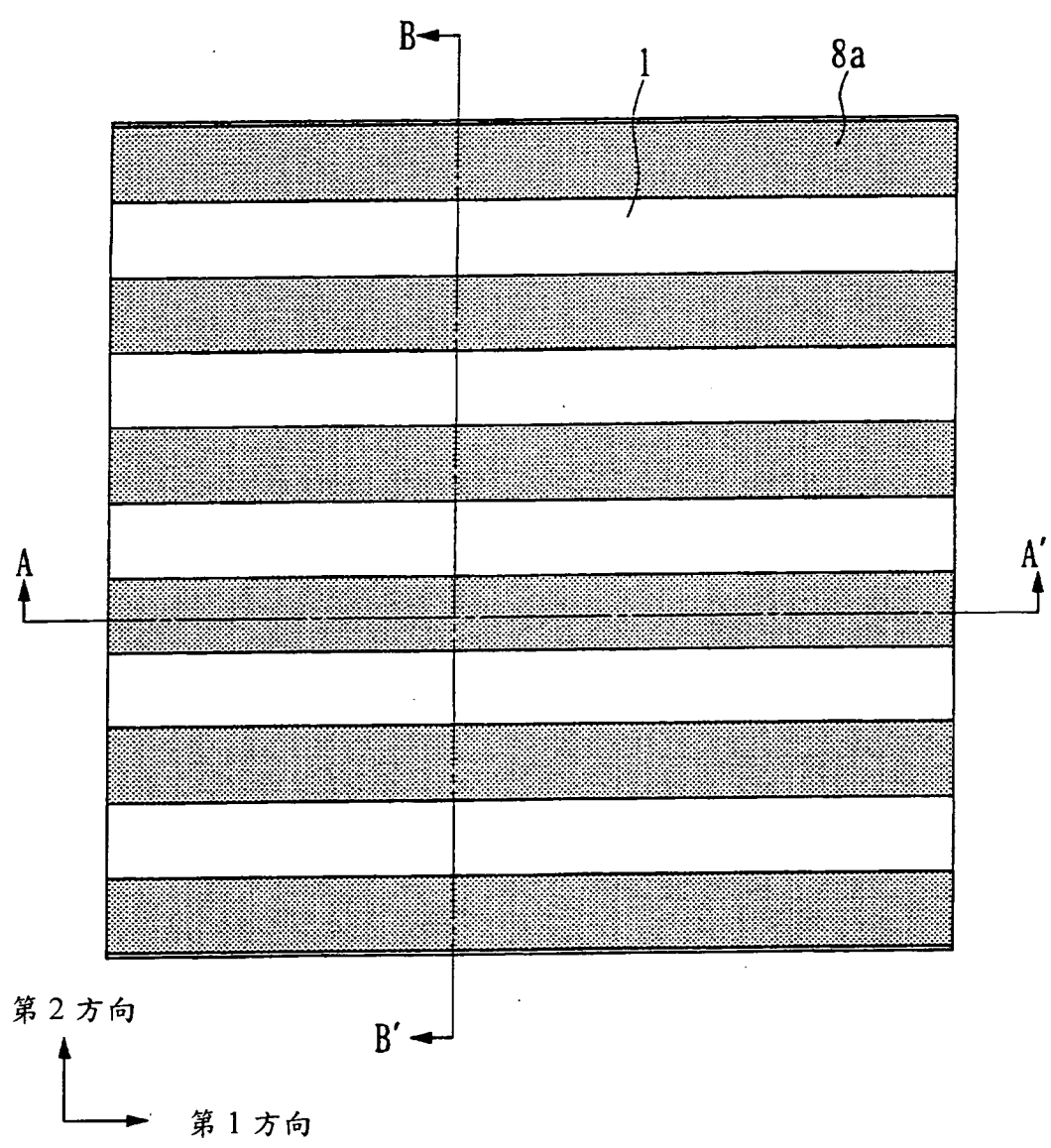


圖 12

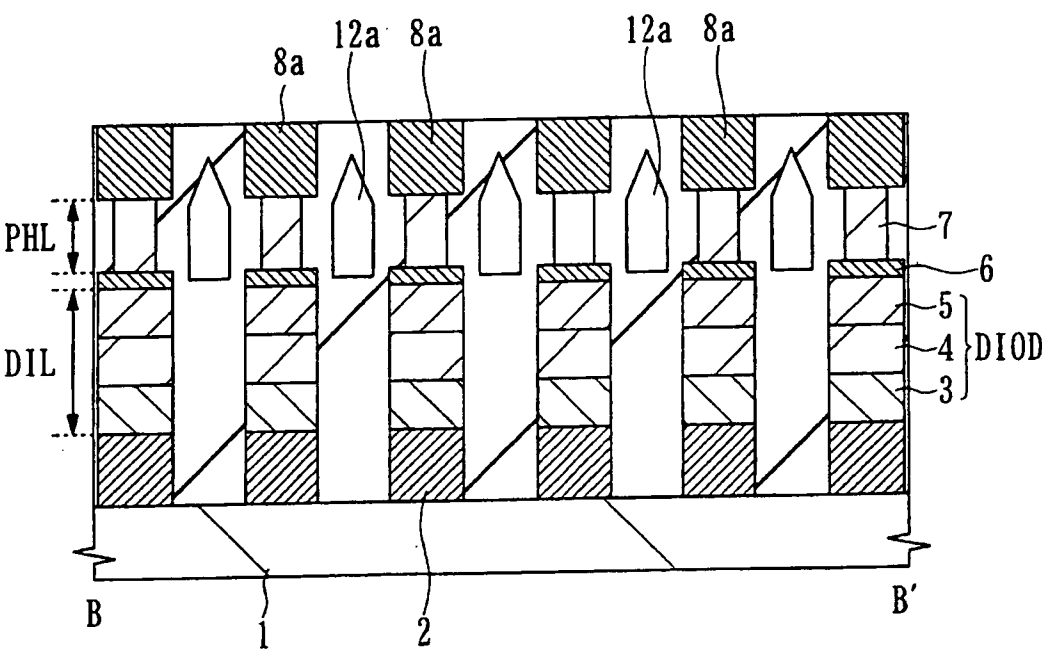
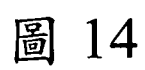


圖 13



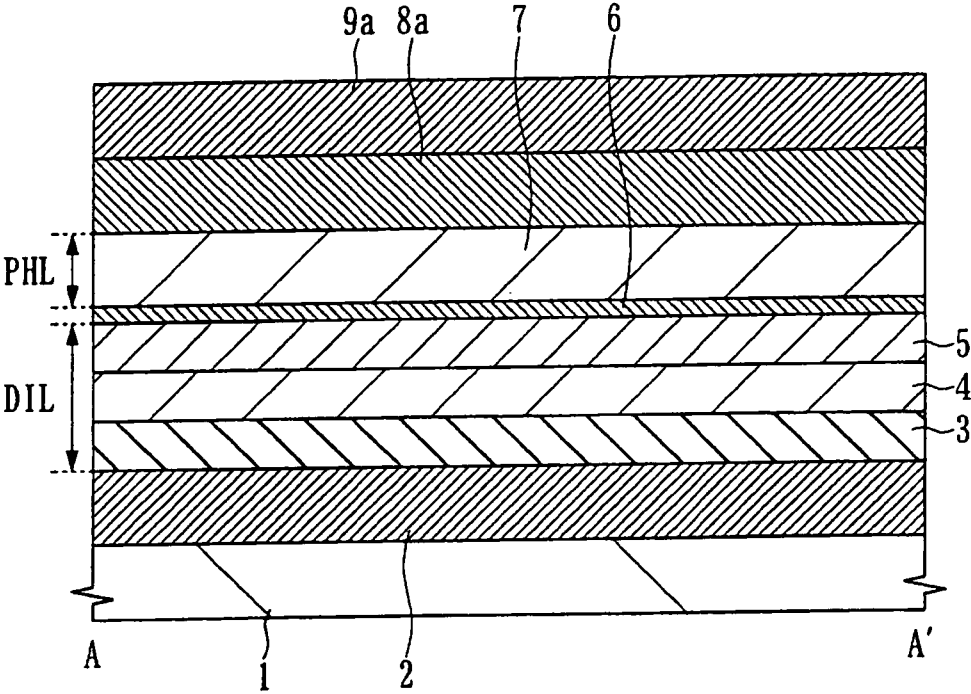


圖 15

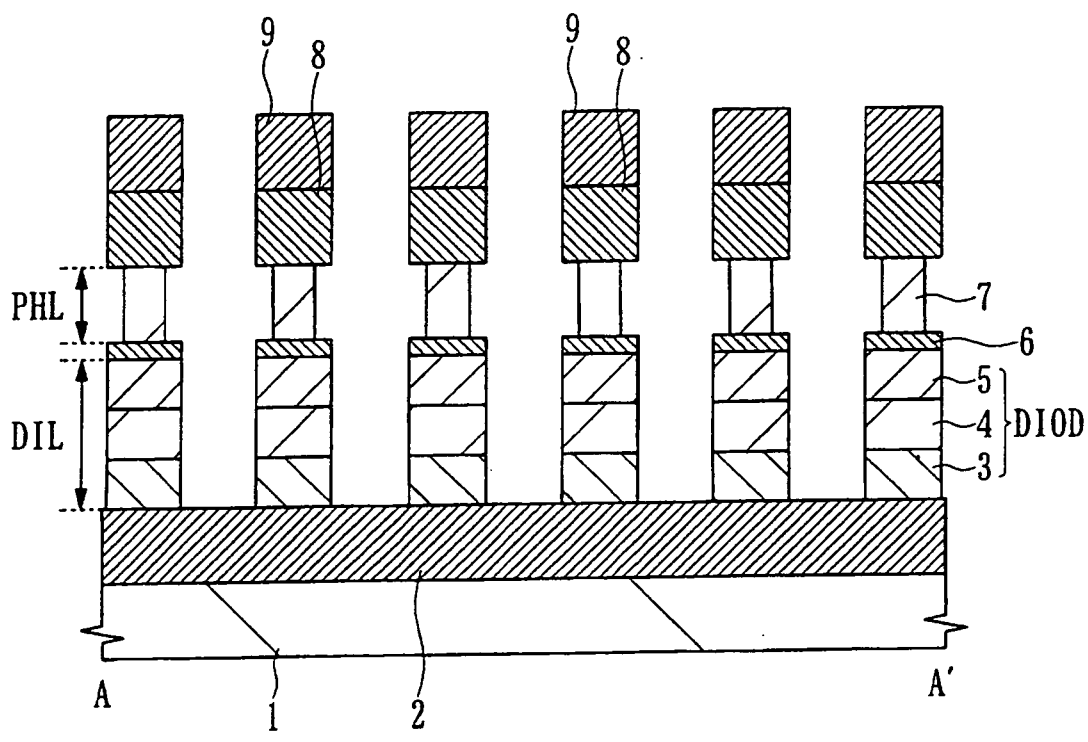


圖 16

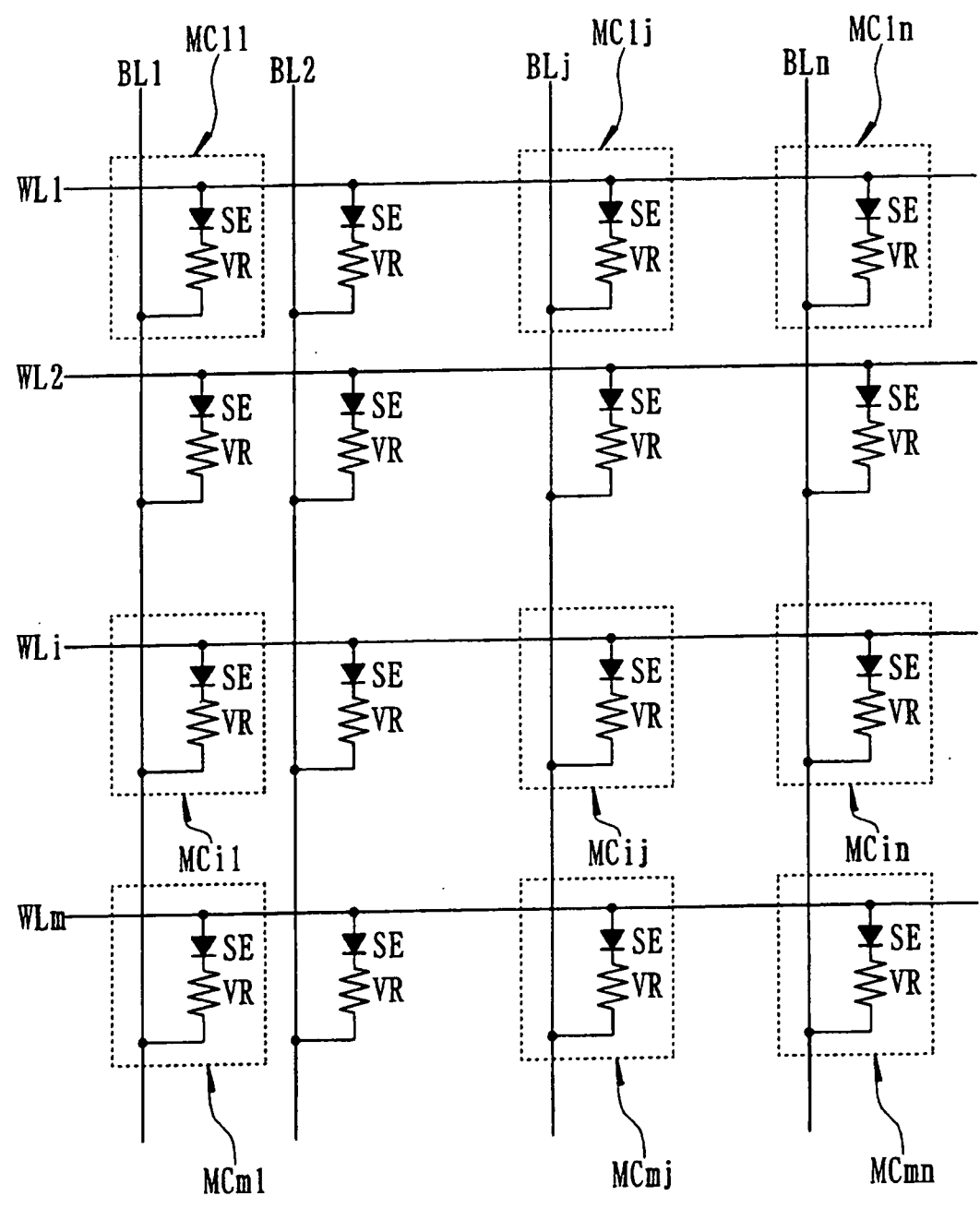


圖 17

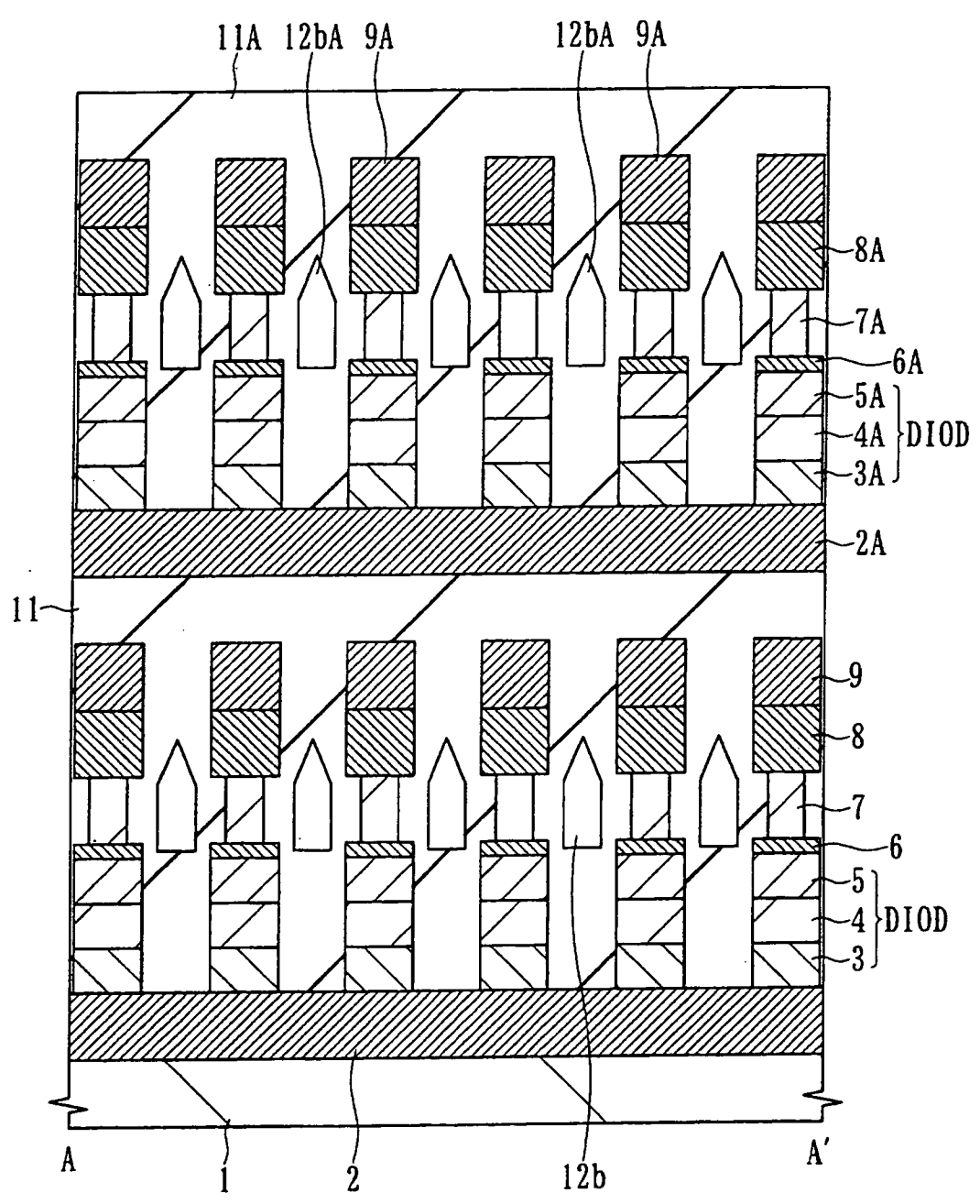


圖 18



●

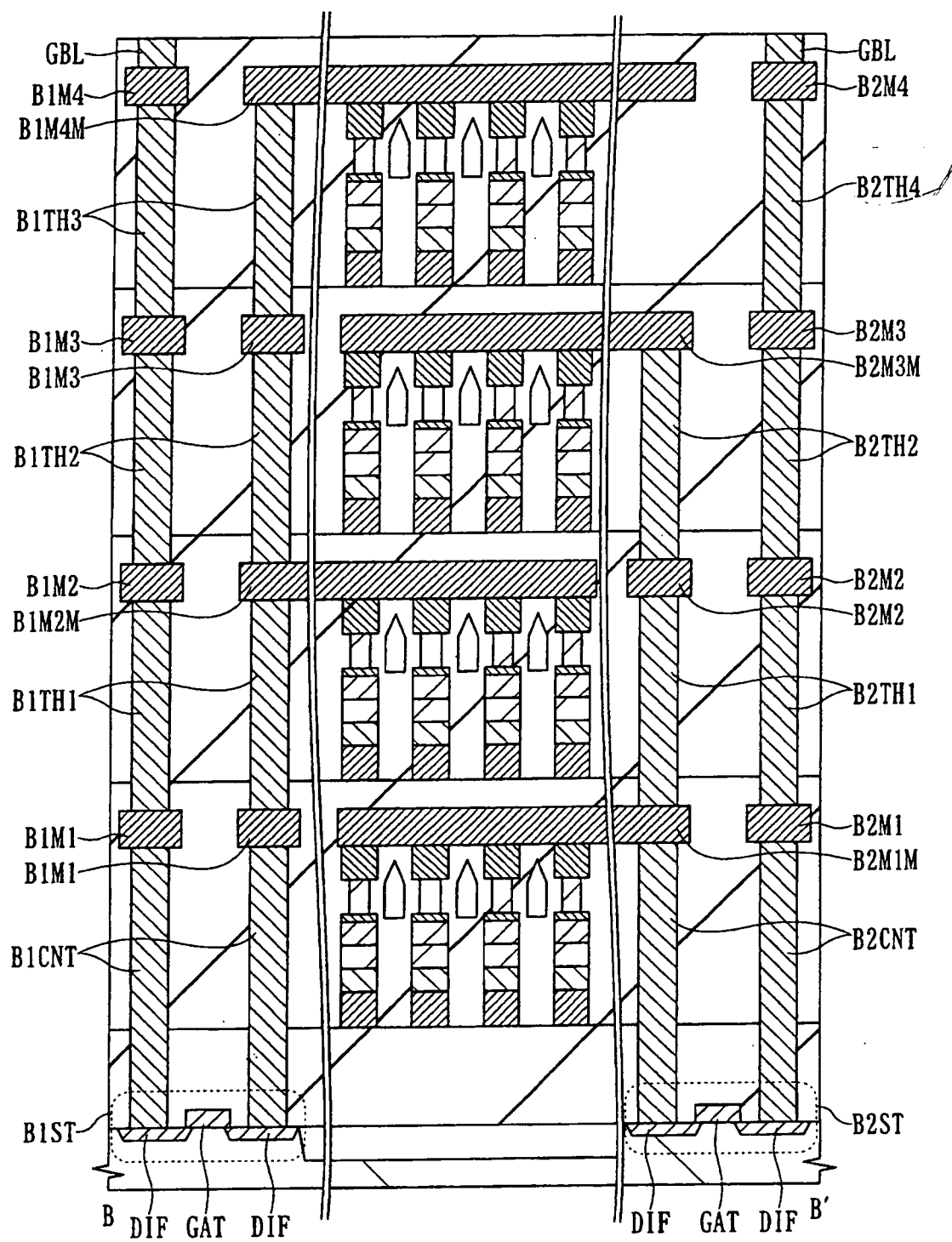


圖 20

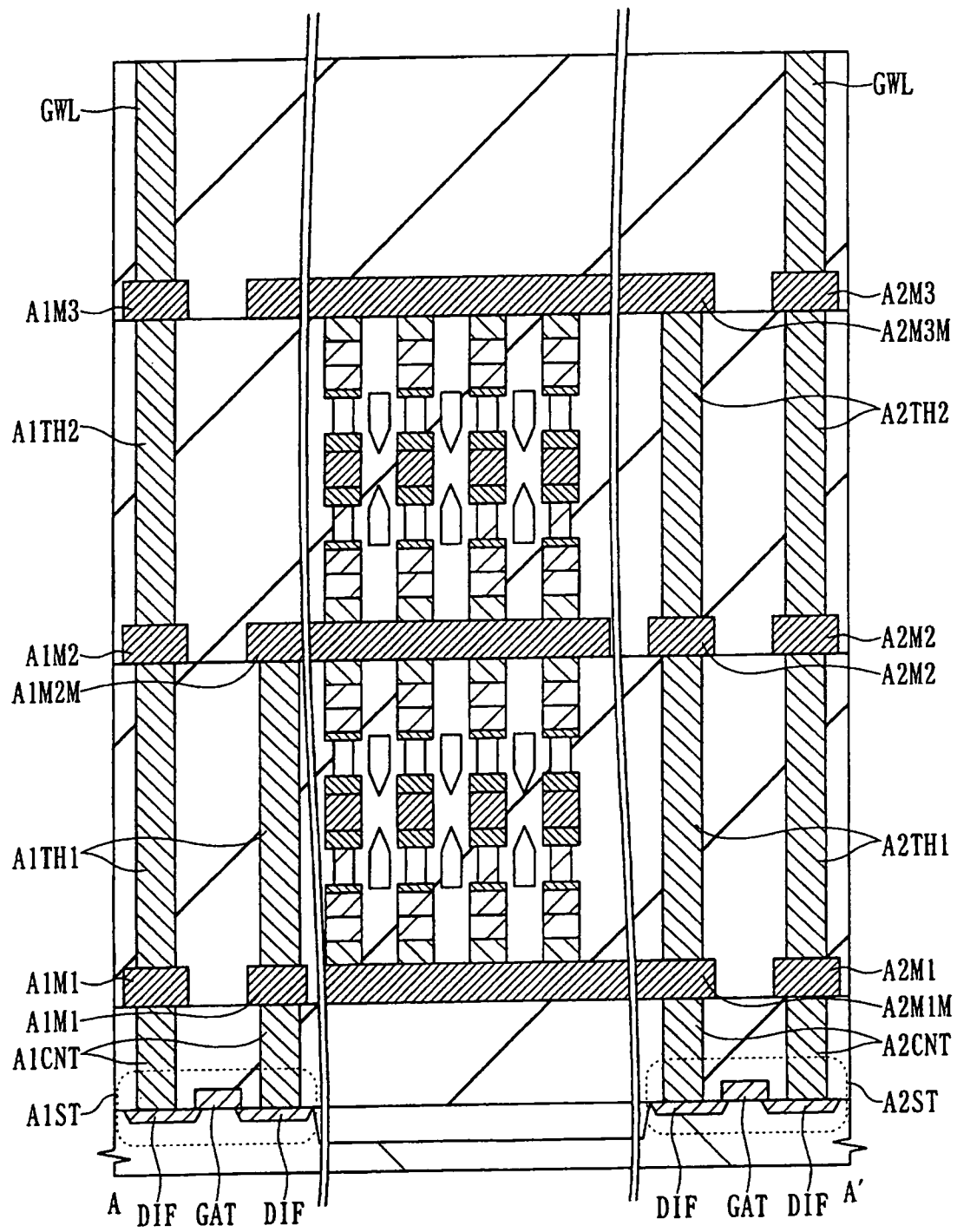


圖 21

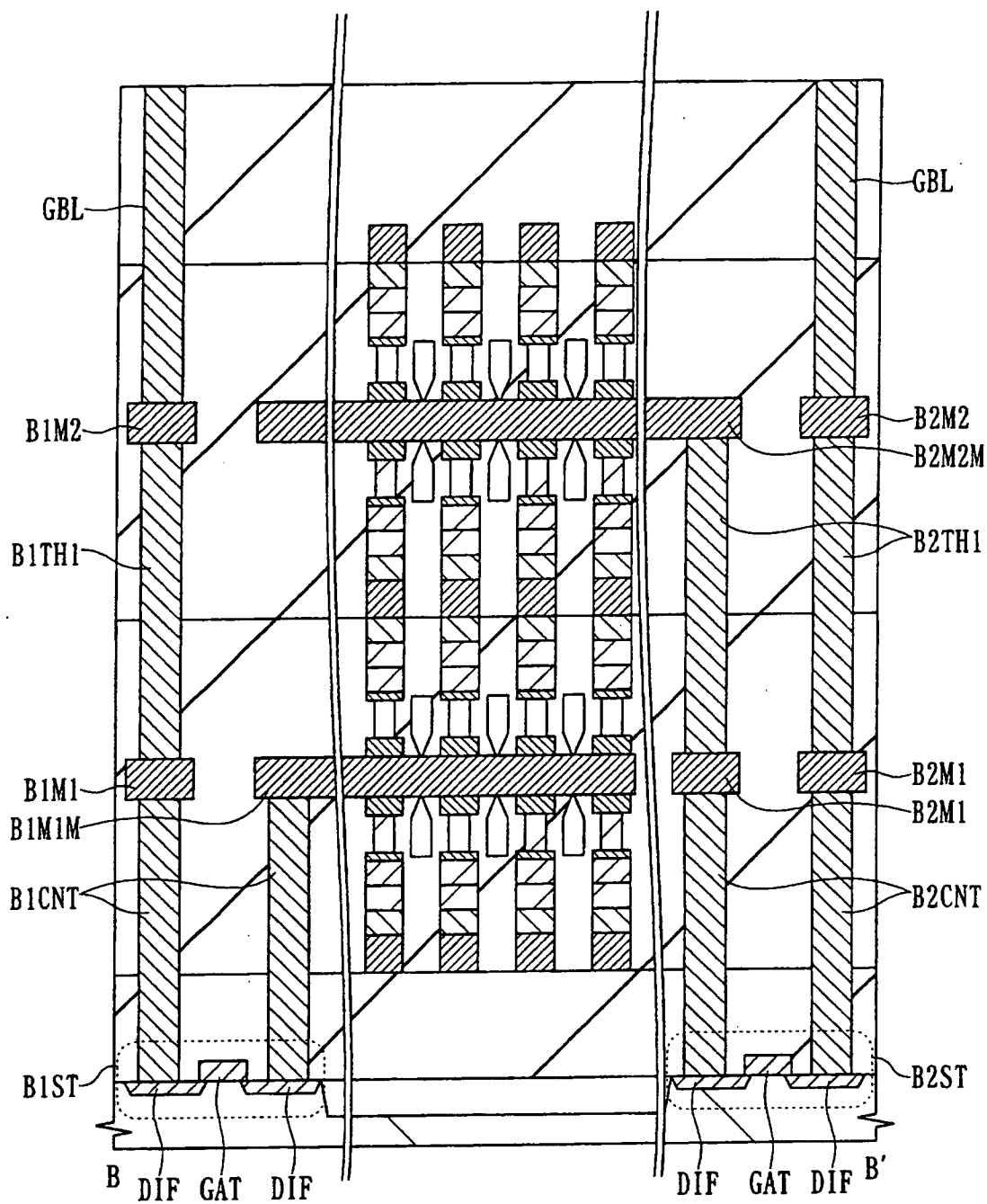


圖 22

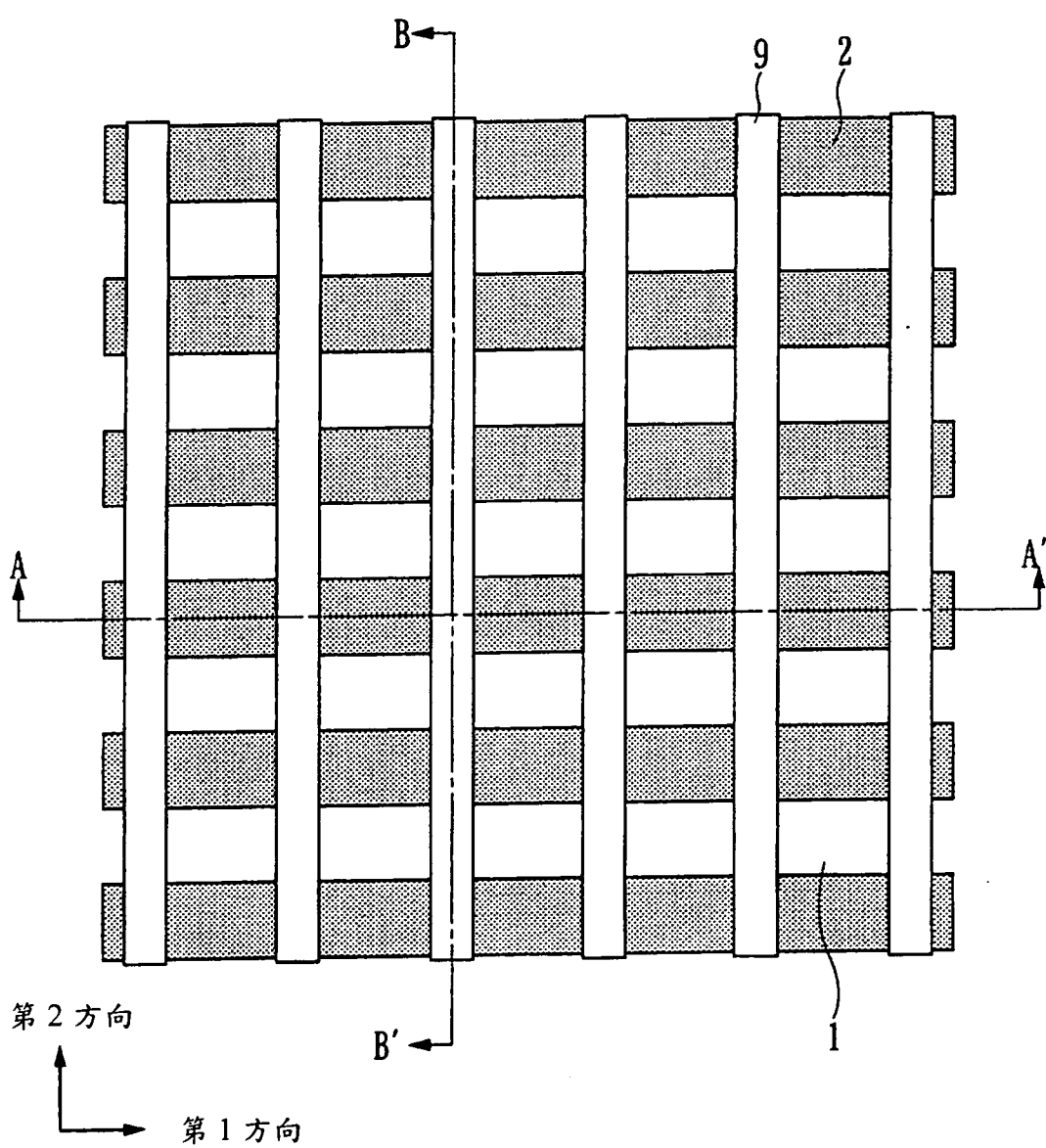


圖 23

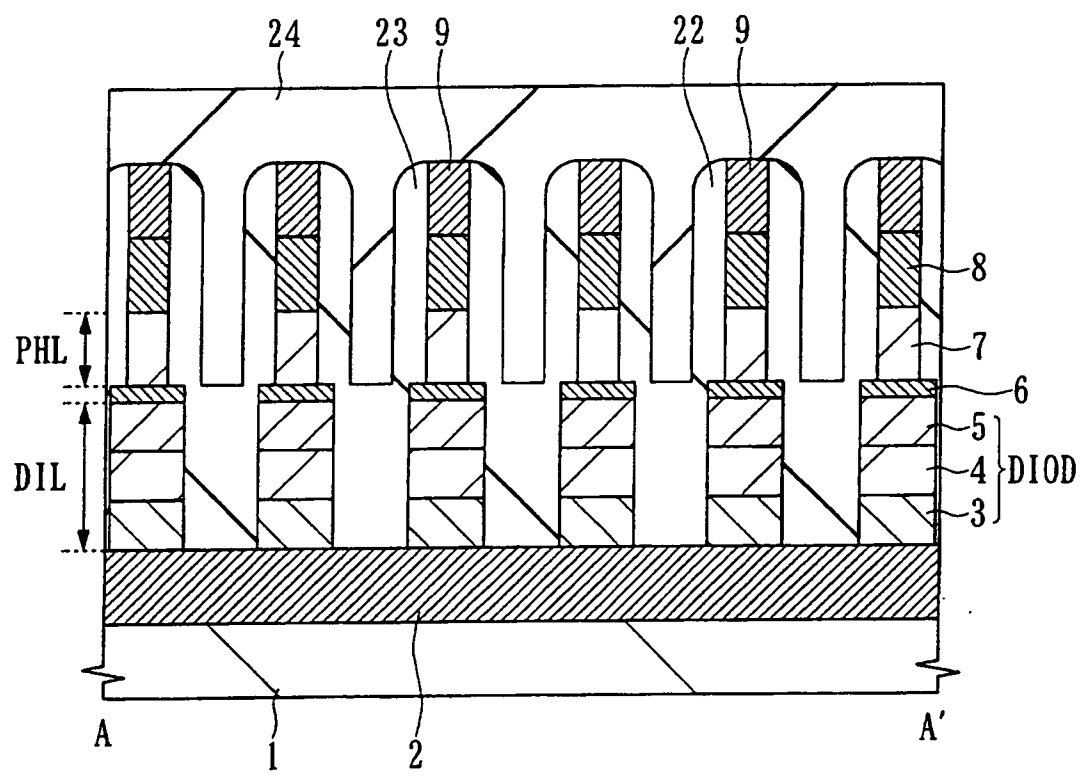


圖 24

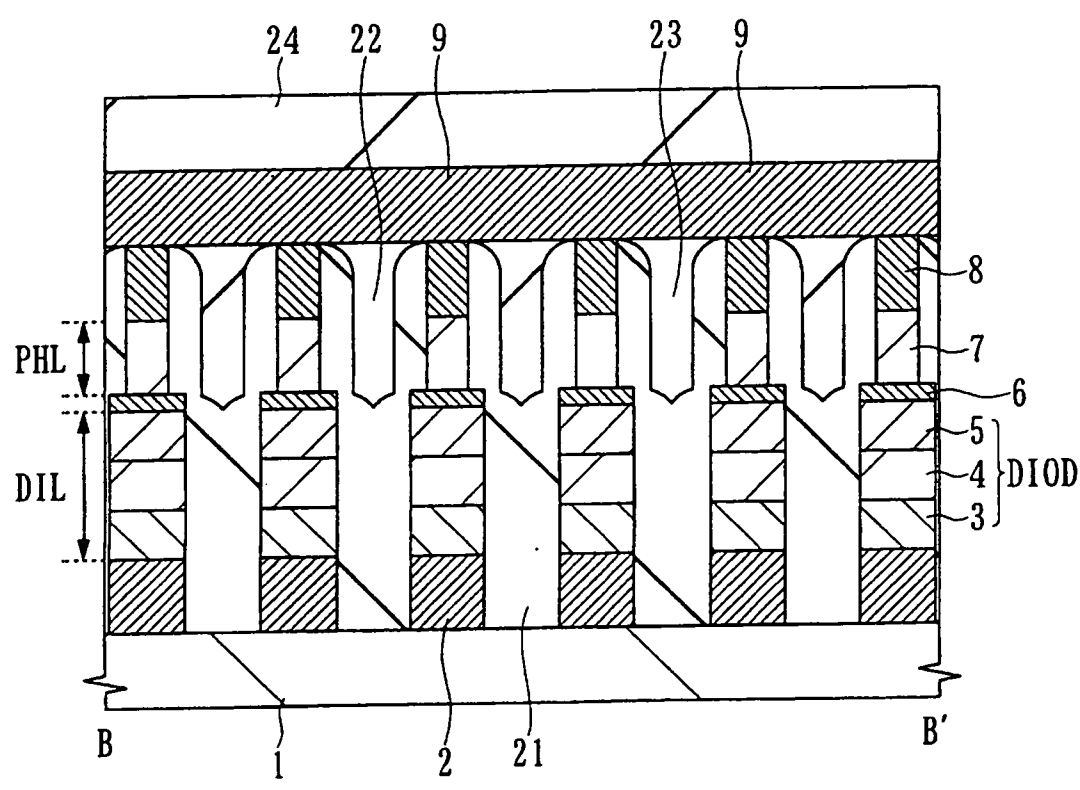


圖 25

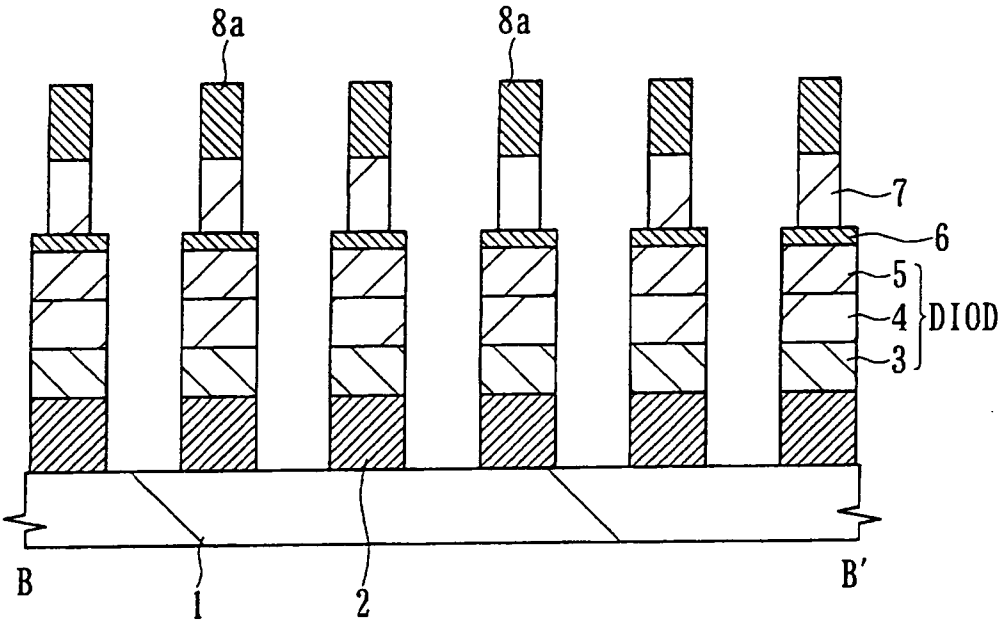


圖 26

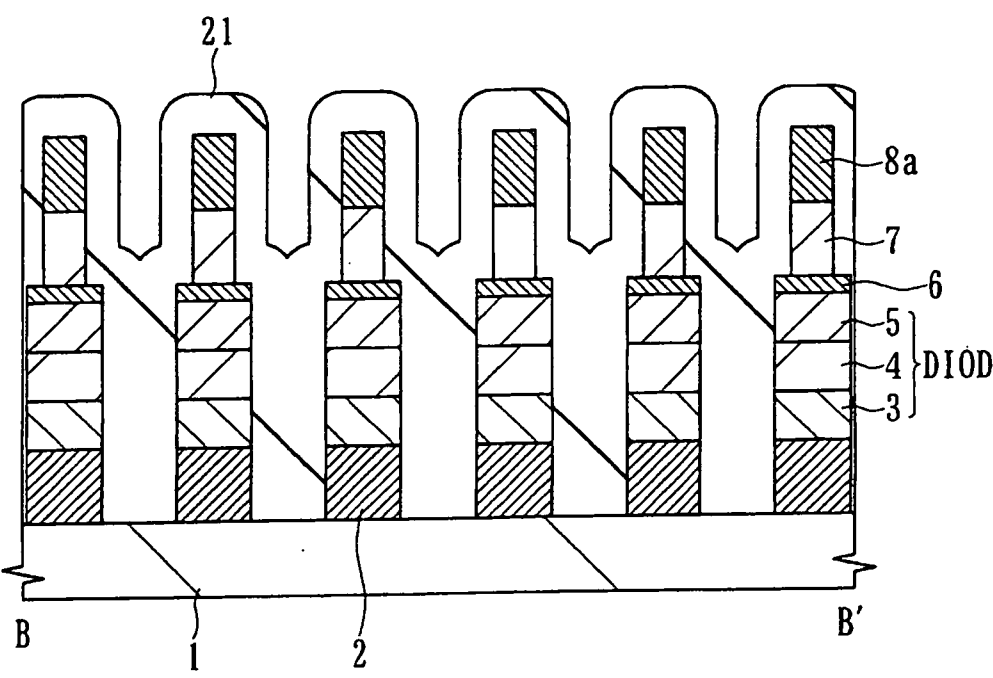


圖 27

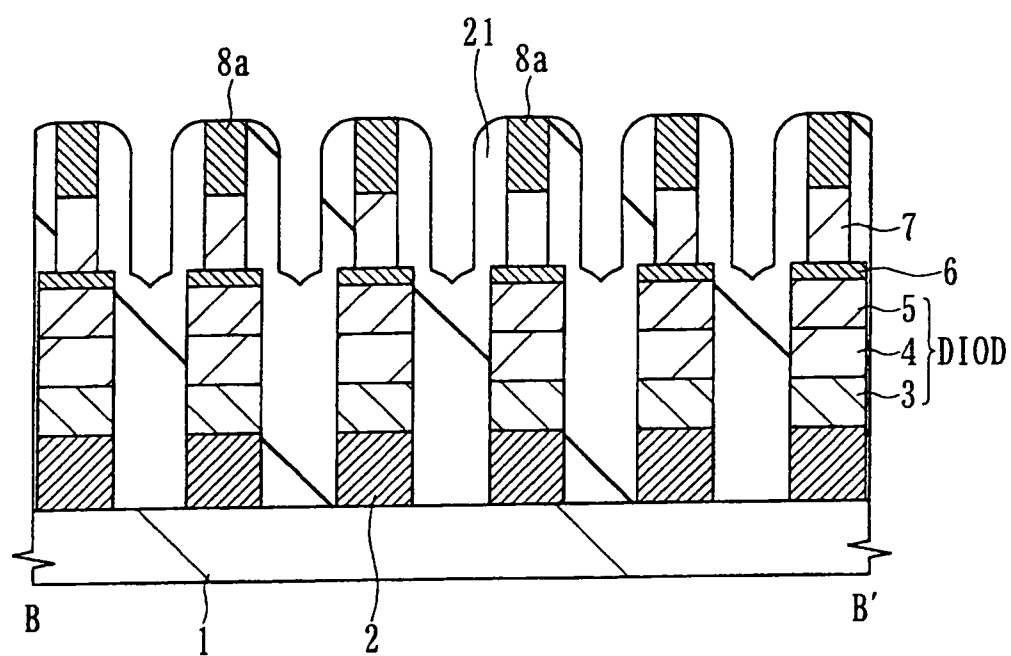


圖 28

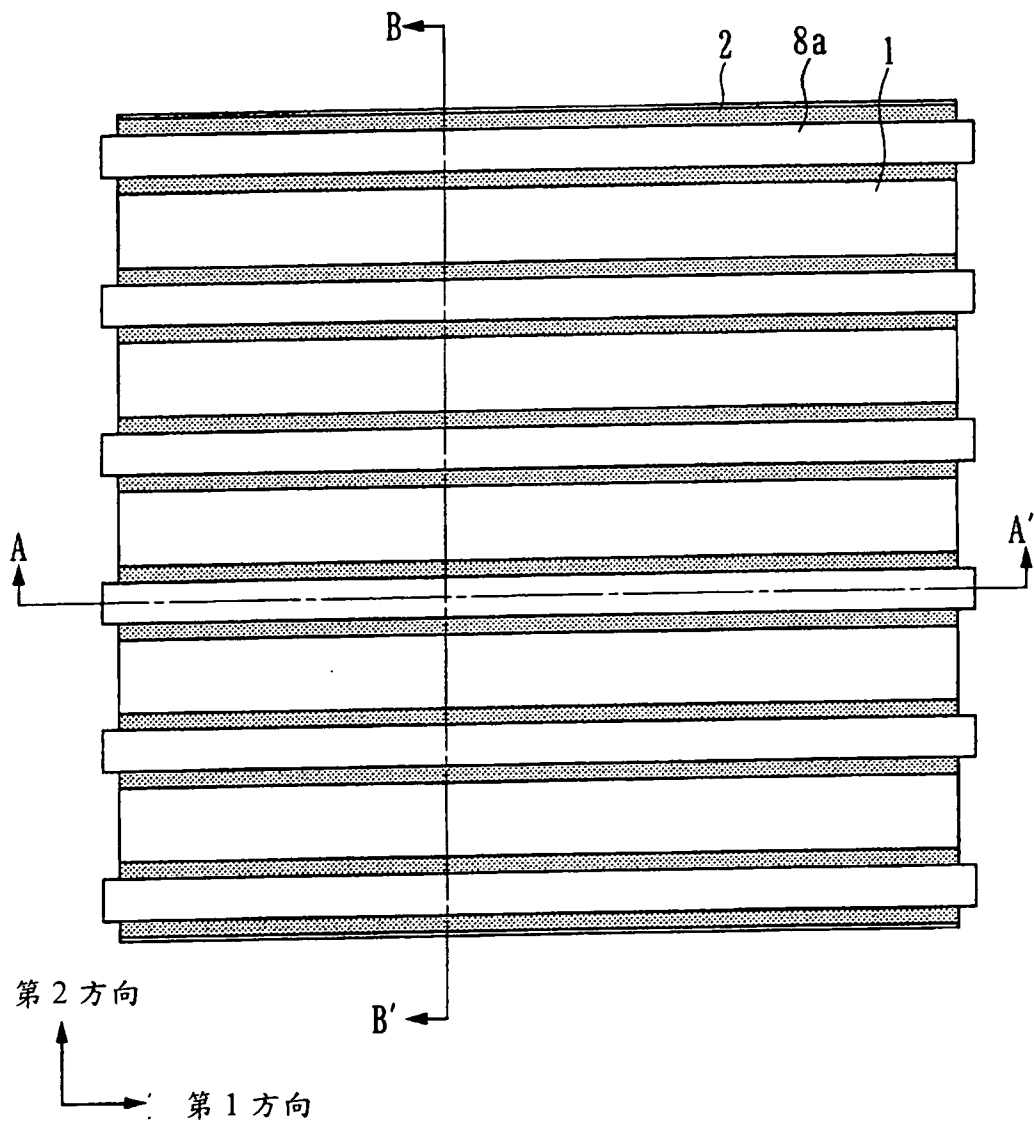


圖 29

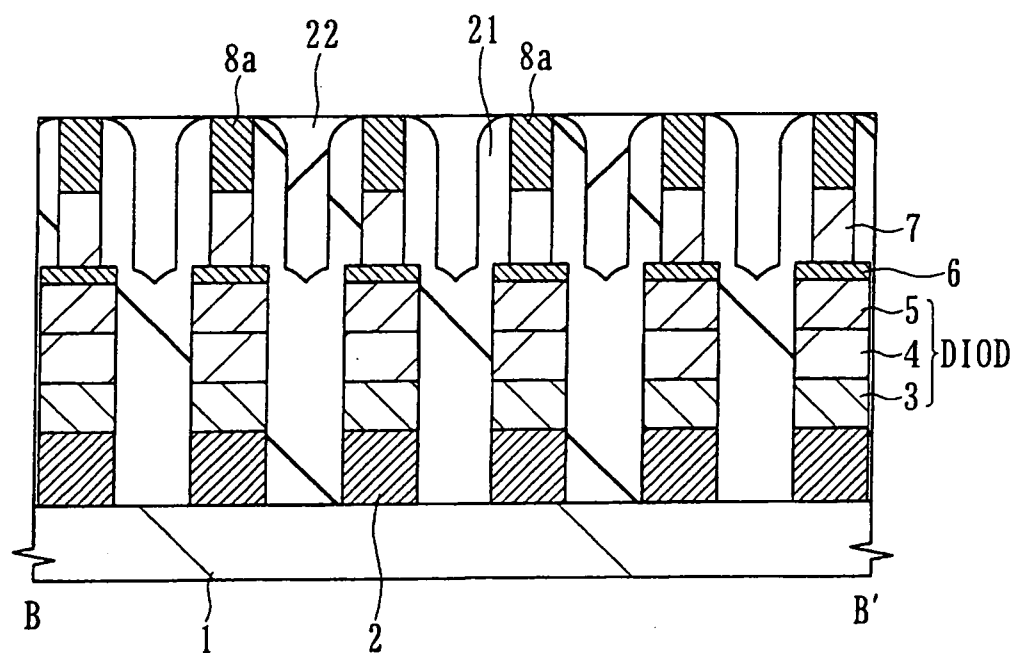


圖 30

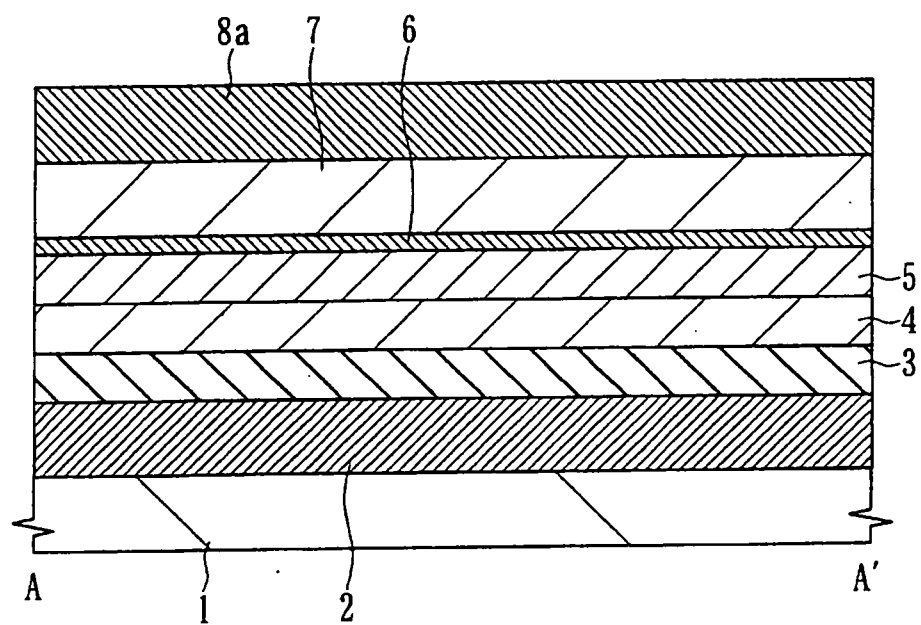


圖 31

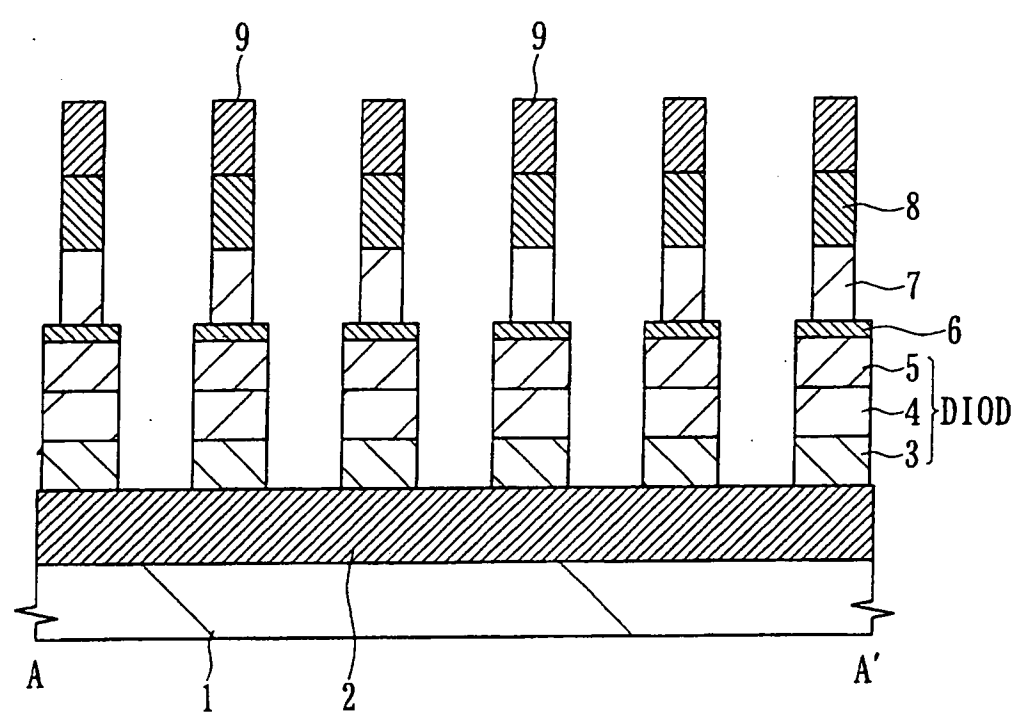


圖 32

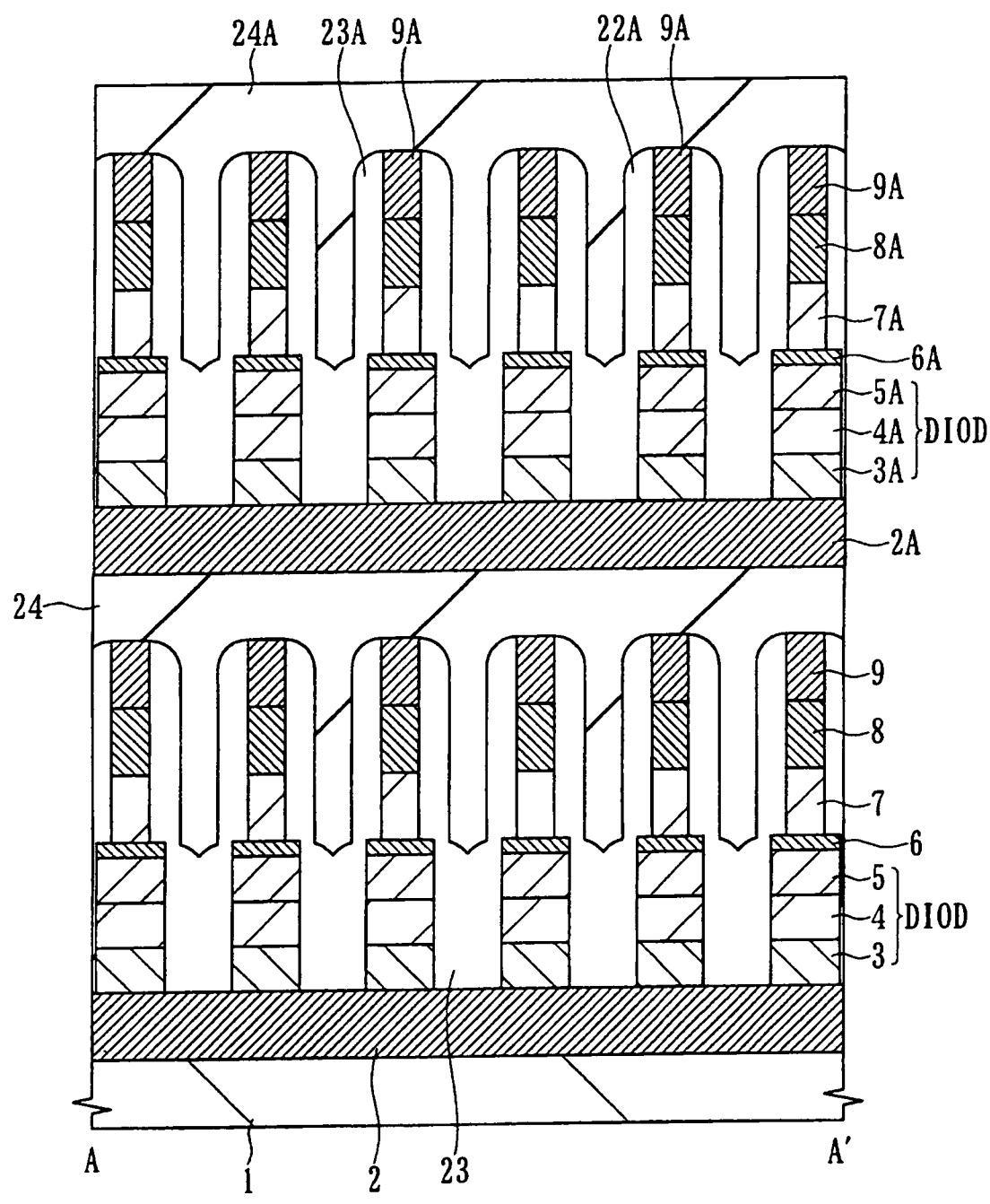


圖 33

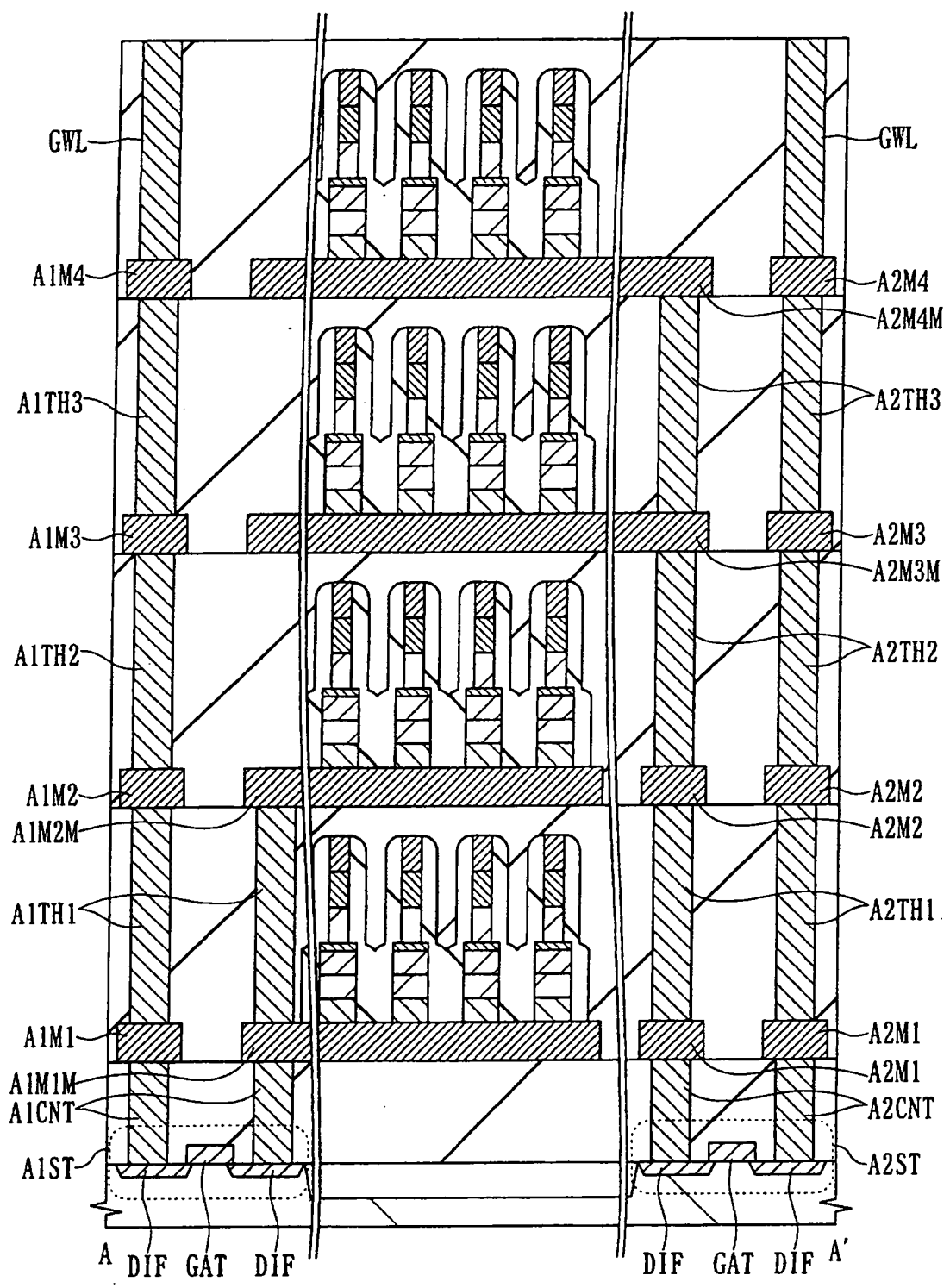


圖 34

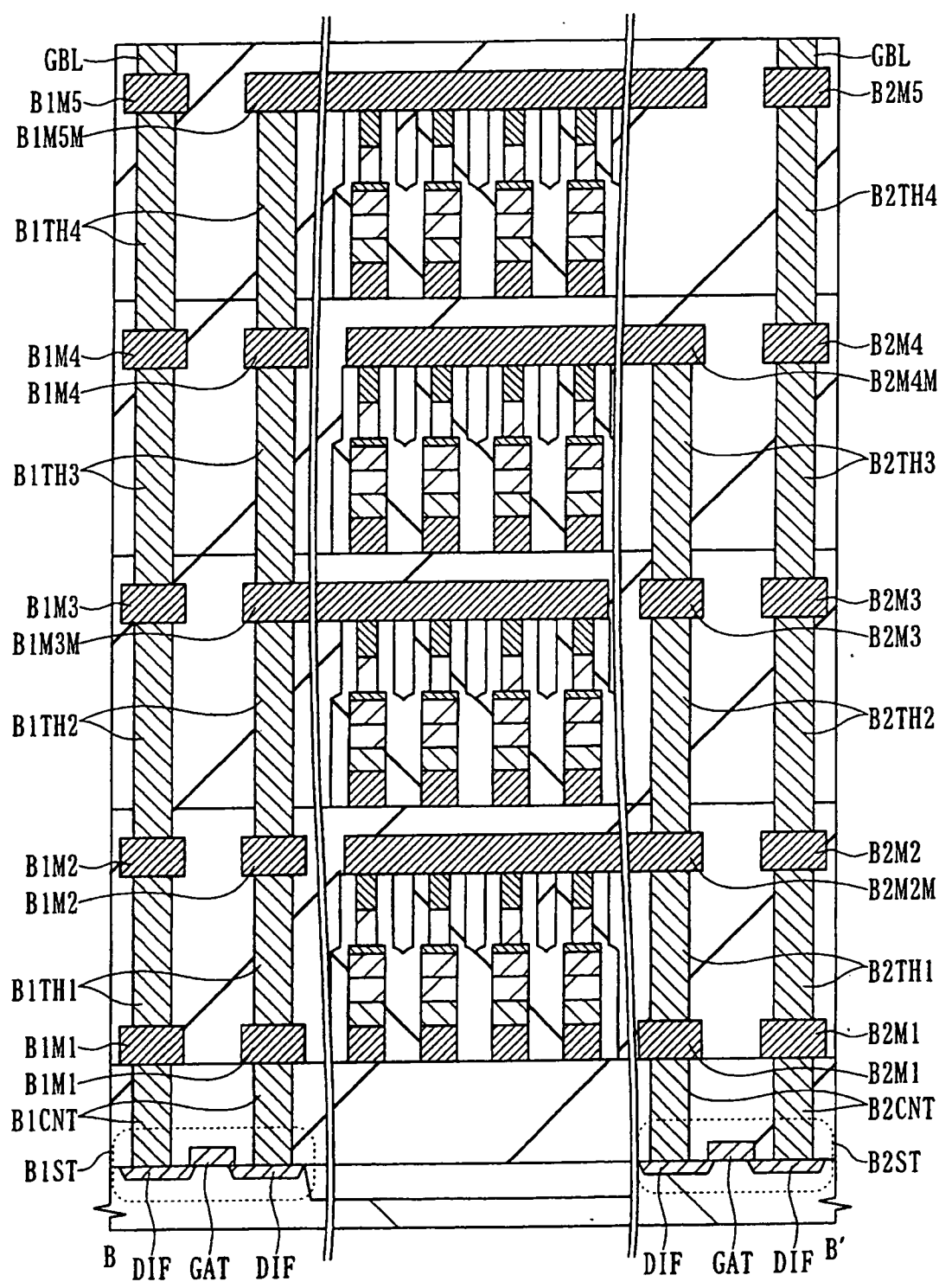


圖 35

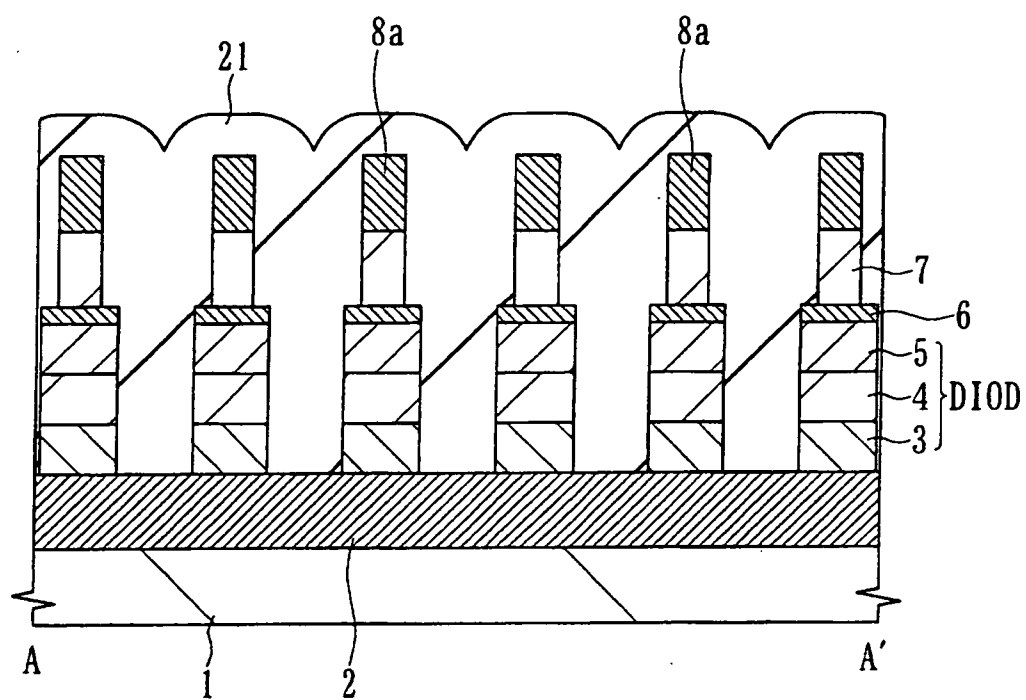


圖 36

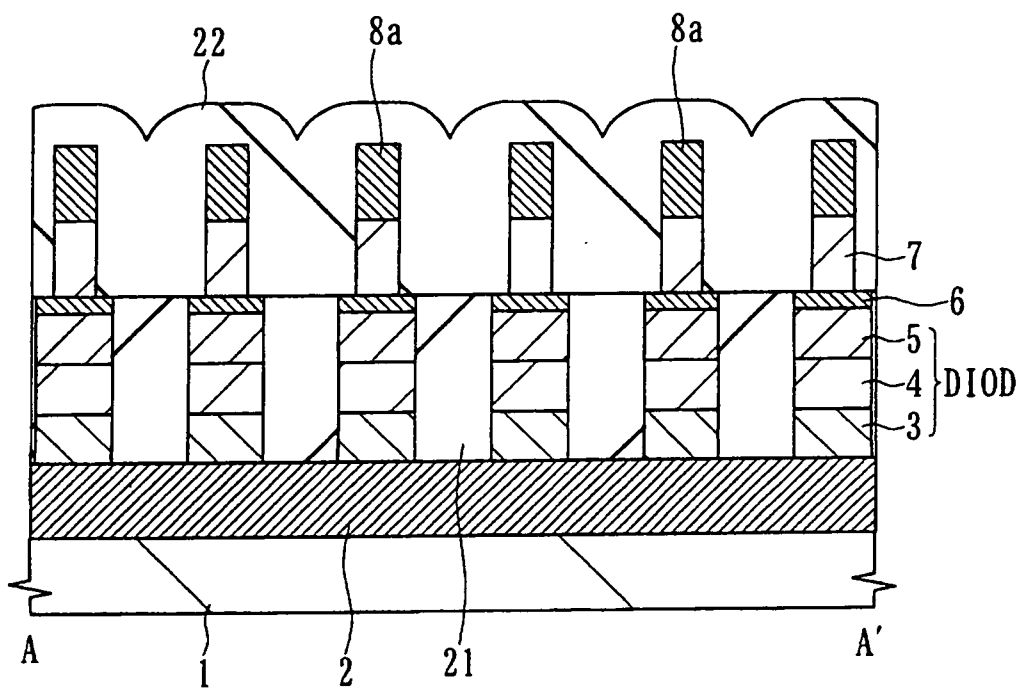


圖 37

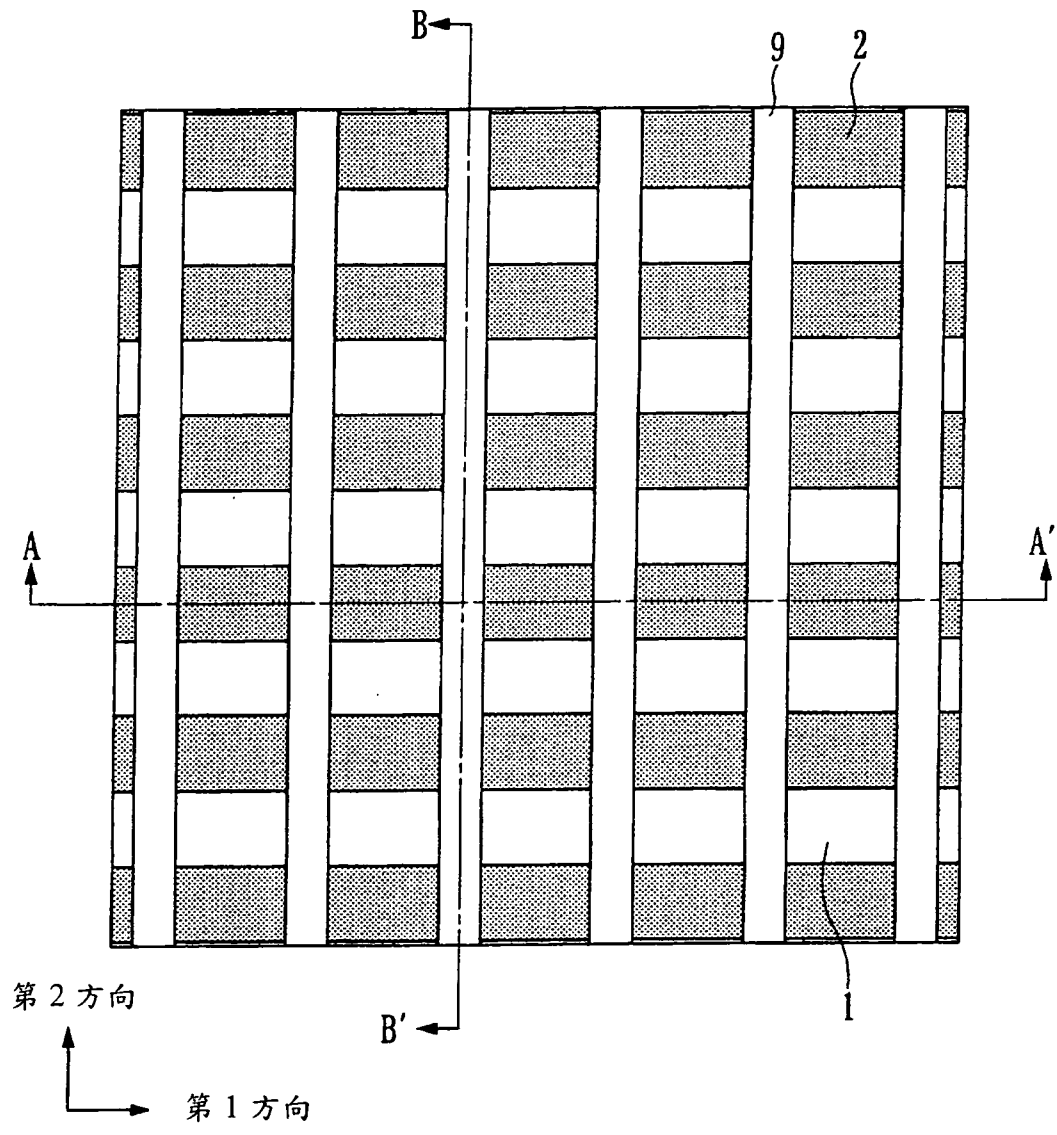


圖 38

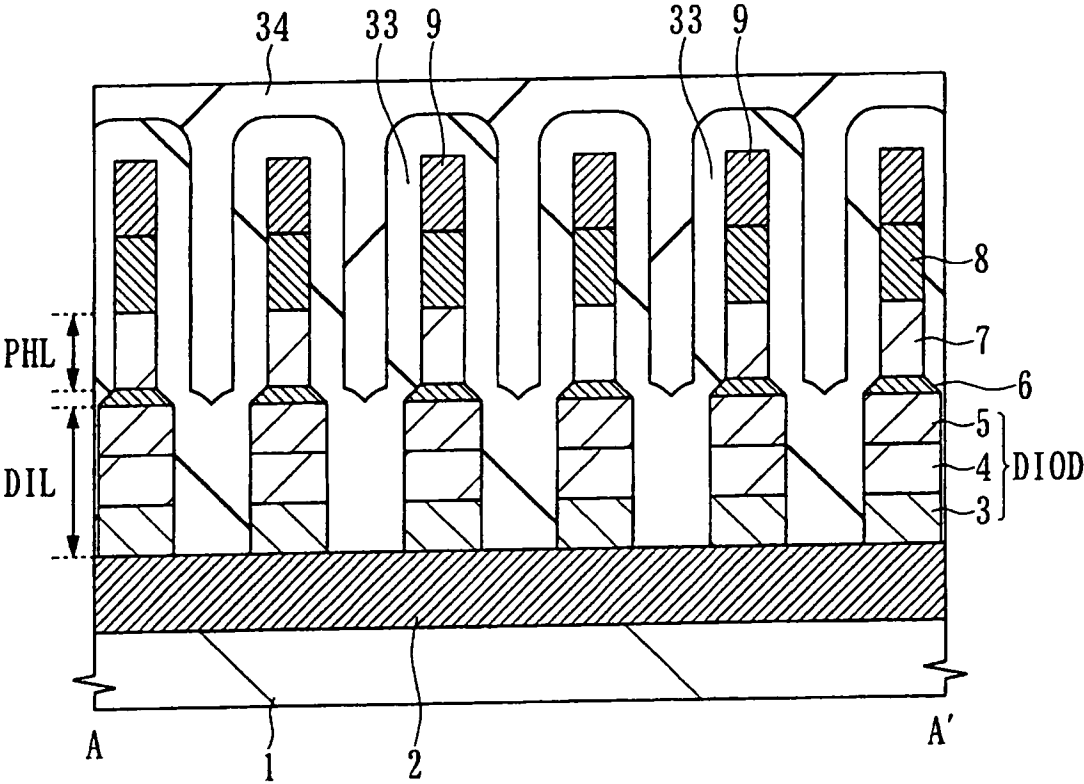
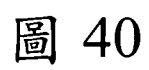


圖 39



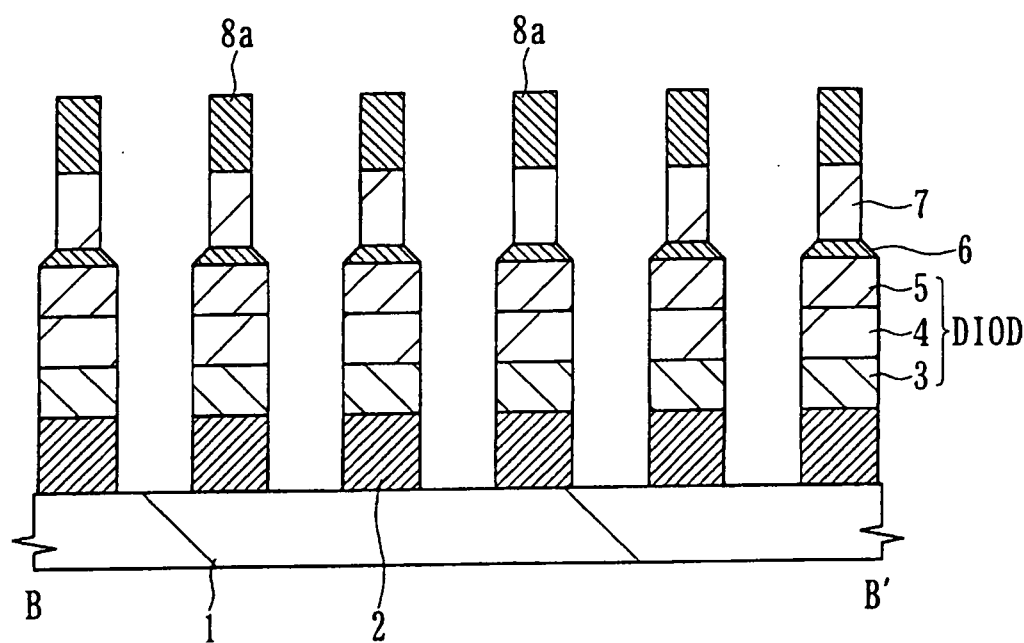


圖 41

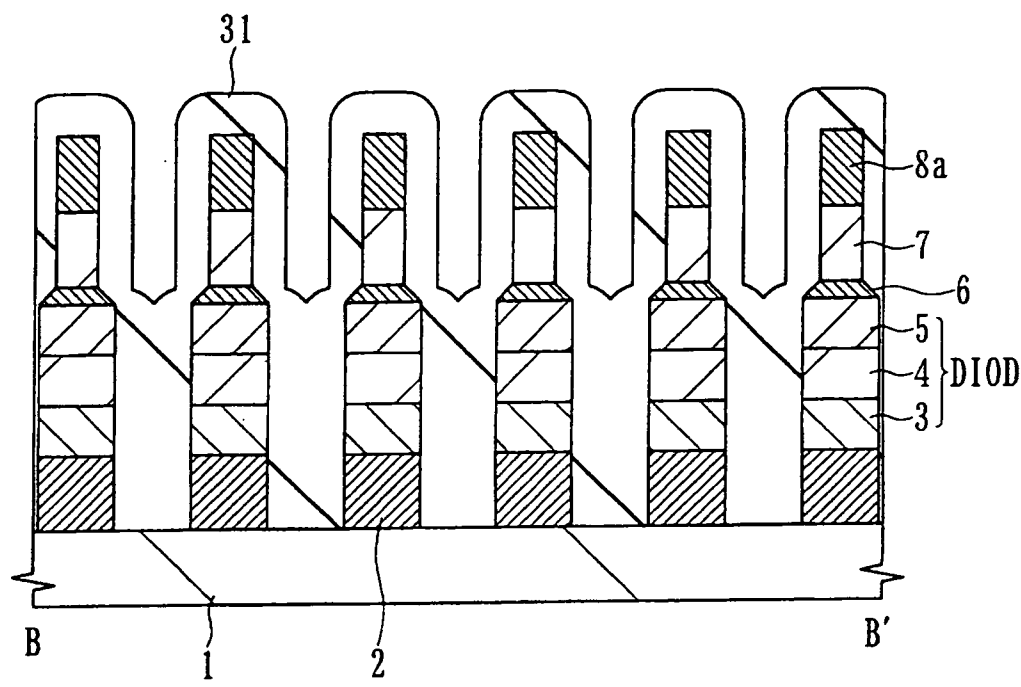


圖 42

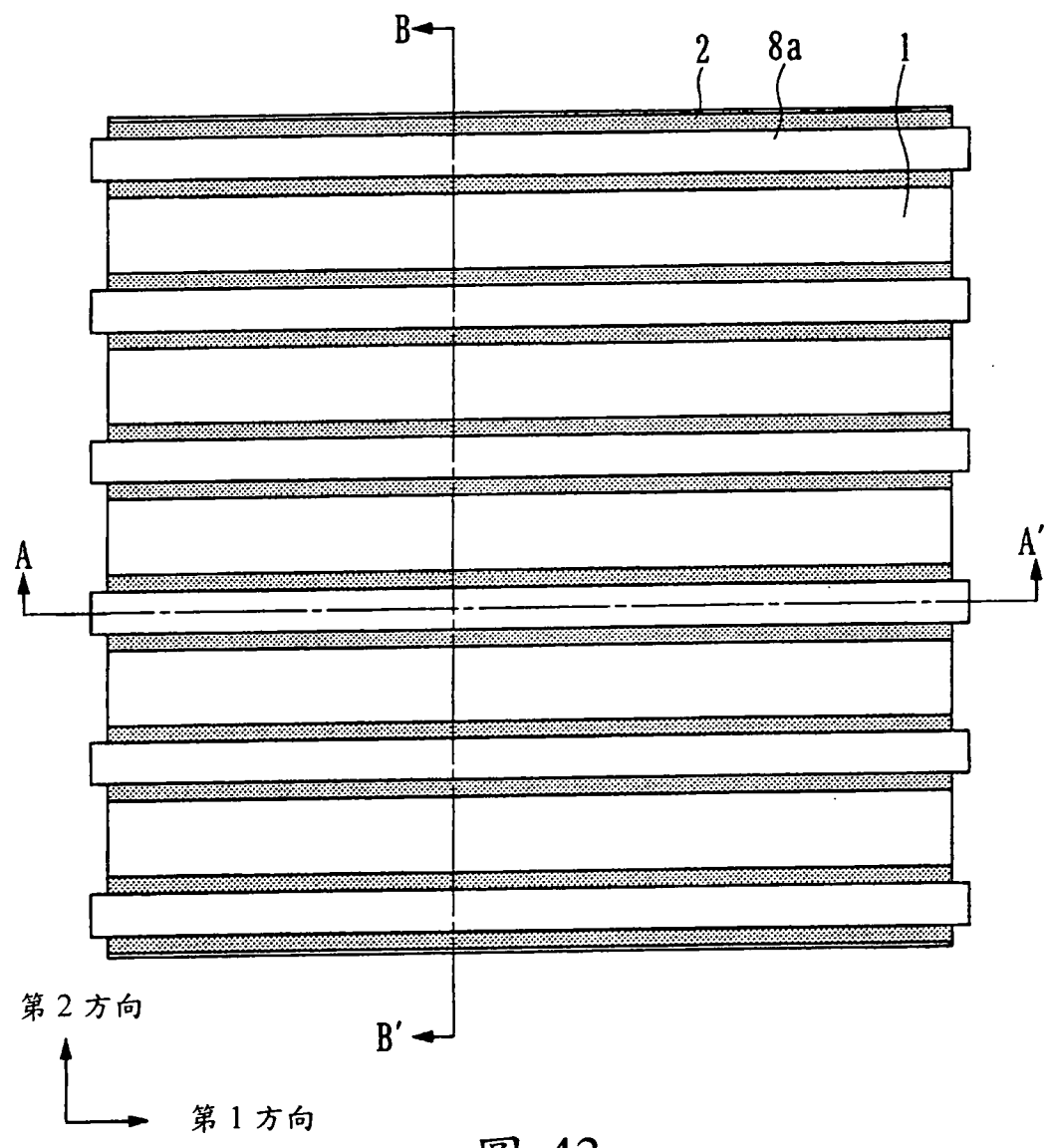


圖 43



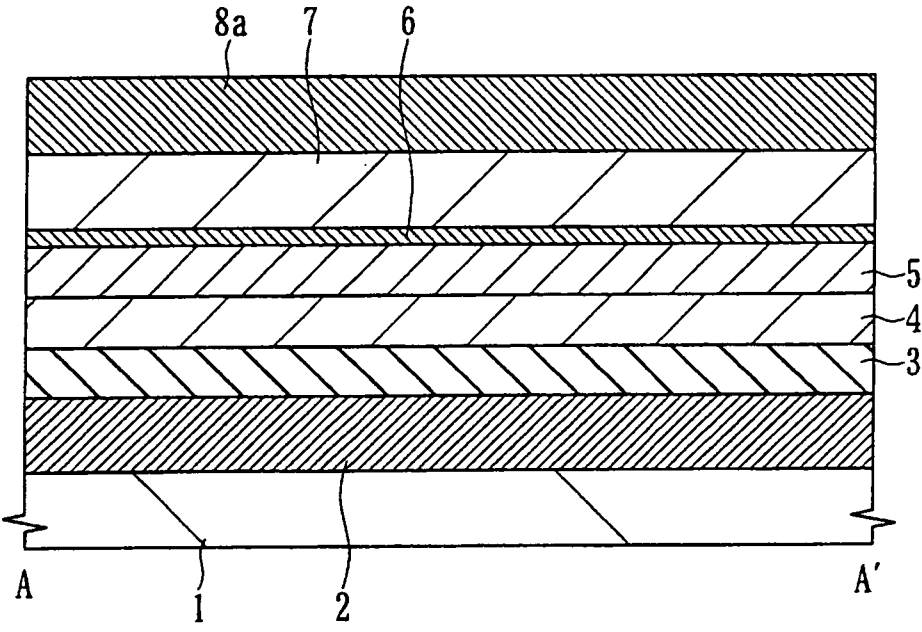


圖 45

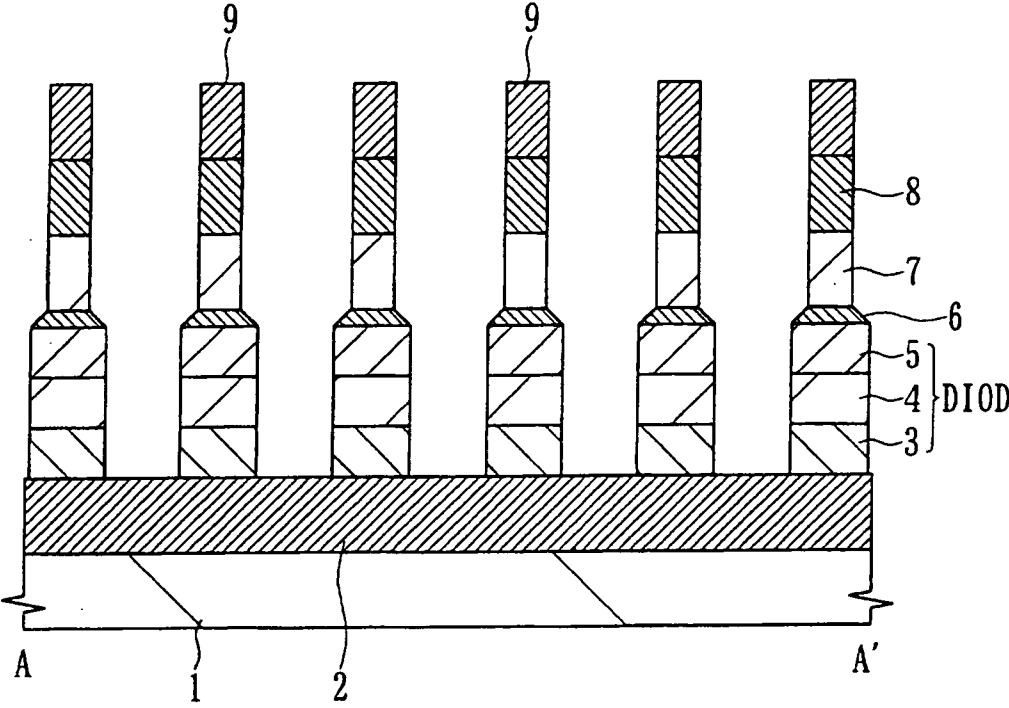


圖 46

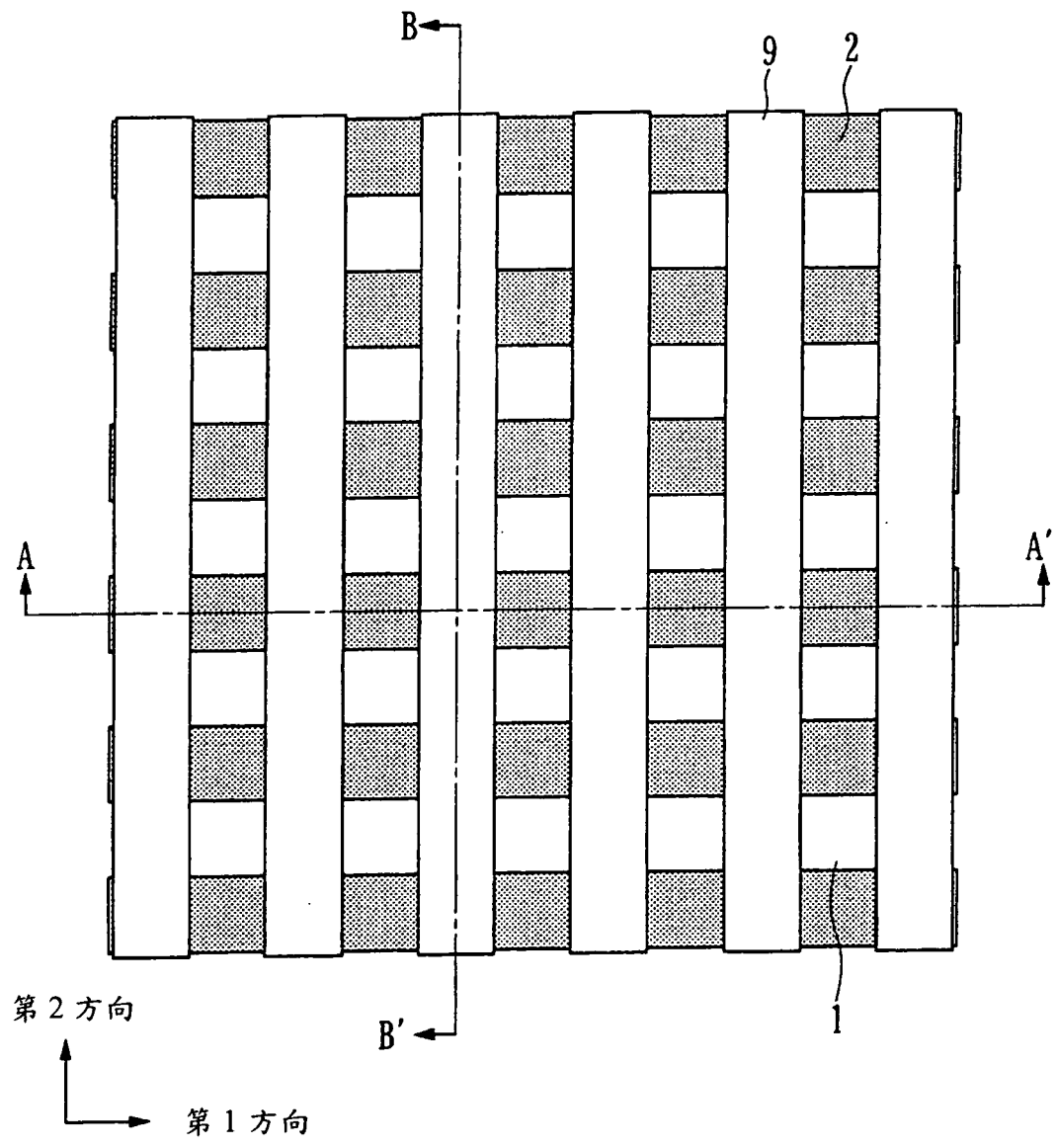


圖 47

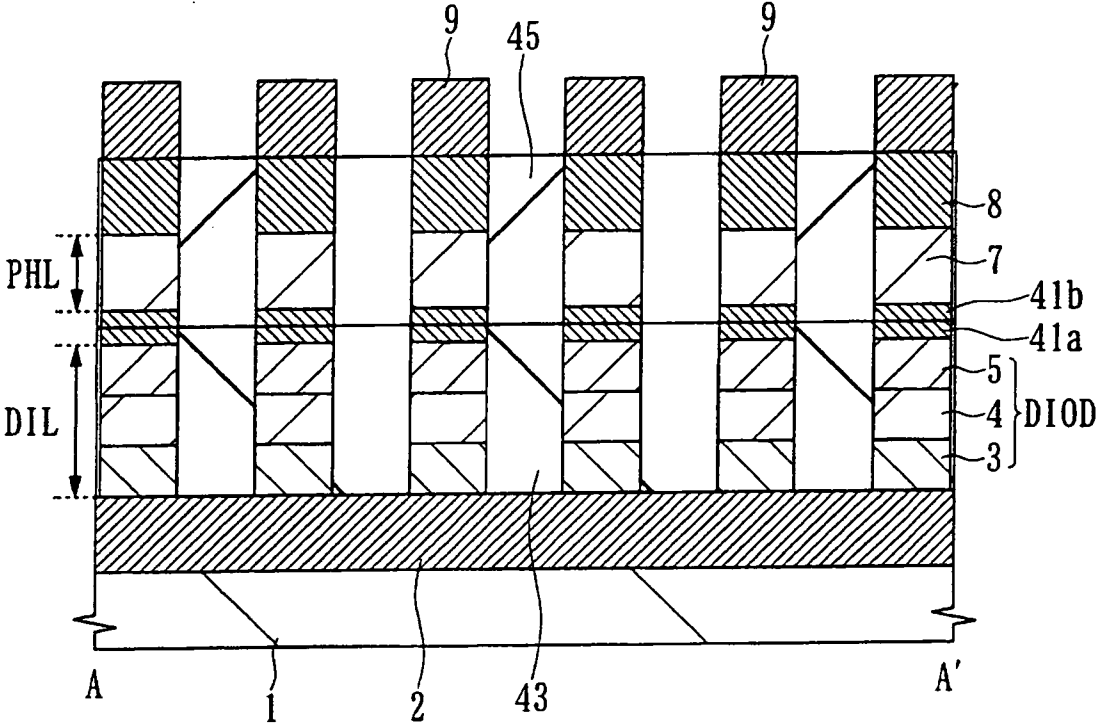


圖 48

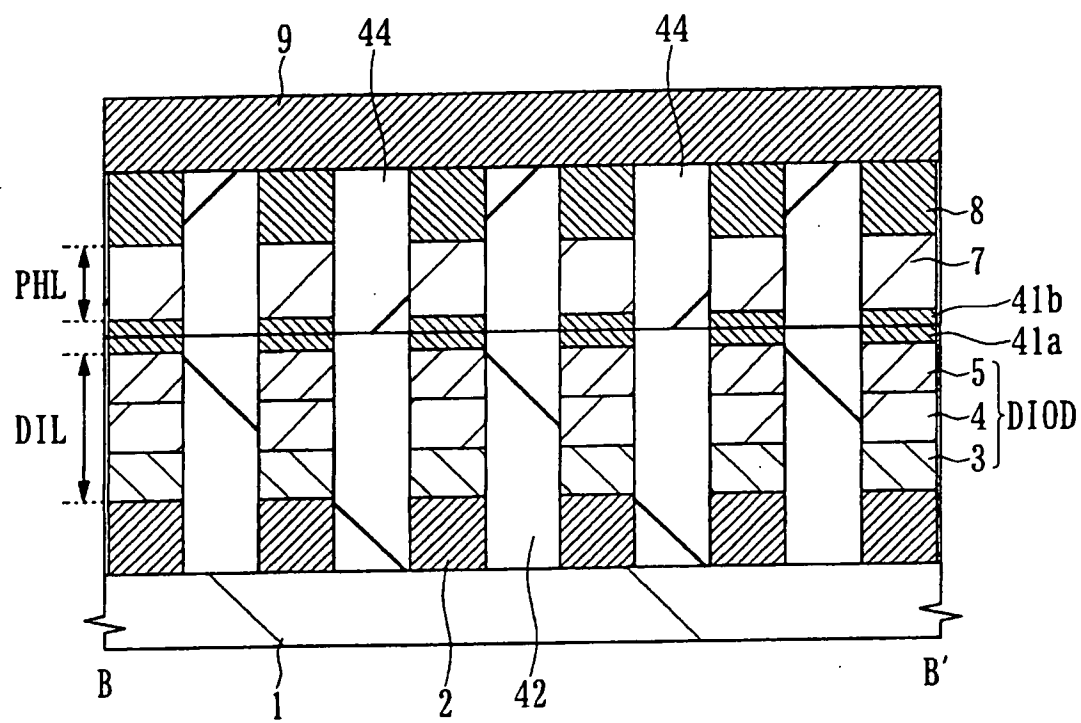


圖 49

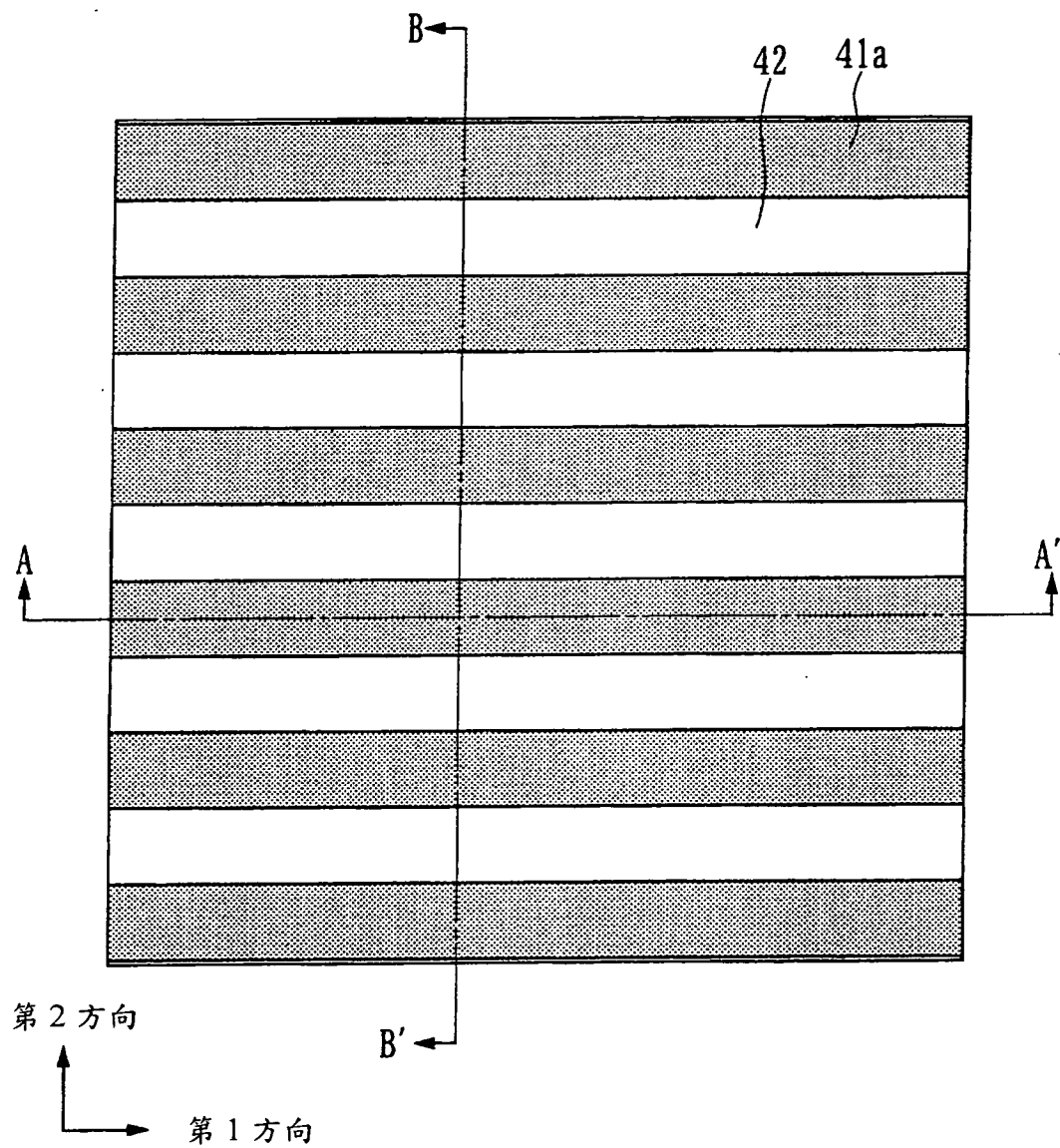


圖 50



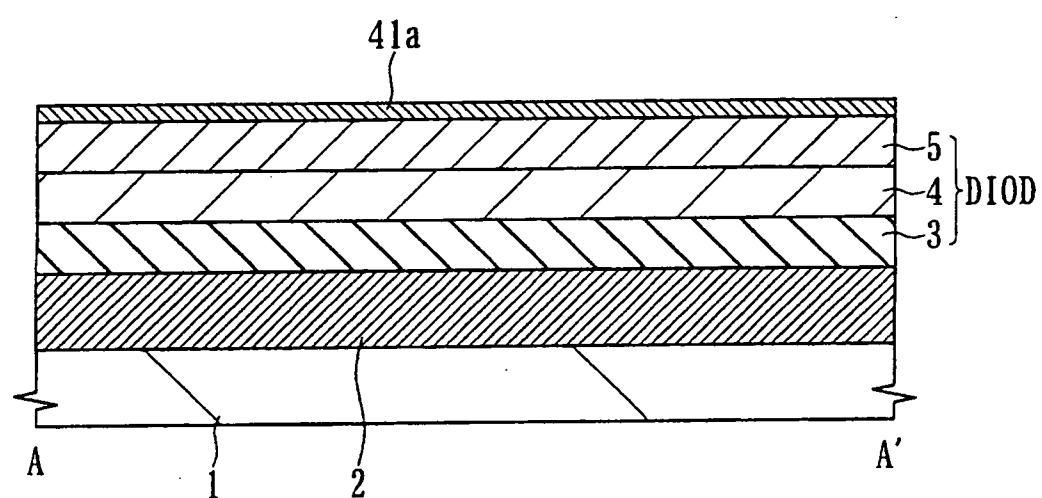


圖 52

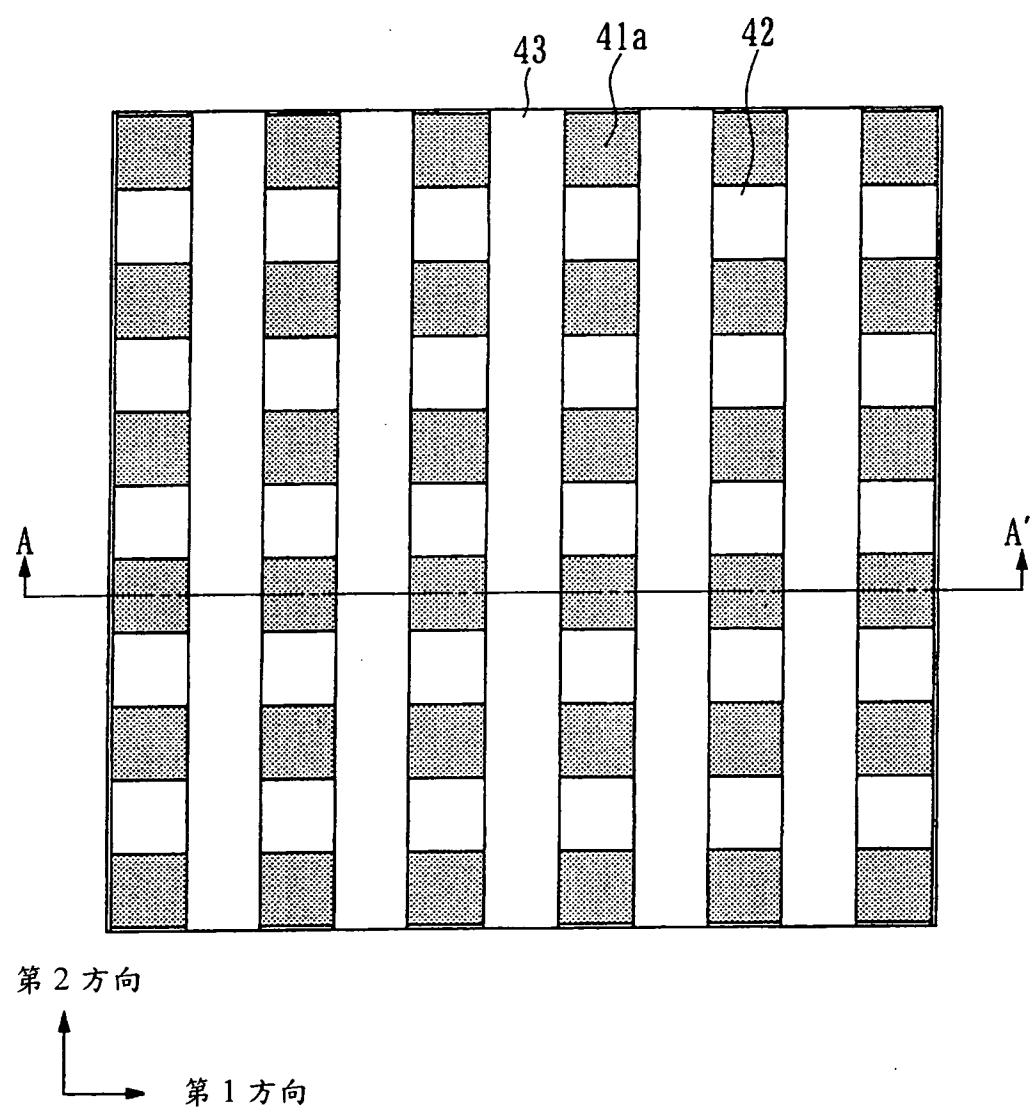


圖 53

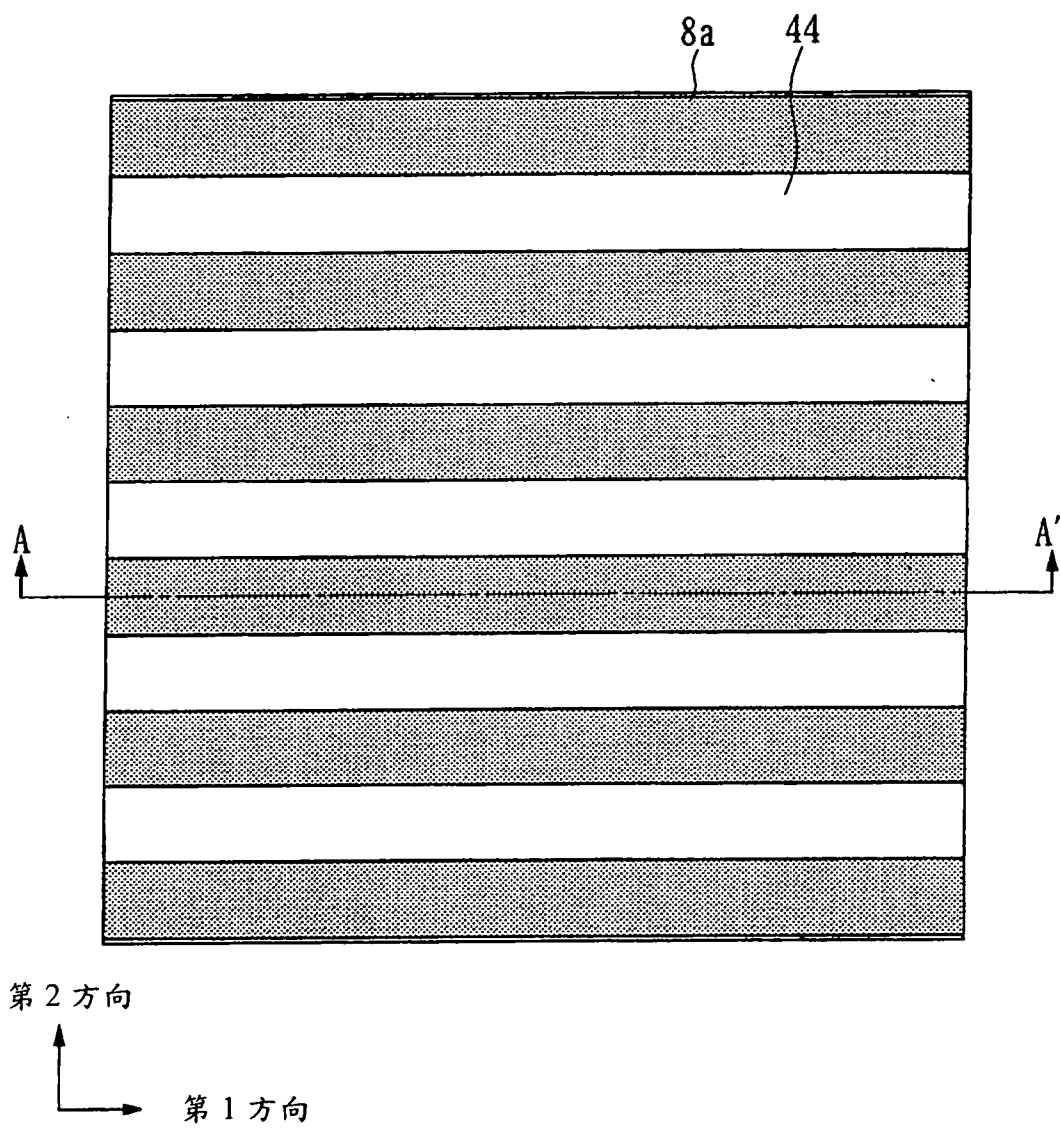


圖 55

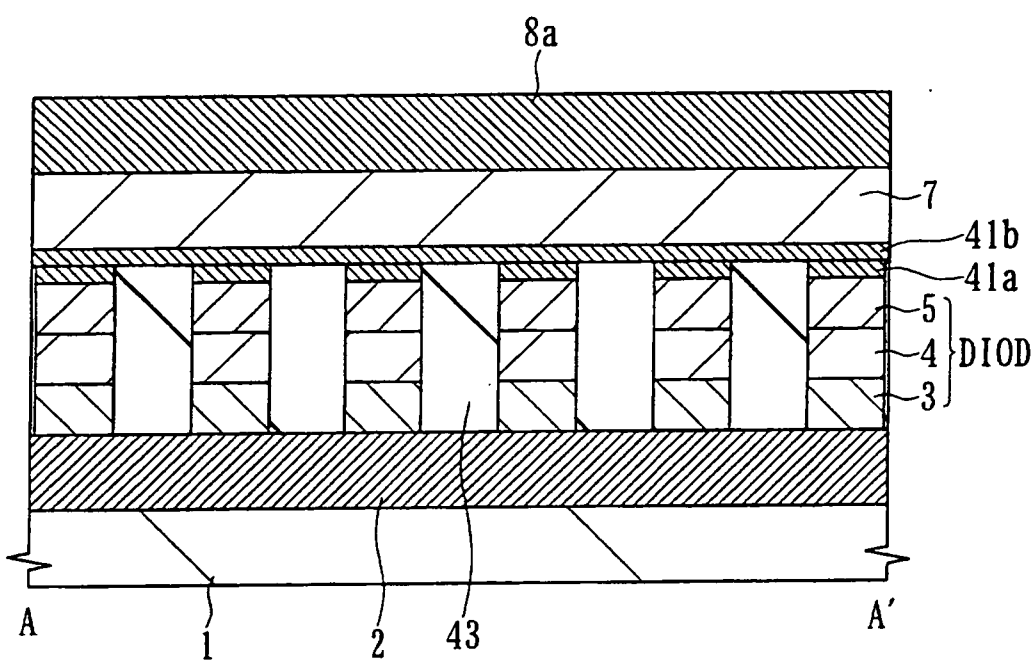


圖 56

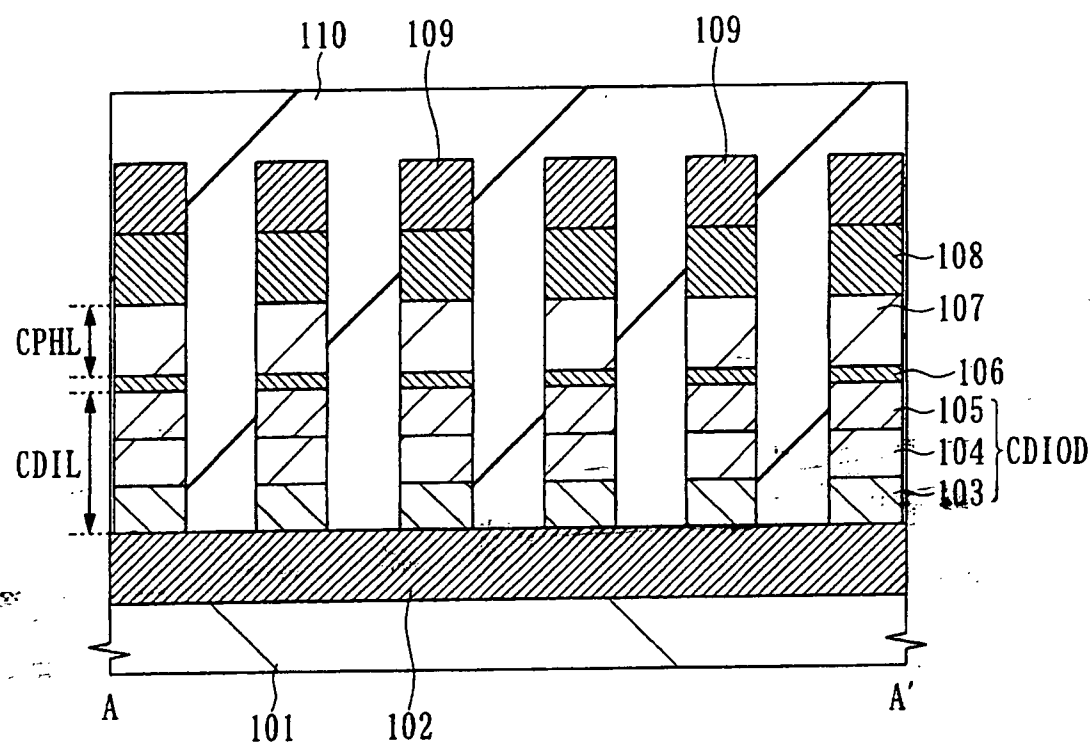


圖 57