

申請日期	90.3.27
案號	SP102532
類別	積體電路製造

A4
C4

544867

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	積體電路的製造
	英 文	Integrated circuit fabrication
二、發明 創作人	姓 名	1. 哈姆賀斯特圖斯 (TEWS, Helmut Horst) 2. 布倫李 (LEE, Brian)
	國 籍	1. 德國 2. 南韓
	住、居所	1. 美國紐約州 12603 泡奇普西米爾班克路 26 號 2. 美國紐約州 10021 紐約 #10D 東第 76 街 425 號
三、申請人	姓 名 (名稱)	印芬龍科技北美股份有限公司 (Infineon Technologies North America Corporation)
	國 籍	美國
	住、居所 (事務所)	美國加州 95112-6000 聖荷西北一街 1730 號
	代 表 人 姓 名	馬利 C. 加芬 (Mary C. Garfein)

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權
 1999年10月27日申請案號第09/427,991號(主張優先權)

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 1 ）

發明背景

本發明係關於積體電路,更特別的是,關於在積體電路之中形成電容器之方法。

動態隨機存取記憶體(DRAM)單元係使用電容器之積體電路之一型。DRAM 單元之電容器儲存代表資料之一電荷,即邏輯 1 或邏輯 0。DRAM 單元亦包含一電晶體,用於接達電容器來充電或放電該電容器(即是對 DRAM 單元"寫"新資訊),以決定電荷是否儲存在電容器中(即是讀取儲存在 DRAM 單元中之資訊),或更新儲存在電容器中之電荷。

DRAM 單元通常組成 DRAM 單元陣列,隨著積體電路之積體密度之持續增加,在陣列中的每個 DRAM 單元之可獲得空間漸漸的減少。此種減少會影響 DRAM 單元之性能。例如,隨著積體密度的增加,DRAM 單元之電容器之電容可能減少,而減少單元之資料保留時間。

不同的方法可用於增加 DRAM 單元電容器之電容。某些方法包含增加 DRAM 單元電容器之電極之表面區域。參考第 1 圖,一個用於增加電極表面面積之方法包含在 DRAM 單元 1 之溝渠電容器 4 之電極 3 上形成半球形矽粒子(HSG)2。爲了形成半球形矽粒子(HSG),非晶矽層澱積於電極 3 上。此非晶形矽層然後接受二步驟的退火程序。在第一步驟中,非晶形矽層在甲矽烷類(SiH_4)環境中退火以形成小的矽晶結構於層上。在第二步驟中,非晶形矽層係在真空中退火以在非晶形矽層,小的晶體結構四周重新晶化矽以形成半球形矽粒子(HSG)2。最好的是,一直持續步驟 2 直到整

五、發明說明 (>)

個非晶形矽層被重新晶化。注意的是,假使非晶形矽層被摻雜,則 HSG 粒子亦被摻雜。假使非晶形矽層不被摻雜,則 HSG 粒子不被摻雜而將被摻雜。在此情況下,HSG 粒子可由傳統氣體電漿摻雜或電漿摻雜方法之場外摻雜方法摻雜。HSG 粒子可由另一層之外擴散摻雜,例如從一埋藏板。

在形成半球形矽粒子(HSG)2 後,一介電層 5 係澱積於粒子上。介電層 5 符合粒子之形狀,因而有一不平均表面。介電層 5 之不平均表面可以是兩倍之三倍大於澱積介電層 5 於溝渠電容器 4 之溝渠壁 6 之平滑矽表面上之結果。一第二電極 7 然後藉由以摻雜之多晶矽填充溝渠而形成於介電層 5 上。由於介電層 5 之不平均,電極 7 具有增加之電極表面區域。該結構然後以傳統方式處理之以形成 DRAM 單元 1。

發明概述

在一方面,本發明係關於製造一電容器之方法。提供一矽表面,且至少矽表面之一部分被非晶形化。非晶形化之矽表面然後接受退火程序以自矽表面之非晶化部分形成半球形矽粒子(HSG)以形成電容器之第一電極之至少一部分。然後在半球形矽粒子上形成電容器介電。第二電極然後形成於電容器介電之上。

因此,取代澱積一非晶形矽層用於形成半球形矽粒子(HSG),矽表面(例如溝渠之壁或澱積之多晶矽層)被非晶形化,使用此方法,可以形成一相當薄之非晶矽層,以使用於形成電容器之半球形矽粒子(HSG)。

五、發明說明()

本發明之較佳實施例可以包含一或更多個下列特徵。

爲了提供矽表面,提供一矽基片,且於基片中形成一溝渠。溝渠係至少由一壁界定,而該壁之至少一部分包含矽表面。光罩係澱積於壁之下部分,而一絕緣環係形成於壁之上部分。移除光罩以曝露溝渠之下部分。壁之下部分係藉由使矽表面接受一離子植入程序而非晶形化,離子植入程序可以是符合離子植入程序例如電漿浸入離子植入(PIII)程序或一電漿摻雜(PLAD)程序。

用於離子植入程序之離子可以是矽離子,鈍元素離子(例如氫或氫),或摻雜種類離子(例如砷或磷)。當非摻雜種類係用於非晶形化矽表面時,摻雜種類可經由半球形矽粒子植入在溝渠之低部分四周之矽基片部分。

矽表面被加熱以擴散及活化摻雜劑。退火及加熱之步驟可以在場內執行。矽表面可在甲矽烷類(SiH_4)內退火以形成半球形矽粒子(HSG)。

矽表面可藉由澱積一多晶矽層於基片上而提供,多晶矽層之一部分包含矽表面。

除非另外有界定,在此所用的技術及科學名詞具有與本發明所屬之技藝領域之人士所了解之相同意義。雖然類似於或相等於本發明之方法或材料可以被使用,以下描述適當的方法及材料。在此引述之所有的公報,專利申請案,專利在此皆作爲參考。在有抵觸時,本說明者,包括定義,將會控制。此外,材料,方法及範例皆做爲說明用而已,而不是用來限制。

五、發明說明(4)

本發明之其他特徵及益處將從下列較佳實施例的描述而更顯清楚,包括從圖式及申請專利範圍中。

圖式之簡單描述:

第 1 圖係習知技術溝渠電容器 DRAM 單元之橫切面圖。

第 2A 至 2I 圖係溝渠電容器 DRAM 單元在製造過程中之各個階段之橫切面圖。

第 3A 至 3E 圖係堆疊電容器 DRAM 單元在製造過程中之各個階段之橫切面圖。

描述

第 2A 圖顯示一單晶半導體,在此為矽基片 10。基片 10 具有一埋藏板植入層 12,在此一磷摻雜層,形成於基片 10 中,距離基片 10 之上表面 14 約 1.5 微米之深度處。注意,在某些實施例中,埋藏板 12 係形成於程序中的較晚階段。埋藏板 12 之摻雜濃度之劑量約為每平方公分 10^{12} - 10^{14} 。厚約 100Å 之二氧化矽介電層 16 係熱生長於矽基片 10 之上表面 14。一襯墊層 18,在此為 1000-2000Å 厚之氮化矽,係置放在介電層 16 之上表面。

使用傳統的石版印刷(例如硬 TEOS 或 BSG 光罩,未示)化學蝕刻(反應離子蝕刻,RIE)技術在襯墊層 18 及介電層 16 中形成一窗 20。參考第 2B 圖,窗襯墊層 18 及硬光罩係作為一光罩以使用傳統蝕刻技術蝕刻一溝渠 22 進入矽基片 10 之一部分。在此,溝渠 22 之深度係自矽基片 10 之上表面 14 3 至 14 微米,而溝渠 22 之寬度為 0.10-0.25 微米。

參考第 2C 圖,薄二氧化矽層 24 係生於溝渠 22 之壁 23 上

五、發明說明(5)

以鈍化及保護壁 23。在此,二氧化矽層 24 厚度為 20-50Å。接下來,氮化矽層 26 係澱積於二氧化矽層 24 上,並使用傳統的石版印刷化學蝕刻技術來蝕刻,使得氮化矽層 26 覆蓋溝渠 22 之低部分 28。溝渠 22 之上部分 30 不被氮化矽層 26 覆蓋。在此,氮化矽層 26 之厚度為 50-100Å。

參考第 2D 圖,矽環 32 之局部氧化(LOCOS)係使用一傳統之 LOCOS 程序形成於溝渠 22 之上部分 30,在此熱氧化環繞溝渠 22 之上部分 30 之矽基片。

參考第 2E 圖,氮化矽層 26 及二氧化矽層 24 係使用傳統蝕刻程序,在此為溼化學蝕刻自溝渠 22 之下部分 28 移除。整個結構然後接受一符合離子植入程序以非晶形化溝渠 22 之下部分 28 之側及底壁 23。在此,結構係置放在電漿室用以藉由電漿浸入離子植入(PⅢ)程序來離子植入,亦可使用其他符合離子植入程序,例如電漿摻雜(PLAD)程序。

在 PⅢ程序期間,基片 10 係間斷地由脈衝電壓負偏壓,並曝露於高劑量,低能量之電漿中,在此劑量約為 $5e^{14}-1e^{16}cm^{-2}$ 及 5KV-10KV 之偏壓電壓。基片 10 之負偏壓使得電漿之離子進入溝渠 22 中並符合地打擊溝渠 22 之下部分 28 中之側及底壁 23 之曝露表面。這些電漿中的離子非晶形化下部分 28 中之側及底壁 23 之矽表面以形成非晶形矽層 34。非晶形矽層 34 之厚度係由在 PⅢ程序期間植入基片之離子之能量及劑量來決定。不同於一澱積之非晶形矽層,非晶矽層 34 並不顯著地減少溝渠 22 之寬度。此種減少,其可減少電極及所形成電容器之介電之表面面積,是不好的。在此,PⅢ程

五、發明說明 (b)

序可為非晶矽層 34 最佳化以具有 2-10nm 之厚度,雖然亦可形或更厚或更薄之非晶矽層。

至少三種種類可用於 PIII 程序。第一個種類是矽。使用矽來非晶形化下部分 28 之側及底壁 23 提供不引進其他材料進入溝渠 22 之益處,以便保有側及底壁 23 之電氣特性。第二種類包含非矽之非摻雜溫和種類,例如氬(Ar)及氙(Xe)。這些種類係最好用於低電壓,例如在 0.5-5Kev,以保有 LOCOS 環 32 之整體性。第三種類係反應摻雜種類,例如磷(P)及砷(As)。除了形成非晶形矽層 24 外,這些種類亦在形成非晶形化之矽層 34 的同時,摻雜圍繞下部分 28 之側及底壁 23 之矽基片 10 之部分。如下參考第 2G 圖,這個矽基片 10 之摻雜部分將形成所形成之溝渠電容器之第一電極。這個步驟亦植入摻雜劑進入非晶形矽層 34。藉由在相同的植入步驟中非晶形化及摻雜圍繞溝渠 22 之底及側壁 23 之基片 10 之部分,用於將摻雜分子植入基片 10 之部分及植入欲被形成之半球形矽粒子(HSG)33(亦於第 2F 圖)中之離子植入步驟被刪除。

參考第 2F 圖,矽基片 10 接下來係置於室中或熔爐以使兩個步驟退火程序以形成半球形矽粒子(HSG)33。在第一退火步驟中,基片 10 係在 10^{-4} - 10^{-5} Torr 之 SiH_4 氣體環境下,在 550-600°C 中加熱 10-40 分鐘。這個退火步驟使得小晶結構形成於非晶形矽層 34 上。

在第二退火步驟中,基片 10 在超高真空室,或鈍氣無氧環境中,例如氬,氦及氮,在 10^{-6} - 10^{-9} Torr 下加熱至 500-600°C 約

五、發明說明(7)

1 至 10 分鐘。第二退火步驟使得非晶形矽層 34 之矽移動到在第一退火步驟中形成之小晶結構以在溝渠 22 之下部分 28 中形成半球形矽粒子(HSG)33。第二退火步驟一直持續直到整個非晶形矽層 34 被重新晶化。在完成第二退火步驟時,溝渠 22 之下部分 28 之表面面積增加,例如,增加 2 倍至 3 倍。

參考第 2G 圖,一摻雜劑,例如砷或磷,被植入溝渠 22 之側及底壁及半球形矽粒子(HSG)33,使得傳統技術,例如 PIII 或 PLAD。假使摻雜劑在離子植入程序期間被使用,用以形成非晶形矽層 34(參考第 2E 圖),則不需要植入步驟。

在實施例中,其中埋藏板 12 係在程序的較後階段形成,埋藏板 12 可以在此點利用氣體相位摻雜技術形成。整個結構被置放在退火至以活化及擴散植入摻雜劑進入圍繞溝渠 22 之下部分 28 之基片 10 之部分以形成摻雜區 36,其作為溝渠電容器之一電極或板。用於擴散摻雜劑之摻雜步驟及退火步驟可以在用於形成半球形矽粒子(HSG)之兩個步驟退火程序後在場內執行。

參考第 2H 圖,電容器介電 38 接著形成於溝渠 22 之壁上。在此,為了做成此,基片係置放在室中,在 300°C 至 1000°C 之下,與 NH₃ 在 6Torr,維持 30 分鐘。基片 10 然後在 700°C 下在 SiH₂Cl₂(DCS)及 HN₃ 中接受低壓化學蒸氣澱積(LPCVD)以形成氮化物於溝渠 22 之壁上。基片 10 接下來在 H₂O 中在 760Torr 之壓力下加熱至 900°C,維持 10 分鐘以重新氧化氮化物及熱成長電容器介電 38(即是,氮化物的重新氧化)。

五、發明說明(8)

注意電容器介電 38 在溝渠 22 之下部分 28 具有不規則表面,符合於在下部分 28 之半球形矽粒子(HSG)。因此,電容器介電層 38 之外表面之表面面積大於形成於在第 2B 圖中之溝渠 22 之底及側壁 23 之電容器介電 38 表面。

參考第 2I 圖,溝渠 22 係填充以摻雜非晶矽或摻雜多晶矽 42 以形成電容器 35 之第二電極。注意:多晶矽或非晶矽之澱積可以在場中執行。注意,在溝渠 22 之下部分 28 之多晶矽 42 之表面待合電容器介電 38 之形狀。因此,電容器 35 之第二電極之表面面積係在第二電極之表面面積上增加,第二電極係自平滑介電表面形成。

結構然後以任何傳統形式處理以形成 DRAM 單元 40,如第 2I 圖所示。DRAM 單元 40 包括具有由閘通道區 48 隔離之源區及汲區 44,46 之電晶體 42。閘通道區 48 具有閘氧化物 50 於其上及一摻雜之多晶矽,或多晶矽矽化鎢,閘電極 52。汲極區 46 係電氣連接到電容器 35 之第二電極。

其他實施例係在下列申請專利範圍之範圍內。

例如,參考第 3A 至 3E 圖,將描述用於形成堆疊電容器 DRAM 單元 80 之程序。電晶體 82 有一摻雜多晶矽層 84 於熱生長氧化物層及一導體 86 於摻雜之多晶矽層 86 以提供電晶體 82 之閘電極。電容器 82 亦具有源極區及汲極區 90 及 92。在形成電晶體 82 後,裝置以任何傳統方式以一介電層 94 鈍化,如圖所示。接著,一堆疊電容器 81 之一低導體,在此一摻雜之多晶矽層 96,係形成與汲極區 92 接觸。

參考第 3B 圖,結構接受離子植入程序以非晶形化多晶矽

五、發明說明（ 9 ）

層 96 之表面之部分。在此，離子植入程序係 PIII 或 PLAD 程序。

參考第 3C 圖，結構被置放於一退火室中以接受二步驟退火程序，描述於上與第 2F 圖結合以在多晶矽層 96 之表面上形成半球形矽粒子(HSG)98。

參考第 3D 圖，電容器介電層 100 澱積於半球形矽粒子(HSG)98。

參考第 3E 圖，形成電容器之第二電極之導體層 102 接著形成於介電層 100 上。導體 96 及 102 之表面及電容器 81 之電容器介電 100 係藉由形成半球形矽粒子(HSG)96 而增加。

注意，雖然本發明已被詳細描述，但是祇是用於說明而非限制本發明之範圍。其他方面，優點及實施例係在申請專利範圍之範圍內。

符號說明

- 1,40...DRAM 單元
- 2...半球形矽粒子
- 3...電極
- 4...溝渠電容器
- 5...介電層
- 6...溝渠壁
- 7...第二電極
- 10...基片
- 12...埋藏板植入層

五、發明說明(10)

- 14... 上表面
- 16... 介電層
- 18... 襯墊層
- 20... 窗
- 22... 溝渠
- 24... 二氧化矽層
- 26... 氮化矽層
- 28... 下部分
- 30... 上部分
- 32... 矽環
- 33... 半球形矽粒子
- 34... 非晶形矽
- 36... 摻雜區
- 38... 電容器介電
- 42... 多晶矽
- 44... 源極區
- 46... 汲極區
- 48... 閘通道區
- 50... 閘氧化物
- 52... 閘電極
- 80... 堆疊電容器 DRAM 單元
- 82... 電晶體
- 84... 多晶矽層
- 86... 導體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(//)

88...氧化物層

90...源極區

92...汲極區

94...介電層

96...多晶矽層

98...半球形矽粒子

100...電容器介電層

102...導體層

四、中文發明摘要(發明之名稱：**積體電路的製造**)

一種製造電容器之方法,其中矽表面之至少一部分被非晶形化。非晶形化矽表面然後接受一退火程序以自矽表面之非晶形化部分形成半球形矽粒子(HSG)以形成電容器之第一電極之至少一部分。然後在半球形矽粒子上形成電容器介電。第二電極然後形成於電容器介電上。

英文發明摘要(發明之名稱：**Integrated circuit fabrication**)

A method of manufacturing a capacitor is provided where at least a portion of a silicon surface is amorphized. The amorphized silicon surface is then subjected to an annealing process to form hemispherical silicon grains (HSG) from the amorphized portion of the silicon surface to form at least a portion of a first electrode of the capacitor. A capacitor dielectric is then formed over the hemispherical silicon grains. A second electrode is then formed over the capacitor dielectric.

六、申請專利範圍

1. 一種製造電容器之方法,包含:
 - 提供一矽表面,
 - 非晶形化至少矽表面之一部分,
 - 使非晶形化之矽表面接受一退火程序以自矽表面之非晶形化部分形成半球形矽粒子以形成至少一部分之電容器之第一電極,
 - 在半球形矽粒子上形成電容器介電,及
 - 在電容器介電上形成第二電極。
2. 如申請專利範圍第 1 項之方法,其中提供矽表面包含:
 - 提供一矽基片,
 - 在基片中形成一溝渠,溝渠至少由一壁界定,其中該至少一壁之至少一部分包含矽表面。
3. 如申請專利範圍第 2 項之方法,其中該至少一壁具有一下部分及一上部分,下部分包含矽表面,此方法更包含:
 - 澱積一光罩於該至少一壁之下部分上,及
 - 在該至少一壁之上部分上形成一絕緣環。
4. 如申請專利範圍第 3 項之方法,更包含移除光罩以曝露溝渠之下部分,
 - 非晶形化該至少一壁之下部分。
5. 如申請專利範圍第 1 項之方法,其中非晶形化該矽表面包含使矽表面接受離子植入程序。
6. 如申請專利範圍第 5 項之方法,其中使矽表面接受離子植入程序包含使矽表面接受一符合離子植入程序。
7. 如申請專利範圍第 6 項之方法,其中使矽表面接受離子植

六、申請專利範圍

- 入程序包含使矽表面接受電漿浸入離子植入(PIII)程序。
- 8.如申請專利範圍第 6 項之方法,使矽表面接受離子植入程序包含使矽表面接受電漿摻雜(PLAD)程序。
 - 9.如申請專利範圍第 5 項之方法,其中使用於離子植入程序中之離子包含矽離子。
 - 10.如申請專利範圍第 5 項之方法,其中使用於離子植入程序中之離子包含鈍氣元素離子。
 - 11.如申請專利範圍第 10 項之方法,其中鈍氣元素是氬。
 - 12.如申請專利範圍第 10 項之方法,其中鈍氣元素是氬。
 - 13.如申請專利範圍第 5 項之方法,其中使用於離子植入程序中之離子包含摻雜劑之離子。
 - 14.如申請專利範圍第 10 項之方法,其中摻雜劑是砷。
 - 15.如申請專利範圍第 10 項之方法,其中摻雜劑是磷。
 - 16.如申請專利範圍第 13 項之方法,更包含加熱矽表面以擴散摻雜劑。
 - 17.如申請專利範圍第 16 項之方法,其中退火及加熱步驟係在場內執行。
 - 18.如申請專利範圍第 2 項之方法,更包含植入,經由半球形矽粒子,一摻雜劑進入包圍溝渠下部分四周之矽基片部分。
 - 19.如申請專利範圍第 18 項之方法,更包含加熱摻雜劑以擴散摻雜劑進入基片以形成第一電極之另一部分。
 - 20.如申請專利範圍第 19 項之方法,其中退火及加熱步驟係在場內(或在相同室中)執行。

六、申請專利範圍

21. 如申請專利範圍第 1 項之方法,其中退火矽表面包含在 SiH_4 中退火矽表面。
22. 如申請專利範圍第 1 項之方法,其中提供一矽表面包含提供一基片,
澱積一多晶矽層於基片上,多晶矽層之一部分包含矽表面。
23. 一種製造一電容器於一矽基片上之方法,包含:
提供一矽基片;
在矽基片中形成一溝渠,溝渠具有下部分及上部分;
形成一硬光罩於溝渠之下部分;
形成一絕緣層於溝渠之上部分;
移除硬光罩並曝露溝渠下部分之矽表面;
使溝渠下部分之矽表面接受電漿離子浸入程序以非晶形化矽表面,電漿包含矽分子;
植入摻雜分子進入溝渠下部分四周之基片;
使基片接受一低溫, SiH_4 退火程序以自矽表面之非晶形化部分形成半球形矽粒子,並擴散該摻雜劑分子進入基片以形成電容器之第一電極;
形成電容器介電於半球形矽粒子上;及
藉由以多晶矽填充溝渠而形成一第二電極於電容器介電上。
24. 一種製造電容器於一矽基片上之方法,包含:
提供一矽基片;
形成一溝渠於矽基片中,溝渠只有下部分及上部分;

六、申請專利範圍

形成一硬光罩於溝渠之下部分上；

形成一絕緣層於溝渠之上部分上；

移除硬光罩並曝露溝渠下部分之矽表面；

使溝渠下部分之矽表面接受電漿離子植入程序以非晶形化矽表面，電漿包含植入溝渠下部分四周之基片部分之摻雜分子；

使基片接受低溫， SiH_4 退火程序以自矽表面之非晶形化部分形成半球形矽粒子，以擴散該摻雜分子進入基片以形成電容器之第一電極；

形成電容器介電於半球形矽粒子上；及

藉由以多晶矽填充溝渠以形成第二電極於電容器介電上。

25. 一種製造電容器於一半導體基片上之方法，包含：

提供一半導體基片；

藉由澱積及圖案化第一多晶矽層於矽基片上而形成電容器之第一電極，第一電極具有矽表面；

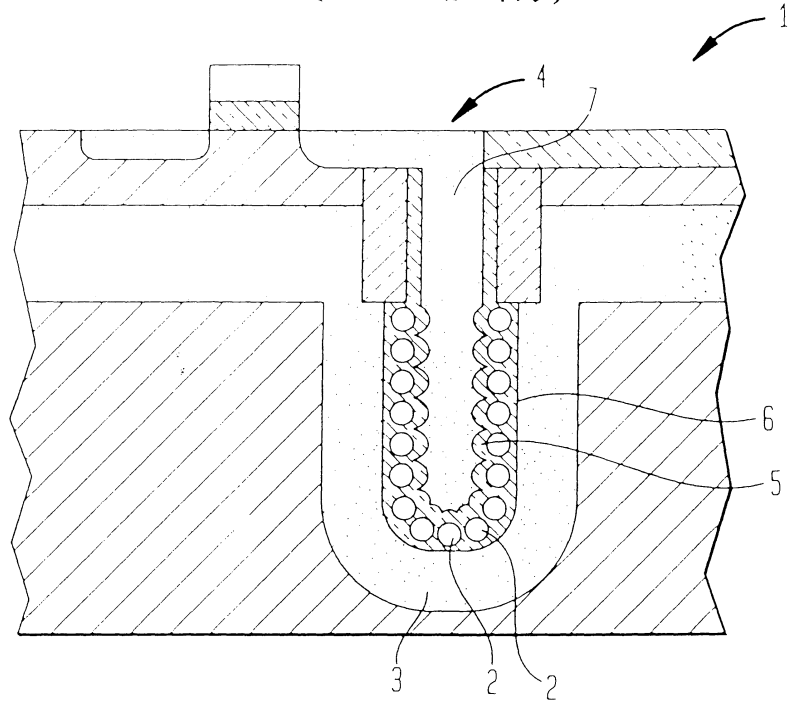
使矽表面接受電漿離子浸入程序以非晶形化矽表面；

使基片接受一低溫， SiH_4 退火程序以自矽表面之非晶形化部分形成半球形矽粒子；

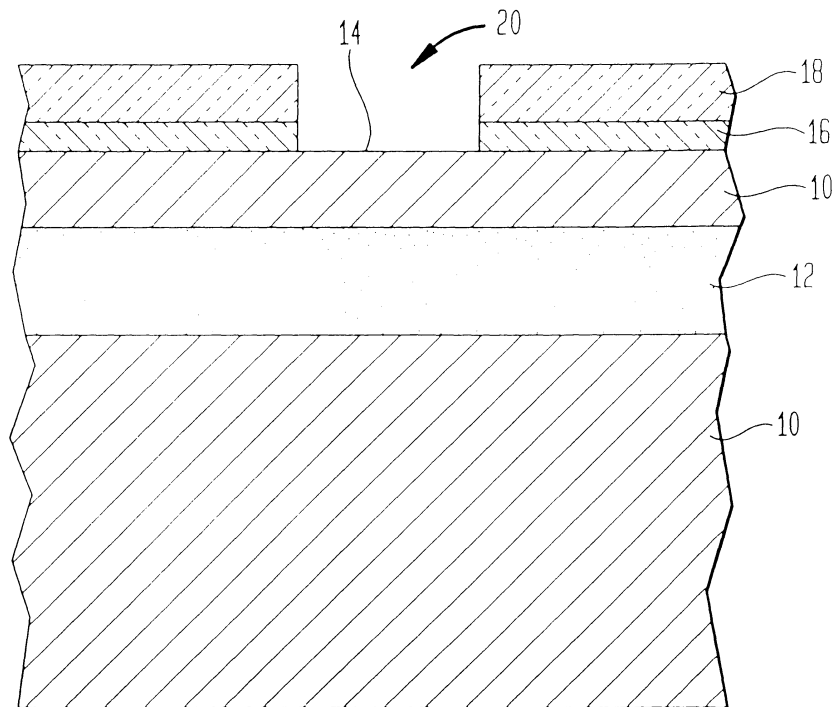
形成電容器介電於半球形矽粒子上；及

藉由澱積及圖案化一第二多晶矽層於電容器介電上而形成一第二電極於電容器介電上。

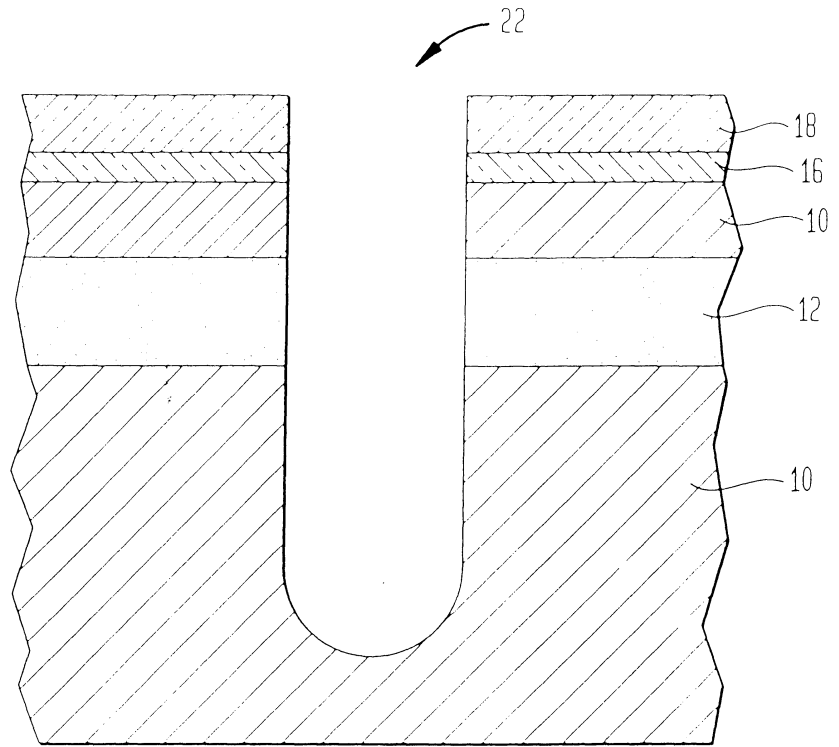
第 1 圖(先前技術)



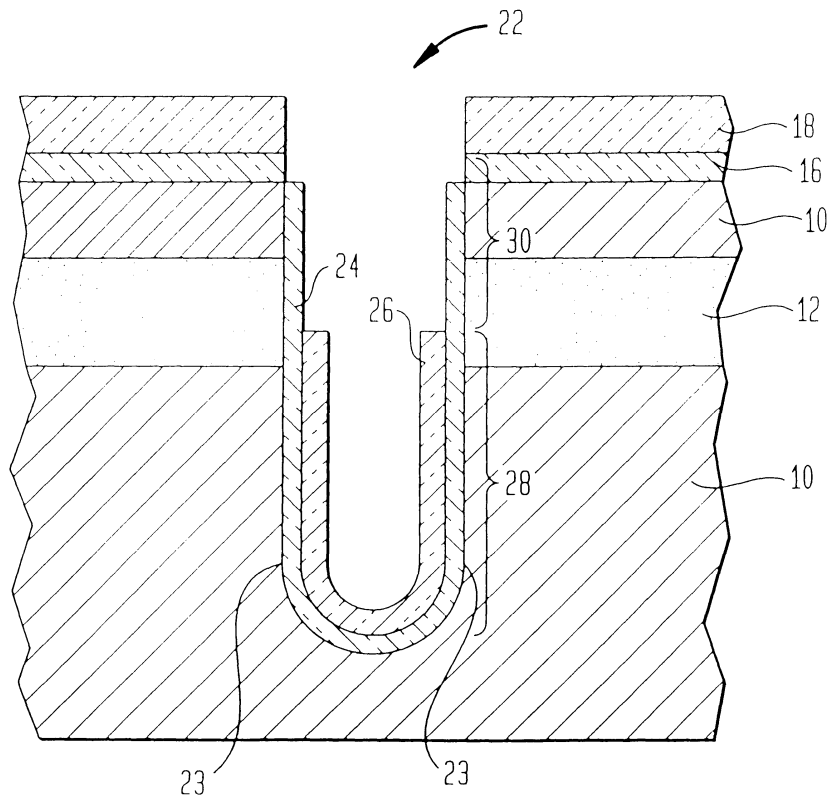
第 2A 圖



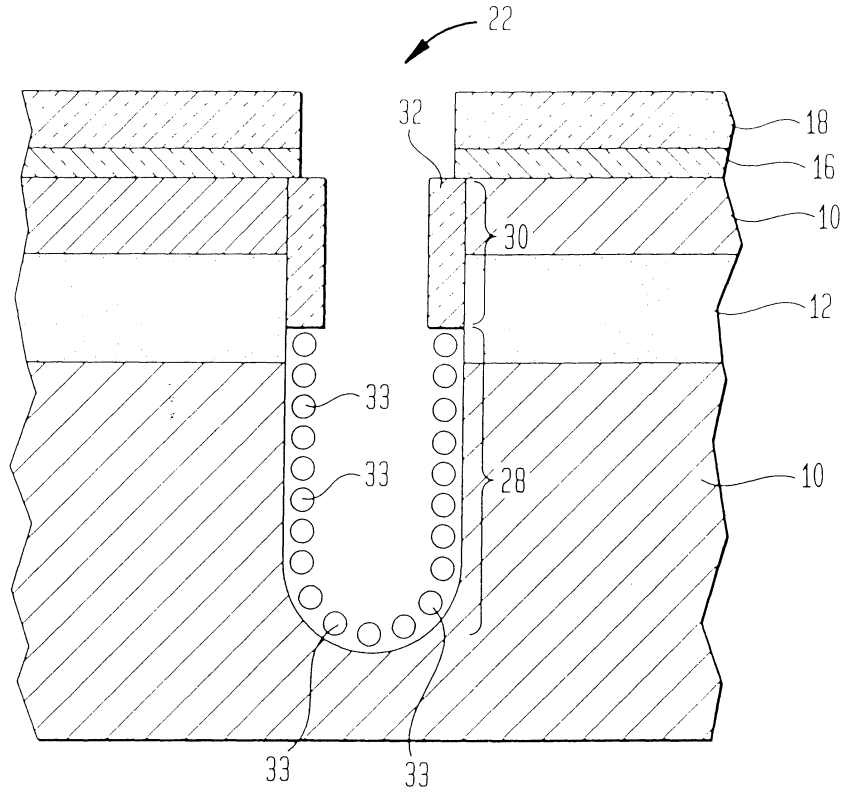
第 2B 圖



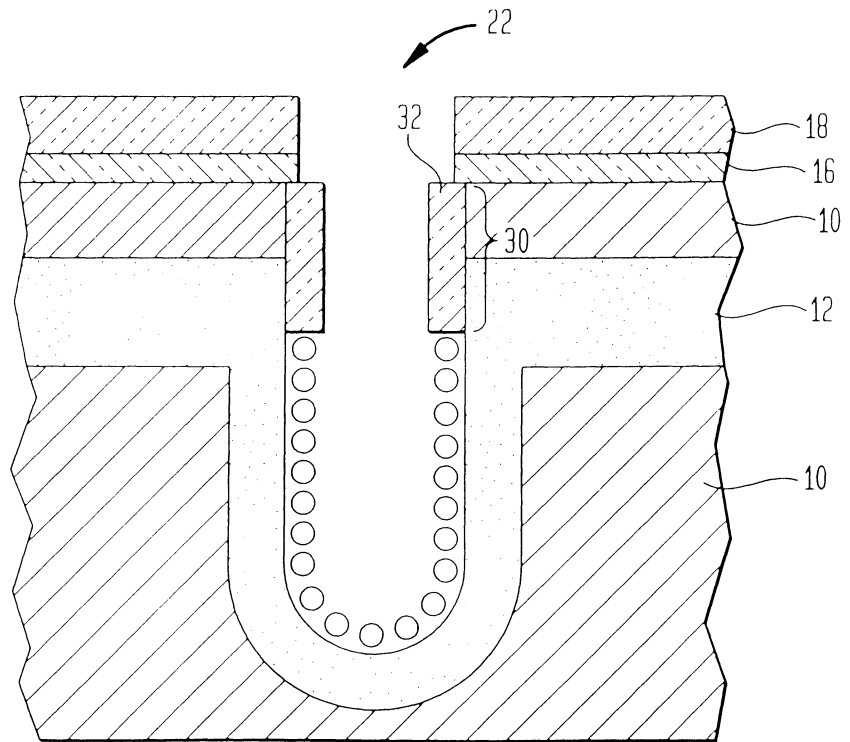
第 2C 圖



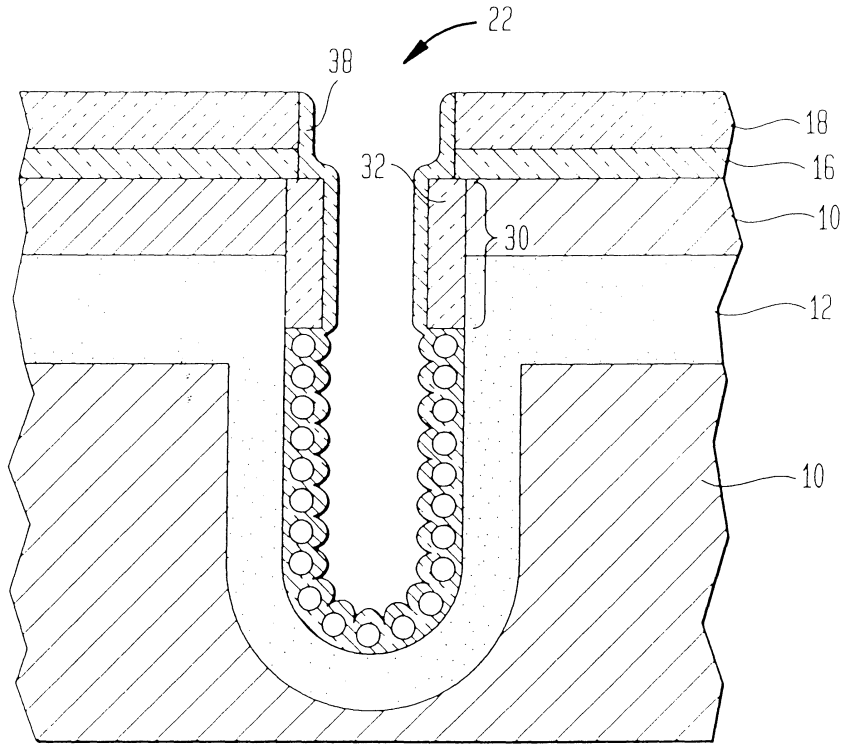
第 2F 圖



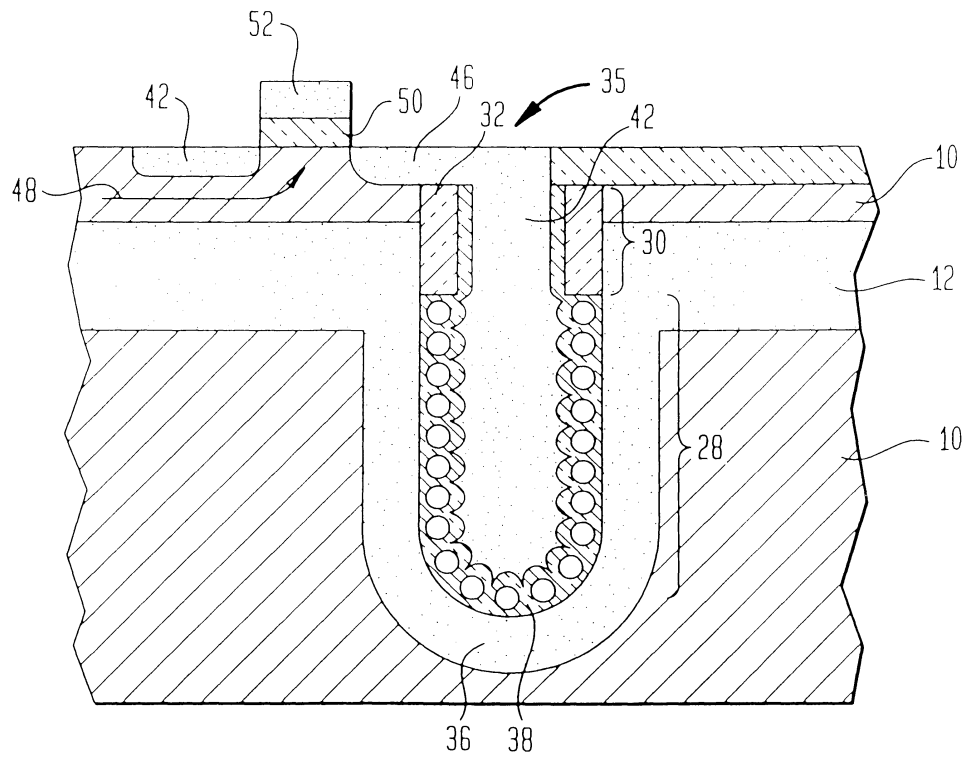
第 2G 圖



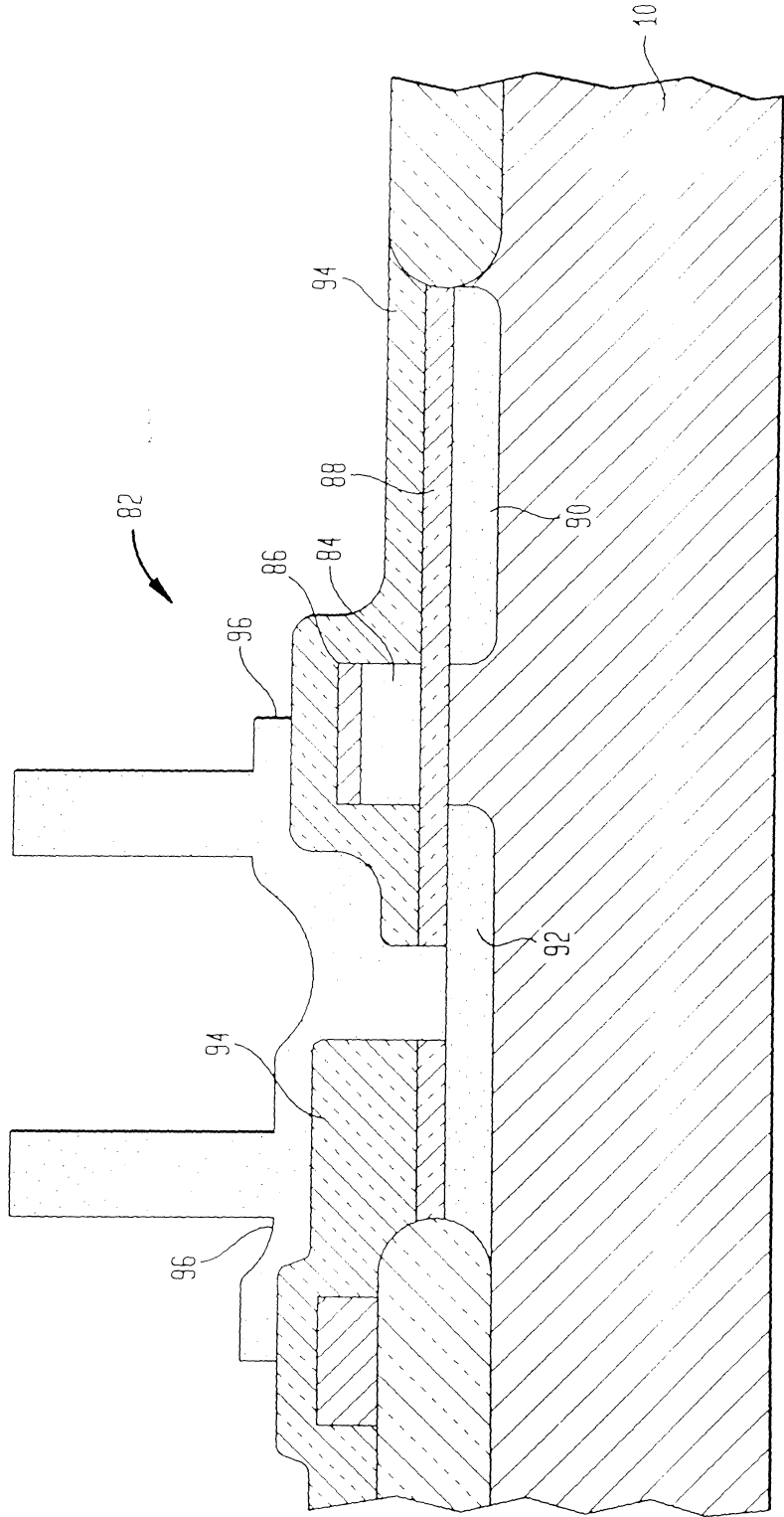
第 2H 圖



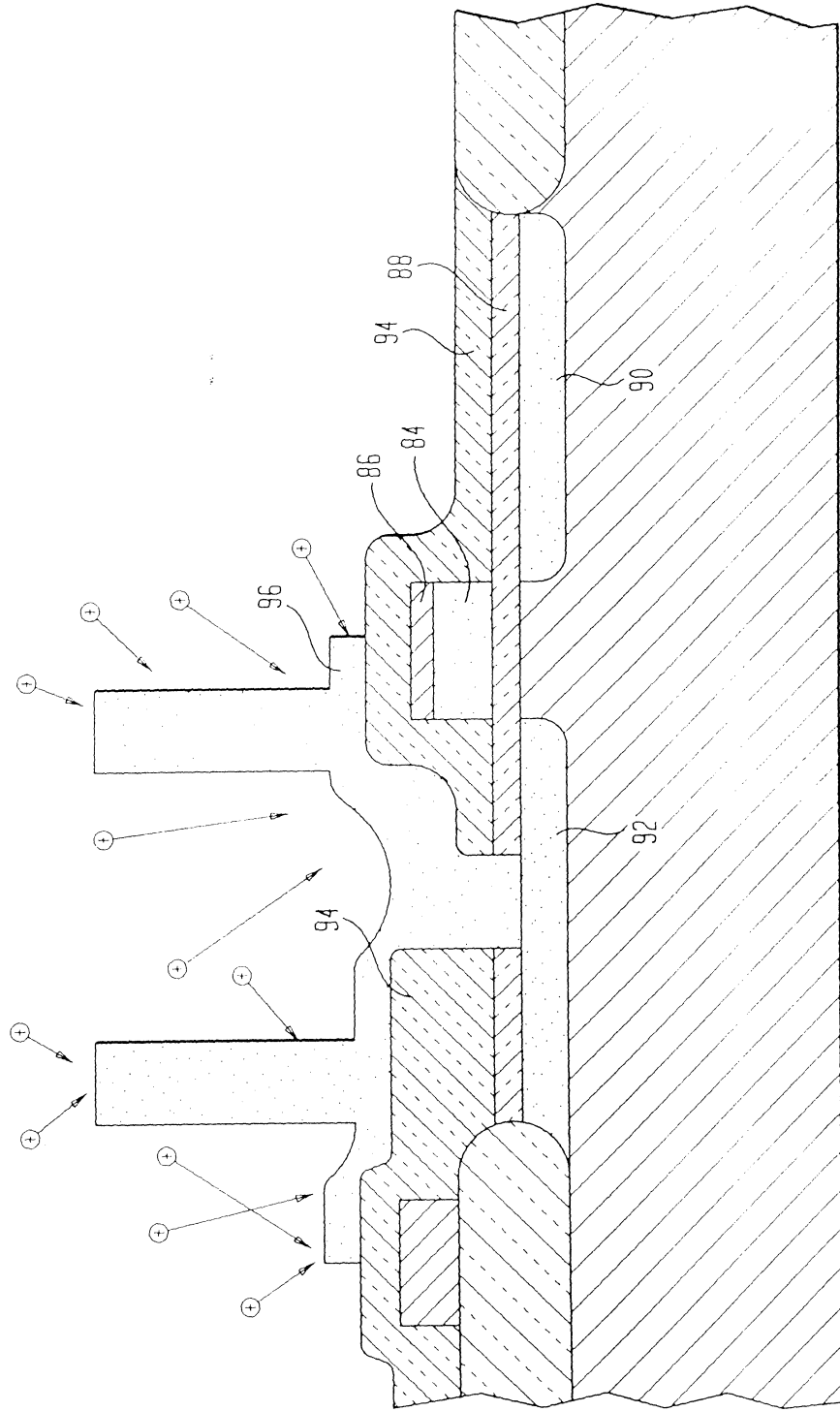
第 2I 圖



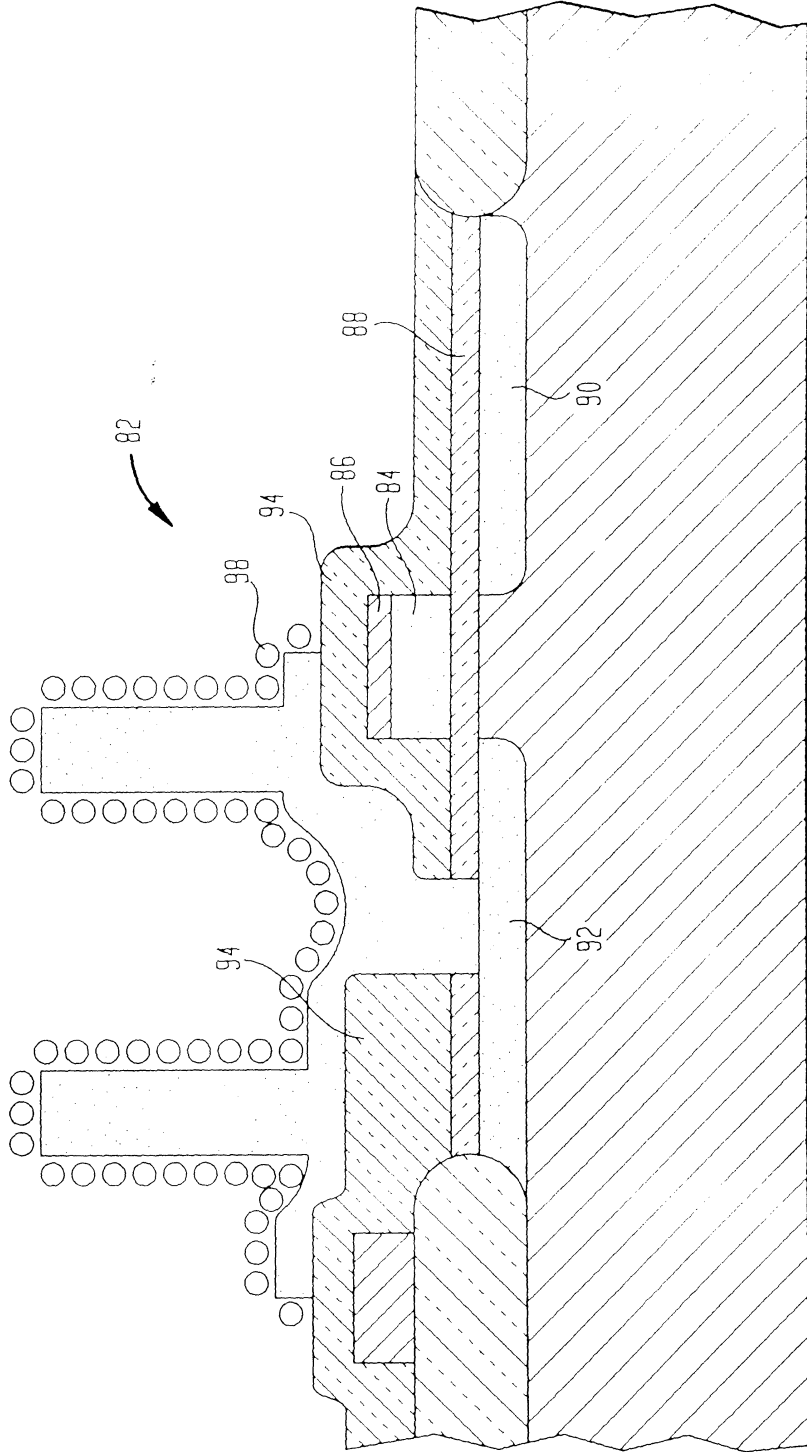
第 3A 圖



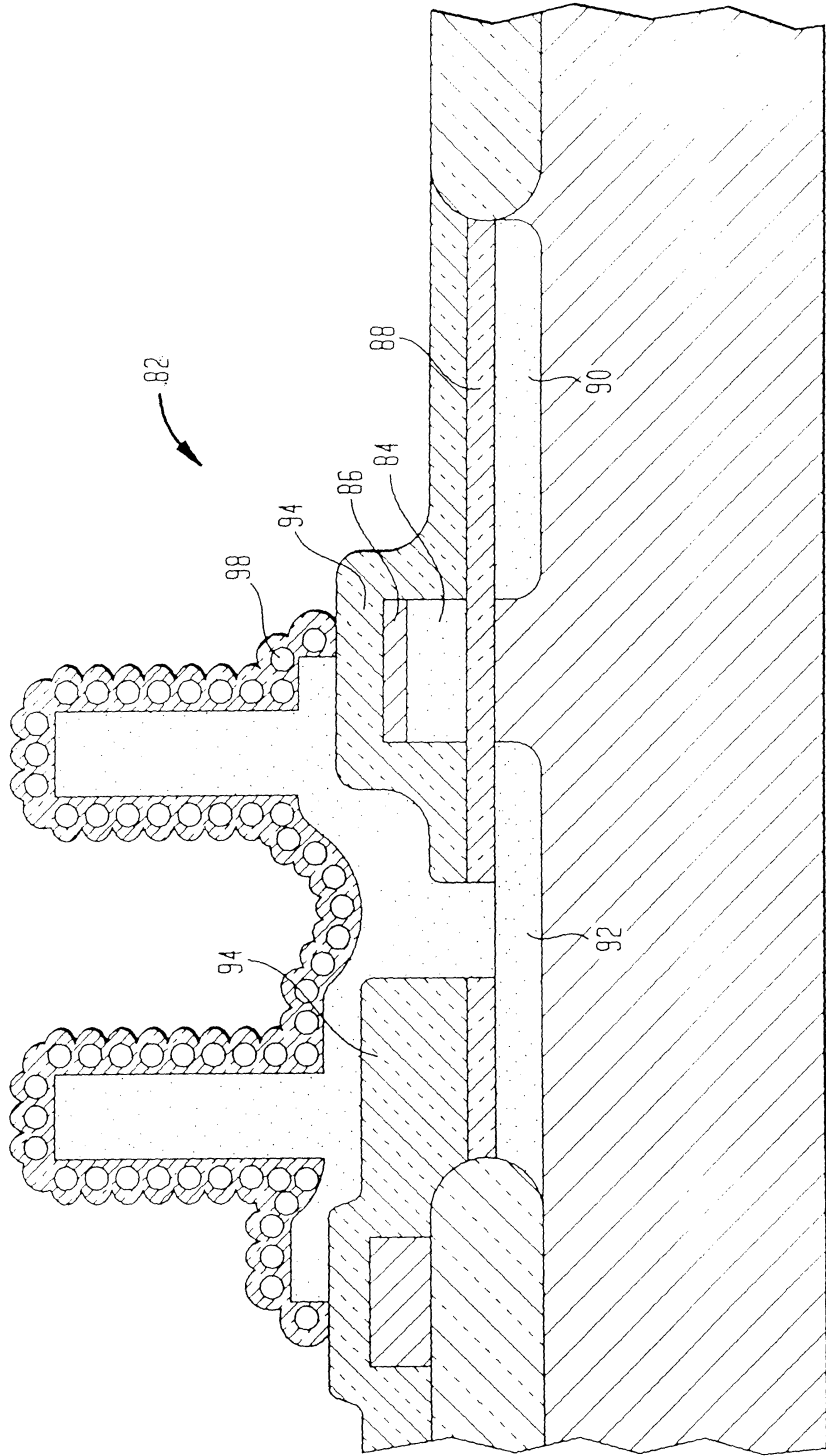
第 3B 圖



第 3C 圖



第 3D 圖



第3E圖

