

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017년 11월 9일 (09.11.2017) **WIPO | PCT**



(10) 국제공개번호
WO 2017/191943 A1

(51) 국제특허분류:

H01L 23/14 (2006.01) *H01L 23/00* (2006.01)
H01L 21/48 (2006.01) *H01L 33/00* (2010.01)
H01L 23/498 (2006.01) *H01L 33/02* (2010.01)
H01L 33/48 (2010.01) *H01L 33/64* (2010.01)
H01L 21/78 (2006.01)

(21) 국제출원번호: PCT/KR2017/004556

(22) 국제출원일: 2017년 4월 28일 (28.04.2017)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:

10-2016-0054160 2016년 5월 2일 (02.05.2016) KR
10-2016-0054162 2016년 5월 2일 (02.05.2016) KR
10-2016-0054575 2016년 5월 3일 (03.05.2016) KR

(72) 발명자: 겸

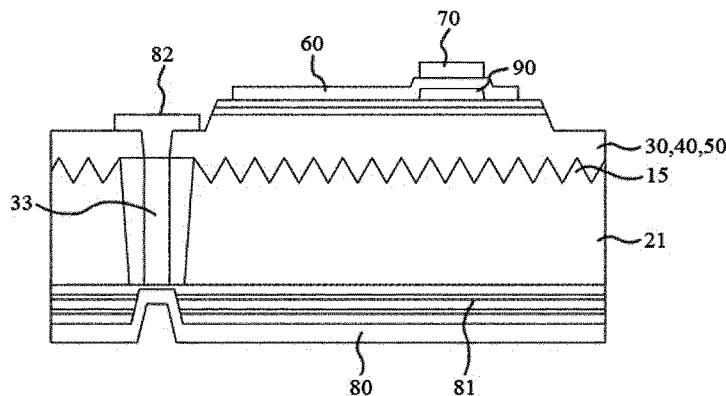
(71) 출원인: 안상정 (AN, Sang Jeong) [KR/KR]; 16229 경기도 수원시 광교로 145 차세대융합기술연구원 A동 7층 퍼스트앤드포에버, Gyeonggi-do (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유

(54) Title: TEMPLATE FOR GROWING GROUP III-NITRIDE SEMICONDUCTOR LAYER, GROUP III-NITRIDE SEMICONDUCTOR LIGHT EMITTING DEVICE, AND MANUFACTURING METHOD THEREFOR

(54) 발명의 명칭: 3족 질화물 반도체층 성장을 위한 템플릿, 3족 질화물 반도체 발광소자 및 이들을 제조하는 방법



(57) Abstract: Provided are a template for growing a group III-nitride semiconductor layer, a group III-nitride semiconductor light emitting device comprising the same, and manufacturing methods therefor. A template for growing a group III-nitride semiconductor layer comprises: a growth substrate having a first surface, a second surface facing the first surface, and a groove extending from the first surface into the inside thereof; a heat dissipating insert fixedly inserted into the groove; and a nucleation layer formed on the first surface which is partially removed.

(57) 요약서: 3족 질화물 반도체층 성장을 위한 템플릿, 이를 포함하는 3족 질화물 반도체 발광소자 및 이들을 제조하는 방법이 제공된다. 3족 질화물 반도체층 성장을 위한 템플릿은, 제1 면 및 제1 면에 대향하는 제2 면을 가지는 성장 기판으로서, 제1 면으로부터 성장 기판 내부로 뻗어 있는 홈을 구비하는 성장 기판; 홈 내에 삽입되어 고정되는 방열용 인서트(insert); 그리고 일부가 제거된 제1 면 상에 형성되는 씨앗층(nucleation layer)을 포함한다.

럼 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 3족 질화물 반도체층 성장을 위한 템플릿, 3족 질화물 반도체 발광소자 및 이들을 제조하는 방법

기술분야

- [1] 본 개시(Disclosure)는 전체적으로 3족 질화물 반도체층 성장을 위한 템플릿, 3족 질화물 반도체 발광소자 및 이들을 제조하는 방법(TEMPLATE FOR GROWING III-NITRIDE SEMICONDUCTOR LAYER, III-NITRIDE SEMICONDUCTOR LIGHT EMITTING DEVICE AND METHOD FOR MANUFACTURING THE SAME)에 관한 것으로, 특히 방열을 개선한 3족 질화물 반도체층 성장을 위한 템플릿, 3족 질화물 반도체 발광소자 및 이들을 제조하는 방법에 관한 것이다.
- [2] 여기서, 3족 질화물 반도체는 $\text{Al}(x)\text{Ga}(y)\text{In}(1-x-y)\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)로 된 화합물 반도체를 의미하며, 3족 질화물 반도체 발광소자는 $\text{Al}(x)\text{Ga}(y)\text{In}(1-x-y)\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)로 된 화합물 반도체층을 포함하는 발광다이오드, 레이저다이오드와 같은 발광소자를 의미하고, 추가적으로 SiC, SiN, SiCN, CN와 같은 다른 족(group)의 원소들로 이루어진 물질이나 이들 물질로 된 반도체층을 포함하는 것을 배제하는 것은 아니다.

배경기술

- [3] 여기서는, 본 개시에 관한 배경기술이 제공되며, 이들이 반드시 공지기술을 의미하는 것은 아니다(This section provides background information related to the present disclosure which is not necessarily prior art).
- [4] 도 1 및 도 2는 일본 공개특허공보 제H08-083929호에 제시된 반도체 발광소자의 일 예를 나타내는 도면으로서, 반도체 발광소자는 성장 기판(100), 성장 기판(100) 위에 성장되는 씨앗층(200; seed layer, buffer layer or nucleation layer), 씨앗층(200) 위에 성장되는 제1 반도체층(300), 제1 반도체층(300) 위에 성장되며 전자와 정공의 재결합을 통해 빛을 생성하는 활성층(400), 활성층(400) 위에 성장되는 제2 반도체층(500), 제2 반도체층(500)에 전자 및 정공 중의 하나를 공급하는 제1 전극(700) 그리고, 제1 반도체층(300)에 전자 및 정공 중의 나머지 하나를 공급하는 제2 전극(800)을 포함한다. 제2 전극(800)은 반도체층(200, 300, 400, 500)의 성장이 완료된 후에, 성장 기판(100)에 형성되는 개구(110)를 형성하고, 도금을 통해 형성되는 전기적 연결(810; electrical connection)을 형성함으로써, 제1 반도체층(300)과 전기적으로 연결된다. 전기적 연결(810)은 일반적으로 부도체로 이루어지는 성장 기판(100; 예: Al_2O_3 기판)에 전기적 통로(electrical pass)를 제공하는 한편, 방열 통로(heat dissipation pass)로서 기능한다. 그러나, 통상 $80\mu\text{m}$ 에서 $180\mu\text{m}$ 사이의 두께를 가지는 성장 기판(100)에 도금을 통해 전기적 연결(810)을 형성하는 것은 쉽지 않다.

- [5] 도 3은 미국 공개특허공보 제2008-0315240호에 제시된 반도체 발광소자의 일 예를 나타내는 도면으로서, 반도체 발광소자는 개구(110)가 형성된 성장 기판(100), 개구(110)가 형성된 성장 기판(100) 위에 성장되는 반도체층(200,300,400,500), 제2 반도체층(500)에 전자 및 정공 중의 하나를 공급하는 제1 전극(700) 그리고, 제1 반도체층(300)에 전자 및 정공 중의 나머지 하나를 공급하도록 성장 기판(100)의 후면에서 전기적 연결(810)을 통해 제1 반도체층(300)과 전기적으로 연결되는 제2 전극(800)을 포함한다. 바람직하게는 전류 확산(current spreading)을 위해 제2 반도체층(500)의 거의 전면에서 형성되는 전류 확산 전극(600)이 구비된다. 이 반도체 발광소자는 개구(110)를 성장 기판(100)에 먼저 형성한 다음, 반도체층(200,300,400,500)을 성장시킨다는 점에서 도 1 및 도 2에 제시된 반도체 발광소자와 차이를 가진다. 반도체층(200,300,400,500)을 성장시키는 조건을 조절함으로써, 성장의 과정에서 반도체층(200,300,400,500)에 개구(900)가 형성될 수 있으며, 개구(900) 측에서 오믹 전극(820)이 제1 반도체층(300)에 형성되어 있고, 오믹 전극(820)은 제2 전극(800)과 전기적으로 연결된다. 성장 조건을 조절하여, 개구(110) 위에 개구(900)가 형성되지 않도록 반도체층(200,300,400,500)을 성장시키는 것도 가능하며, 이 경우에 성장이 완료된 후에, 식각을 통해 개구(900)를 형성하는 것이 가능하다. 이 종래기술에는 안정적인 전기적 연결(810) 형성을 위한 다양한 도금 방법이 제시되어 있다.
- [6] 도 20은 한국 등록특허공보 제10-1432728호에 제시된 반도체 소자용 서브마운트 내지 지지 기판의 일 예를 나타내는 도면으로서, 반도체 소자용 지지 기판은 반도체 소자(300)와 결합되어 지지하는 실리콘 기재(2000), 도통 및 방열을 위해 도전부(15) 및 도전부(15)와 실리콘 기재(2000)를 절연하는 절연층(1600)을 구비한다. 최근 반도체 소자가 고전력화 및/또는 집적화(소형화)하는 경향을 가지며, 이에 수반하여, 반도체 소자용 지지 기판이 고온 및 고열에서 견딜 것이 요구된다. 그러나, 이 예에서와 같이, 실리콘 기재(2000)와 같은 반도체 물질이 사용되는 경우에, 고전력화(고전압, 고전류의 사용)시 도전부(15) 사이에 기생정전용량이 발생하여, 이로 인해 누설 전류를 발생할 수 있어, 반드시 절연층(1600)이 사용되어야 하는 문제점을 가진다. 또한, 실리콘의 녹는점이 1414°C 정도로 높지 않아, 고온 구동에서, 안정적인 물성을 유지하기가 쉽지 않으며, 도전부(15)와의 열팽창계수 차로 인해 크랙이 발생하는 등의 문제점을 야기한다. 또한 이 예에서, 도전부(15)가 도금을 통해 형성되는데, 도금 금속 자체가 열팽창을 하는 문제점이 있고, 좁고 긴 형상의 홈(14)에서 도금 물질이 조밀하게 형성되기는 쉽지 않아 불량 이슈를 만들어 후속 공정의 복잡성을 야기해 제조상의 고비용 문제를 만들고 있어, 이를 개선할 필요가 있다.

발명의 상세한 설명

기술적 과제

- [7] 이에 대하여 '발명의 실시를 위한 구체적인 내용'의 후단에 기술한다.

과제 해결 수단

- [8] 여기서는, 본 개시의 전체적인 요약(Summary)이 제공되며, 이것이 본 개시의 외연을 제한하는 것으로 이해되어서는 아니된다(This section provides a general summary of the disclosure and is not a comprehensive disclosure of its full scope or all of its features).
- [9] 본 개시에 따른 일 태양에 의하면(According to one aspect of the present disclosure), 3족 질화물 반도체층 성장을 위한 템플릿에 있어서, 제1 면 및 제1 면에 대향하는 제2 면을 가지는 성장 기판;으로서, 제1 면으로부터 성장 기판 내부로 뻗어 있는 홈을 구비하는 성장 기판; 홈 내에 삽입되어 고정되는 방열용 인서트(insert); 그리고, 일부가 제거된 제1 면 상에 형성되는 씨앗층(nucleation layer);를 포함하는 것을 특징으로 하는 3족 질화물 반도체층 성장을 위한 템플릿이 제공된다.
- [10] 본 개시에 따른 다른 태양에 의하면(According to another aspect of the present disclosure), 3족 질화물 반도체 발광소자에 있어서, 제1 면 및 제1 면에 대향하는 제2 면을 가지는 성장 기판;으로서, 제1 면으로부터 성장 기판 내부로 뻗어 있는 홈을 구비하는 성장 기판; 홈 내에 삽입되어 고정되는 방열용 인서트(insert); 일부가 제거된 제1 면 상에 형성되는 씨앗층(nucleation layer); 그리고, 씨앗층 위에 성장되며, 순차로 제1 도전성을 가지는 제1 반도체층, 전자와 정공의 재결합을 통해 빛을 생성하는 활성층 및 제1 도전성과 다른 제2 도전성을 가지는 제2 반도체층을 가지는 복수의 3족 질화물 반도체층; 제2 반도체층에 전기적으로 연결되는 제1 전극; 그리고, 제1 반도체층에 전기적으로 연결되는 제2 전극;을 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자가 제공된다.
- [11] 본 개시에 따른 또 다른 태양에 의하면(According to another aspect of the present disclosure), 3족 질화물 반도체층 성장을 위한 템플릿을 제조하는 방법에 있어서, 제1 면 및 제1 면에 대향하는 제2 면을 가지는 성장 기판에, 제1 면으로부터 성장 기판 내부로 뻗어 있는 홈을 형성하는 단계; 홈 내에 방열용 인서트(insert)를 삽입하는 단계; 그리고, 제1 면 상에 물리증착법(PVD; Physical Vapor Deposition)을 통해 씨앗층(nucleation layer)을 형성하는 단계;를 포함하는 것을 특징으로 하는 3족 질화물 반도체층 성장을 위한 템플릿을 제조하는 방법이 제공된다.
- [12] 본 개시에 따른 또 다른 태양에 의하면(According to another aspect of the present disclosure), 3족 질화물 반도체 발광소자를 제조하는 방법에 있어서, 제1 면 및 제1 면에 대향하는 제2 면을 가지는 성장 기판에, 제1 면으로부터 성장 기판 내부로 뻗어 있는 홈을 형성하는 단계; 홈 내에 방열용 인서트(insert)를 삽입하는

단계; 제1 면 상에 제1 증착법을 통해 통해 씨앗층(nucleation layer)을 형성하는 단계; 씨앗층 위에, 제1 증착법과 다른 제2 증착법으로, 순차로 제1 도전성을 가지는 제1 반도체층, 전자와 정공의 재결합을 통해 빛을 생성하는 활성층 및 제1 도전성과 다른 제2 도전성을 가지는 제2 반도체층을 가지는 복수의 3족 질화물 반도체층을 성장시키는 단계; 그리고, 제2 반도체층에 제1 전극을, 제1 반도체층에 제2 전극을, 각각 전기적으로 연결하는 단계;를 포함하는 특징으로 하는 3족 질화물 반도체 발광소자를 제조하는 방법이 제공된다.

- [13] 본 개시에 따른 또 다른 태양에 의하면(According to another aspect of the present disclosure), 3족 질화물 반도체 발광소자를 제조하는 방법에 있어서, 제1 면 및 제1 면에 대향하는 제2 면을 가지는 성장 기관에, 복수의 3족 질화물 반도체층을 성장시키는 단계; 복수의 3족 질화물 반도체층의 일부를 제거한 후, 제1 면으로부터 성장 기관의 일부를 제거하여 성장 기관 내부로 뺀어 있는 홈을 형성하는 단계; 홈 내에 방열용 인서트(insert)를 삽입하는 단계; 그리고, 방열용 인서트와 복수의 3족 질화물 반도체층을 전기적으로 연결하는 단계;를 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자를 제조하는 방법이 제공된다.

발명의 효과

- [14] 이에 대하여 '발명의 실시를 위한 구체적인 내용'의 후단에 기술한다.

도면의 간단한 설명

- [15] 도 1 및 도 2는 일본 공개특허공보 제H08-083929호에 제시된 반도체 발광소자의 일 예를 나타내는 도면,
- [16] 도 3은 미국 공개특허공보 제2008-0315240호에 제시된 반도체 발광소자의 일 예를 나타내는 도면,
- [17] 도 4는 본 개시에 따른 3족 질화물 반도체층 성장을 위한 템플릿의 일 예 및 이를 제조하는 방법의 일 예를 나타내는 도면,
- [18] 도 5 및 도 6은 본 개시에 따른 3족 질화물 반도체 발광소자의 일 예 및 이를 제조하는 방법의 일 예를 나타내는 도면,
- [19] 도 7은 본 개시에 따른 3족 질화물 반도체 발광소자의 다른 일 예를 나타내는 도면,
- [20] 도 8은 본 개시에 따른 3족 질화물 반도체 발광소자의 또 다른 일 예를 나타내는 도면,
- [21] 도 9는 본 개시에 따른 3족 질화물 반도체 발광소자의 또 다른 일 예를 나타내는 도면,
- [22] 도 10은 본 개시에 따른 3족 질화물 반도체 발광소자의 또 다른 일 예를 나타내는 도면,
- [23] 도 11은 본 개시에 따른 3족 질화물 반도체 발광소자의 또 다른 일 예를 나타내는 도면,
- [24] 도 12는 본 개시에 따른 3족 질화물 반도체 발광소자의 또 다른 일 예를

- 나타내는 도면,
- [25] 도 13은 본 개시에 따른 3족 질화물 반도체 발광소자를 제조하는 또 다른 방법의 일 예를 나타내는 도면,
- [26] 도 14 및 도 15는 본 개시에 따라 반도체 소자용 지지 기판을 제조하는 방법의 일 예를 나타내는 도면,
- [27] 도 16 및 도 17은 본 개시에 따라 반도체 장치를 제조하는 방법의 일 예를 나타내는 도면,
- [28] 도 18은 본 개시에 따른 반도체 소자용 지지 기판의 또 다른 일 예 및 이를 제조하는 방법의 일 예를 나타내는 도면,
- [29] 도 19는 본 개시에 따른 반도체 소자용 지지 기판을 제조하는 방법의 또 다른 일 예를 나타내는 도면,
- [30] 도 20은 한국 등록특허공보 제10-1432728호에 제시된 반도체 소자용 서브마운트 내지 지지 기판의 일 예를 나타내는 도면,
- [31] 도 21은 본 개시에 따른 반도체 장치를 제조하는 방법의 또 다른 일 예를 나타내는 도면,
- [32] 도 22는 본 개시에 따른 반도체 장치를 제조하는 방법의 또 다른 일 예를 나타내는 도면.

발명의 실시를 위한 형태

- [33] 도 4는 본 개시에 따른 3족 질화물 반도체층 성장을 위한 템플릿의 일 예 및 이를 제조하는 방법의 일 예를 나타내는 도면으로서, 3족 질화물 반도체층 성장을 위한 템플릿(21)은 제1 면(11) 및 제1 면(11)에 대향하는 제2 면(12)을 가지며 제1 면(11)으로부터 내부로 뻗어 있는 홈(14)를 구비하는 성장 기판인 제1 기판(10), 홈(14) 내에 삽입되어 고정되는 방열용 인서트(33; insert), 그리고 제1 면(11) 상에 형성되는 씨앗층(20; nucleation layer)을 포함한다.
- [34] 성장 기판인 제1 기판(10)은 3족 질화물 반도체층의 성장이 가능한 물질로 이루어지며, 예를 들어, Al_2O_3 , SiC, GaN, AlN, ZnO 등으로 이루어질 수 있고, 일반적으로 상용되며 투광성 물질인 Al_2O_3 가 대표적인 물질이다.
- [35] 홈(14)은 레이저 드릴링(Laser Ablation)에 의해 형성될 수 있으며, 이외에도 습식 에칭(Chemical Wet Etching), 건식 에칭(Dry Etching), 샌드 블라스팅(Sand Blasting), 초음파 드릴링(Ultra Sound Drilling) 등에 의해 형성될 수 있다. 홈(14)의 형상은 특별히 제한되지 않지만, 원형으로 형성될 수 있으며, 그 폭은 500nm~500 μm 인 것이 바람직하다. 폭이 500nm 미만인 경우에, 인서트(33)를 삽입하기가 쉽지 않은 문제점이 있으며, 폭이 500 μm 를 초과하는 경우에, 제조의 과정에서 크랙이 발생할 가능성이 높아지는 문제점이 있다. 홈(14)의 갯수는 반도체 소자 당 한 개 이상인 것으로 족하고, 특히 전기 통로로 기능하는 경우에, 반도체 발광소자의 전극의 수에 대응하는 수 이상의 갯수를 가지는 것이 바람직하고, 홈(14)의 간격 및 깊이는 제1 기판(10) 위에 제조되는 소자의 종류에

따라 달라질 수 있으며, 홈(14)이 제1 면(11)으로부터 제2 면(12)까지 이어져서 제1 기관(10)을 관통할 수 있음은 물론이다.

[36] 인서트(33)는 방열 통로로서 기능한다. 최종적으로 인서트(33)가 제1 기관(10)의 제1 면(11)으로부터 제2 면(12)으로 이어지는 형태인 경우에, 인서트(33)는 전기적 통로로 기능하는 것도 가능하다. 따라서 인서트(33)는 방열 통로 및/또는 전기적 통로로 기능할 수 있다.

[37] 도 1 내지 도 3에 도시된 예에서, 전기적 연결(810)이 주로 도금을 통해 형성되지만, 도금 금속 자체가 열팽창을 하는 문제점이 있고, 좁고 긴 형상의 홈(14)에서 도금 물질이 조밀하게 형성되기는 쉽지 않아 불량 이슈를 만들어 후속 공정의 복잡성을 야기해 제조상의 고비용 문제를 만들고 있어, 이를 개선할 필요가 있다. 전해도금을 예로 들면, 도금 물질(예: 구리)을 (+)극에 두고, 도금 대상을 (-)극으로 하여, 도금 대상에서 도금 물질을 환원 반응시킴으로써, 전기적 연결(810)이 형성되는데, 이러한 방식으로는 조밀하게 전기적 연결(810)을 구성하는데 한계가 있다.

[38] 본 개시에서는 막대(rod) 또는 와이어(wire) 형태의 물질(substances)로 인서트(33)를 구성함으로써, 이러한 문제점을 해소한다. μm -스케일의 와이어(예: Nickel wire, Cobalt Wire, Iron Wire)가 출시되고 있으며(이는 구글 검색을 통해 쉽게 찾아볼 수 있다.), 이러한 와이어를 홈(14)의 깊이에 맞게 커팅하여 막대 형태의 인서트(33)를 만들 수 있다. 한편, 니켈, 코발트, 철 등은 강자성(ferromagnetism)을 띠는 금속 물질이므로, 막대 형상의 인서트(33)를 제1 면(11) 위에 둔 상태에서, 제2 면(12) 측에서 자석(도시 생략)을 이동시킴으로써, 인서트(33)를 홈(14)에 삽입하는 것이 가능하다. 자석을 이용하여 인서트(33)를 홈(14)에 삽입하는 기술은 미국 등록특허공보 제3,736,651호 등에 개시되어 있다. 자석을 이용하여 인서트(33)를 홈(14)에 삽입하는 경우에, 인서트(33)는 Ni, Co, Fe와 같은 강자성 물질 또는 이들 중의 하나를 포함하는 강자성 합금으로 이루어지는 것이 바람직하다. 고체상의 막대로 인서트(33)를 구성함으로써 즉, 도금을 통해 형성된 전기적 연결(81)에 비해 조밀하게 형성된 형태로 인서트(33)를 구성함으로써, 열팽창을 억제하는 한편, 열전도율 및 전기전도율을 향상시킬 수 있게 된다. 이를 통해, 반도체 소자의 크랙, 반도체 소자와 지지 기관 간 분리(접합이 떨어짐) 등을 해소할 수 있게 된다. 막대 형태의 인서트(33)는 전체가 강자성체로 구성되어도 좋고, 그 일부가 강자성체로 구성되어도 좋고, 표면이 Ag, Au, Cu와 같은 상자성(paramagnetism) 물질로 코팅되어 있어도 좋다.

[39] 또한 고체상 막대 형태의 인서트(33)를 직접 홈(14)에 삽입하는 대신에, 액체상의 연속적으로 이어진 물질을 홈(14)에 삽입하여 인서트(33)를 형성하는 것도 가능하다. 이를 위하여, 도 1 내지 도 3에 도시된 제1전극(700)을 PCB 등에 전기적으로 연결할 때 이용되는 와이어 본딩법, 즉, 와이어 본더가 이용될 수 있다. 와이어 본딩법 및 와이어 본더는 반도체 분야에서 널리 사용되고 있는 것으로서 추가적인 설명은 생략한다. 와이어 본딩을 이용함으로써, 조밀하게

배치된 홈(14)에, 저비용으로 연속적으로 이어진 액체상 와이어 형태의 인서트(33)를 홈(14)에 삽입하는 것이 가능해진다. 이러한 형태의 인서트(33)는 와이어 본딩에 적합한 Au, Au 합금, Ag, Ag 합금, Cu, Cu-합금, Al, Al-합금 등으로 이루어질 수 있다.

[40] 또한 인서트(33)는 고반사성 및/또는 고방열 특성을 가지는 금속 파우더 및/또는 합금 파우더, 고방열 특성을 가지는 세라믹 파우더(예: AlN, BN, SiC, AlSiC), 또는 이들과 유기 바인더를 혼합물을 홈(14)에 삽입한 후 열처리함으로써 형성될 수 있다. 이러한 물질을 홈(14)에 삽입하는 데는 봉지제의 도포에 이용되는 디스펜서(dispenser)가 이용될 수 있다. 이 경우, 후술할 고정 물질(34)을 별도로 사용하지 않고, 인서트(33)를 홈(14)에 고정할 수 있는 이점을 가지며, 제1 면(11)을 연마하는 후속 공정을 생략할 수도 있다. 고반사성 및 고방열 물질로는 Al, Ag, Rh, Pt, Pd, Au, Cr, Ni, Mo, Ti, Cu으로 된 금속 또는 적어도 이들 중 1가지 금속 이상을 결합한 합금을 예로 들 수 있다.

[41] 도금 또는 PVD법 등에 의하지 않고, 인서트(33)를 형성하는 경우에, 인서트(33)를 홈(14)에 고정하거나 홈(14)을 메울(filling) 필요가 있다. 이를 위해, 홈(14)에 인서트(33)를 삽입하기 전 또는 후에 고정 물질(34)을 형성한다. 고정 물질(34)을 도포(예: 스핀 코팅)하고, 건조 또는 열처리함으로써, 인서트(33)를 홈(14)에 삽입 및 고정할 수 있게 된다. 이러한 고정 물질(34)로 3축 질화물 반도체층의 성장이 이루어지는 고온(예: 1000°C이상)에서 견딜 수 있는 물질이라면 특별한 제한은 없으며, SOC(Spin-on-Glass), BCB(Benzocyclobutene), PR(Photoresist), Epoxy-based Polymers, Silicone, Parylene, SU-8 등의 유기물계 저 유전 물질(low k dielectric)이 이용될 수 있다. 또한 고정 물질(34) 경우, 유기물계 저 유전 물질 이외에도 효과적인 열 방출을 피하기 위해 점성이 있는 액상 물질에 열전도도가 높은 금속, 합금, 세라믹 분말 입자 형태를 포함한 페이스트(paste) 형태를 갖는 물질도 가능하다.

[42] 이와는 별도로 Al, Ag, Rh, DBR(distributed Bragg reflector), ODR(omni directional reflector)와 같은 고반사성 및/또는 고열전도성 물질(35)을 홈(14)에 먼저 형성하고, 인서트(33)와 SOG와 같은 고정 물질(34)을 홈(14)에 삽입한 후, 열처리함으로써, 인서트(33)를 홈(14)에 고정하는 것도 가능하다. 고반사성 및/또는 고열전도성 물질(35)을 도입함으로써, 인서트(33) 및 고정 물질(34)이 빛을 흡수하는 것을 줄일 수 있게 되어, 인서트(33) 및 고정 물질(34)의 물질 선택의 폭을 넓히는 한편, 광 손실을 줄일 수 있게 된다.

[43] 또한, 인서트(33)를 홈(14)에 삽입하기에 앞서, 고정 물질(34)을 먼저 홈(14)에 형성하는 것도 가능하다. 이러한 방법의 이점은 레이저 드릴링 등에 의해 형성되는 홈(14)의 거친 표면을 덮은 상태에서 인서트(33)를 삽입할 수 있어, 인서트(33)의 삽입을 용이하게 할 수 있다는 것이다. 이후 인서트(33)가 삽입되고, 건조 또는 열처리를 통해, 인서트(33)가 고정 물질(34)과 함께 홈(14)에 고정될 수 있다. 이 경우에도 고정 물질(34)은 전술한 물질들로 구성될 수 있지만,

이들에 접합성을 가지는 금속 물질을 추가하여 도포함으로써, 건조 또는 열처리 이전에 (또는 열처리를 생략하고) 인서트(33)의 고정 및 와이어 본딩을 용이하게 할 수 있다. 접합성 금속 물질을 직접 증착하는 것도 가능하다. 고정 물질(34)을 형성한 후에, 인서트(33)를 삽입하기에 앞서, 홈(14) 내부에 형성된 고정 물질(34)을 남겨두고, 제1 면(11) 위에 존재하는 고정 물질(34)을 미리 제거하는 것도 가능하다. 이 경우에, 인서트(33) 삽입 후 열처리를 통해 접합성 금속 물질과 인서트(33)의 고정을 강화할 수 있음은 물론이다. 세라믹 파우더를 이용하는 경우에도, 고정 물질(34)을 홈(14)에 먼저 삽입할 수 있음도 물론이며, 접합성 금속 물질 및/또는 고반사성 물질(35)의 증착 공정/고정 물질(34)의 형성 공정/인서트(33)의 삽입 공정의 순서가 적절히 바뀔 수 있음도 물론이다(예: 접합성 금속 물질 및/또는 고반사성 물질(35)의 증착 공정 -> 인서트(33)의 삽입 공정 -> 고정 물질(34)의 형성 공정).

- [44] 접합성을 가지는 물질은 예를 들어, 300°C 이하의 녹는점을 갖는 저융점 금속 Sn, In, Zn, Ga 이들 중 적어도 1종 이상 포함한 합금 또는 페이스트로 이루어질 수 있으며, 5 μ m 이하의 미세립자 형태를 갖는 powder 저융점 금속 및/또는 고용점 금속 및/또는 유기 바인더(binder) 등을 균일한 점성 혼합물로 제조한 다음 dispensing하고 열처리함으로써 형성될 수 있다.
- [45] 고정 물질(34) 및/또는 고반사성 물질(35)을 먼저 홈(14)에 삽입함으로써, 홈(14)의 크기를 드릴링과 별도로 조절할 수 있게 되어, μ m-스케일 단위에서 이루어지는 인서트(33)의 삽입 공정에 있어서, 정밀성을 부여할 수 있는 이점도 가진다. 즉, 홈(14)의 크기를 드릴링과 별도로 스핀 코팅, 증착 등의 방법으로 정밀하게 조절할 수 있게 된다.
- [46] 한편, 막대 형상의 인서트(33)와 고정 물질(34)을 함께 혼합한 상태로 제1 기판(10)에 도포하여, 자석을 통해 인서트(33)를 홈(14)에 삽입함으로써, 인서트(33)가 제1 면(11) 및 홈(14)으로부터 이탈하는 것을 확실히 방지할 수 있게 된다. 예를 들어, 인서트(33)가 홈(14)에 삽입된 후, 스핀 코팅을 통해 고정 물질(34)을 도포하는 것에, 이 회전으로 인해 인서트(33)가 제1 면(11) 또는 홈(14)으로부터 이탈할 수 있는데, 이를 방지할 수 있게 된다.
- [47] 다음으로, 홈(14)에 인서트(33)와 고정 물질(34)이 삽입되고 고정된 후에, 필요에 따라 그리고 바람직하게는, 제1 면(11) 측에서 제1 기판(10)의 일부가 제거될 수 있다. 이러한 제거 공정을 통해, 제1 면(11) 위에 위치하는 고정 물질(34)이 제거되고, 인서트(33)와 홈(14)의 높이가 동일해질 수 있다. 이러한 제거는 연마(polishing)를 통해 이루어질 수 있으며, 제1 기판(10)의 일부가 제거되어 인서트(33)가 노출될 수 있다.
- [48] 마지막으로, 인서트(33)가 노출된 제1 기판(10)의 제1 면(11)에 3족 질화물 반도체층의 성장을 위한 씨앗층(20; seed layer or nucleation layer)을 형성한다. 이때, 씨앗층(20)의 성장에 물리증착법(Physical Vapor Deposition)을 이용하는 것이 바람직하다. 스퍼터링, PLD(Pulsed Laser Deposition) 등의 방법이 이용될 수 있다.

씨앗층(20)은 AlN, AlGaInN, GaN, ANInN, InGaInN와 같은 3족 질화물 반도체로 이루어질 수 있으며, 그 위에 성장되는 3족 질화물 반도체 발광소자에 따라 조성을 달리할 수 있다. UV-C를 발광하는 3족 질화물 반도체 발광소자의 경우에, 이 자외선을 흡수하지 않는 밴드갭 에너지를 가지는, Al의 비중이 높은 AlGaInN 또는 AlN가 적합하다. 씨앗층(20)은 100nm 미만의 두께를 가지는 것이 바람직하다. 100nm 이상의 두께를 갖는 경우, 스트레스가 강하게 걸려서 성장용 템플릿의 휨(bow) 현상이 발생하여 균일한 조성을 갖는 3족 질화물 반도체층을 확보하기가 쉽지 않다. 물리증착법을 이용하여 씨앗층(20)을 형성함으로써, MOCVD법에 의해 성장되는 씨앗층과 비교할 때, 결정 결함을 대폭 감소시킬 수 있게 된다. 예르 들어, 씨앗층(20)은 물리증착법을 통해 500°C 이하의 온도, 소량의 산소(O)를 포함하는 질소(N) 분위기에서 AlN 또는 AlNO를 성막함으로써 형성될 수 있다. 소량의 산소가 포함되면 AlN 또는 AlNO 물질층을 구성하는 결정체(grain)를 더 작게 만들어서 3족 질화물 반도체층 성막시 더 고품질 박막의 형성이 가능해진다.

- [49] 필요에 따라, 씨앗층(20)을 형성하기 전에 또는 후에, 인서트(33)가 위치하는 위치에 성장 방지막(예: SiO₂; 도시 생략)을 형성하여, 이 위치에는 3족 질화물 반도체층이 성장되지 않도록 하는 것도 가능하다.
- [50] 도 5 및 도 6은 본 개시에 따른 3족 질화물 반도체 발광소자의 일 예 및 이를 제조하는 방법의 일 예를 나타내는 도면으로서, 3족 질화물 반도체 발광소자는 3족 질화물 반도체층 성장을 위한 템플릿(21), 템플릿(21)의 씨앗층(20) 위에 성장되며, 순차로 제1 도전성을 가지는 제1 반도체층(30; 예: n형 3족 질화물 반도체층), 전자와 정공의 재결합을 통해 빛을 생성하는 활성층(40; 예: 다중양자우물 구조) 및 제1 도전성과 다른 제2 도전성을 가지는 제2 반도체층(예: p형 3족 질화물 반도체층)을 가지는 복수의 3족 질화물 반도체층(30,40,50), 제2 반도체층(50)에 전기적으로 연결되는 제1 전극(70), 그리고 제1 반도체층(30)에 전기적으로 연결되는 제2 전극(80)을 포함한다. 활성층(30)은 3족 질화물 반도체(Al(x)Ga(y)In(1-x-y)N (0≤x≤1, 0≤y≤1, 0≤x+y≤1))로 이루어지며, 이들의 조성을 조절함으로써, 녹색으로부터 자외선에 이르는 빛을 발광할 수 있다.
- [51] 복수의 반도체층(30,40,50)의 성장에는 씨앗층(20)의 형성에 이용되는 물리증착법과는 다른 방법이 이용된다. 예를 들어, 화학증착법인 유기화학기상증착법(MOCVD), HVPE법 등이 이용될 수 있다. 또한 물리증착법으로서 MBE법이 이용될 수 있다. 일반적으로 상용 3족 질화물 반도체 발광소자(예: 발광다이오드)의 제조에는 유기화학기상증착법(MOCVD)이 이용된다.
- [52] 발광다이오드를 제조하는 경우에, 3족 질화물 반도체층 성장을 위한 템플릿(21)은 제1 기판(10)의 제1 면(11)에 광산란을 위한 돌기(15)를 구비하는 것이 바람직하다. 돌기(15)는 반구형, 삼각뿔, 사각대, 스트라이프 등 다양한 형태를 가질 수 있다. 돌기(15)를 형성하는 방법은 미국 등록특허공보

제6,091,085호, 미국 등록특허공보 제7,759,140호 및 미국 공개특허공보 제2008-0303042호 등에 제시되어 있다. 이 경우에, 돌기(15)를 형성하고, 씨앗층(20)을 PVD법으로 형성한 다음, 템플릿(21)을, 복수의 반도체층(30,40,50)을 성장시키는 장비(예: MOCVD 장비)로 옮겨 복수의 반도체층(30,40,50)을 성장시킨다.

- [53] 다음으로, 복수의 반도체층(30,40,50)의 일부를 식각하여 제1 반도체층(30)에 노출면(31)을 형성하고, 바람직하게는 전류 확산 전극(60; 예: ITO, ZnO, Ni/Au)을 제2 반도체층(50)에 형성한 다음, 추가적으로 에칭을 통해 인서트(33)를 노출시킨다. 다음으로, 제1 전극(70)을 전류 확산 전극(60) 위에 형성한다. 바람직하게는 제1 반도체층(30)에 대한 안정적 전기 연결을 위해 인서트(33)가 위치하는 곳에 오믹 전극(82)을 구비하며, 오믹 전극(82)은 제1 전극(70)을 형성하는 과정에서 함께 형성될 수 있다. 노출면(31)을 형성하는 과정, 전류 확산 전극(60)을 형성하는 과정, 인서트(33)를 노출하는 과정 및 제1 전극(70)을 형성하는 과정에 대한 순서는 당업자에게 자명한 범위 내에서 바뀔 수 있음은 물론이다.
- [54] 다음으로, 제1 기판(10)의 제2 면(12)을 연마하여 인서트(33)를 노출시키고, 제2 전극(80)을 형성한다. 제2 전극(80)은 인서트(33)를 통해 (오믹 전극(82)을 거쳐) 제1 반도체층(30)과 전기적으로 연결된다. 제2 전극(80)은 저융점 금속(예: In, Sn, Zn, Ga)을 구비하여, 금속 접합(metal bonding)에 이용될 수 있다.
- [55] 마지막으로, 소잉, 레이저 스크라이빙&브레이킹 등을 이용하여, 개별의 칩으로 분리한다. 본 개시에 있어서, 3족 질화물 반도체 발광소자는 개별의 칩으로 분리되기 이전 상태 및 개별의 칩을 모두를 의미할 수 있다.
- [56] 도 7은 본 개시에 따른 3족 질화물 반도체 발광소자의 다른 일 예를 나타내는 도면으로서, 3족 질화물 반도체 발광소자는 제1 전극(70)이 위치하는 곳에서 전류 확산 전극(60)의 아래에 전류 차단막(90; 예: SiO₂; Current Blocking Layer)을 구비하고, 제2 전극(80)과 템플릿(21) 사이에 반사막(81; 예: DBR(Distributed Bragg Reflector))을 구비한다. 제2 전극(80)과 인서트(33)가 연결되는 곳에는 반사막(81)이 제거되어 있다. 미설명 동일부호에 대한 설명을 생략한다. 전류 차단막(90)은 제1 전극(90)에 의한 광 흡수를 방지하며, 반사막(81)은 소자 외부로의 광추출 효율을 향상시키는데 기능한다.
- [57] 도 8은 본 개시에 따른 3족 질화물 반도체 발광소자의 또 다른 일 예를 나타내는 도면으로서, 3족 질화물 반도체 발광소자는 인서트(33)가 제1 전극(70)이 위치하는 곳에 구비되어 있다. 제1 전극(70)과 전류 확산 전극(60)은 절연막(91; 예: SiO₂)에 의해 복수의 반도체층(30,40,50)과 절연되어 있다. 제1 전극(70)은 전류 확산 전극(60)을 통해 제2 반도체층(50)과 전기적으로 연결된다. 오믹 전극(82)이 제1 반도체층(30)의 노출면(31)에 형성되어, 제1 반도체층(30)과 전기적으로 연결되며, 제2 전극으로 기능한다. 앞선 실시 예들에서 제2 전극으로 기능했던 전극(83)은 위치는 동일하나, 제1 반도체층(30)과 연결되는 것이

아니라, 제1 전극(70)과 인서트(33)을 통해 전기적으로 연결되며, 템플릿(21)의 제2 면(12) 측에 형성되는 후면 전극으로서, 제1 전극(70)의 일부를 형성한다. 미설명 동일부호에 대한 설명을 생략한다.

- [58] 도 9는 본 개시에 따른 3족 질화물 반도체 발광소자의 또 다른 일 예를 나타내는 도면으로서, 제1 기판(10)에 추가의 홈(36)이 형성되어 있으며, 3족 질화물 반도체 발광소자는 추가의 홈(36)에 삽입, 고정되는 추가의 인서트(37)를 포함하고, 제1 기판(10)의 제2 면(12) 측에 형성되며, 추가의 인서트(37)를 통해 제1 전극(70)과 전기적으로 연결되는 후면 전극(83)을 더 포함한다. 제2 전극(80)은 제1 기판(10)의 제2 면(12) 측에 형성되어 인서트(33)를 통해 제1 반도체층(30)과 전기적으로 연결된다. 제2 전극(80)과 후면 전극(83)을 외부 전원과 연결함으로써, 별도로 와이어 본딩을 할 필요가 없다. 따라서 소자 상부에서 광효율의 손실을 줄일 수 있게 된다.
- [59] 도 10은 본 개시에 따른 3족 질화물 반도체 발광소자의 또 다른 일 예를 나타내는 도면으로서, 3족 질화물 반도체 발광소자는 제1 전극(70) 및 제2 전극(80)과 전기적으로 연결되지 않는 인서트(38)를 포함한다. 인서트(38)는 전기적 통로로서는 기능하지 않으며, 방열 통로로서만 기능한다.
- [60] 도 11은 본 개시에 따른 3족 질화물 반도체 발광소자의 또 다른 일 예를 나타내는 도면으로서, 3족 질화물 반도체 발광소자는 제1 기판(10)의 제1 면(11)으로부터 제2 면(12)까지 이르지 않는 형태의 인서트(33)를 포함한다. 제1 전극(70)과 오믹 전극(82)이 외부 전원과 직접 연결되며, 인서트(33)는 방열 통로로서 기능한다.
- [61] 도 12는 본 개시에 따른 3족 질화물 반도체 발광소자의 또 다른 일 예를 나타내는 도면으로서, 3족 질화물 반도체 발광소자는 도 11에 제시된 인서트(33)와 동일한 형태의 인서트(33)를 가지며, 제1 전극(70)과 오믹 전극(82)이 동일한 높이에 이르도록 절연막(91; 예: SiO_2)이 구비되어 있다. 제1 전극(70)과 오믹 전극(82)이 외부 전원과 연결되어, 와이어 본딩이 아닌 플립칩 본딩된다. 이러한 칩을 플립칩이라 한다.
- [62] 도 13은 본 개시에 따른 3족 질화물 반도체 발광소자를 제조하는 또 다른 방법의 일 예를 나타내는 도면으로서, 도 4에 제시된 예와 달리, 인서트(33)가 먼저 삽입되지 않고, 기판(10)의 제1 면(11)에 복수의 반도체층(30,40,50)이 성장된다. 바람직하게는 씨앗층(20)이 구비될 수 있으며, 이 때 씨앗층(20)은 복수의 반도체층(30,40,50)과 동일한 방법으로 형성될 수 있지만, 필요에 따라 전술한 예와 같이 다른 방법으로 형성되는 것도 가능하다. 제1 면(11)에는 광 산란을 위한 돌기(15)가 구비될 수 있으며, 인서트(33)가 삽입될 영역(39)에는 돌기(15)를 형성하지 않음으로써, 이후 홈(14)의 형성 작업을 용이하게 할 수 있다.
- [63] 다음으로, 식각 공정을 통해, 노출면(31)을 형성하는 한편, 인서트(33)가 삽입될 영역(39)을 노출시킨다. 노출면(31)을 형성하는 공정과 인서트(33)가 삽입될

영역(39)을 노출시키는 공정(칩을 isolation의 하는 공정의 일부로 이루어질 수 있음)의 순서에는 특별한 제한이 없지만, 노출면(31)을 형성하는 공정을 먼저 하는 것이 일반적이다. 영역(39)의 폭은 인서트(33)의 크기보다 커야 하며, 홈(14)을 형성하는 공정에서 복수의 반도체층(30,40,50)이 손상되지 않도록 여유를 가지는 것이 좋다.

- [64] 다음으로, 투광성 또는 반사성 전류 확산 전극(60; 예: ITO, ZnO, Ni/Au 또는 Ag 반사막, Al 반사막)을 형성한다. 바람직하게는 전류 확산 전극(60)을 형성하기 전에, 복수의 반도체층(30,40,50)의 측면 및 상면을 보호하는 보호막(41; passivation layer; 예: SiO₂, TiO₂, SiN_x, DBR)을 형성한다. 이 공정에서, 도 7에서와 같이, 전류 차단막(90)이 함께 형성될 수 있음은 물론이다. 즉, 전류 차단막(90)과 보호막(41)은 절연막으로서 동일한 성질의 막이다.
- [65] 다음으로, 필요에 따라 및 바람직하게는 전류 확산 전극(60)을 덮는 보호막(41)과 동일한 물질로 보호층(42; protecting layer)을 형성한다.
- [66] 다음으로, 도 4와 관련하여 설명된 것과 마찬가지로, 영역(39)에 홈(14)을 형성하고, 인서트(33), 고정 물질(34) 및 고반사성 물질(35)을 적절한 조합으로 그리고 적절한 순서로 형성한다.
- [67] 다음으로, 제1 전극(70)과 오믹 전극(82)을 형성한다. 보호막(41)과 보호층(42)이 형성되어 있는 경우에, 제1 전극(70)과 오믹 전극(82)이 복수의 반도체층(30,40,50)과 전기적으로 연결될 수 있도록 필요한 범위에서 보호막(41)과 보호층(42)을 제거하는 공정이 선행된다.
- [68] 이후의 공정은 도 6에 제시된 것과 동일하다. 도 7 내지 도 9에 도시된 3족 질화물 반도체 소자를 제조할 수 있는 물론이다. 도 5에 제시된 방법과 도 13에 제시된 방법을 조합하여 사용할 수 있음도 물론이다.
- [69] 도 14 및 도 15는 본 개시에 따라 반도체 소자용 지지 기판을 제조하는 방법의 일 예를 나타내는 도면으로서, 도 14에 도시된 바와 같이, 제1 기판(10)을 준비한다. 제1 기판(10)은 제1 면(11), 제2 면(12) 및 제1 면(11)과 제2 면(12)을 이어주는 측면(13)을 구비한다. 다음으로, 제1 면(11) 측에서 홈(14)을 형성한다. 홈(14)의 형상에 특별한 제한이 있는 것은 아니며, 원형, 다각형, 슬릿, 트렌치(trench) 등의 형태를 가질 수 있다. 즉, 길게 이어진 형태 또는 독립된 오목부의 형태를 가질 수 있다. 다음으로, 홈(14)에 도전부(15)를 형성한다. 바람직하게는, 도전부(15)에 도전 패드(16)를 형성한다. 도전부(15)와 도전 패드(16)는 별도의 공정으로 형성되어도 좋고, 하나의 공정으로 형성되어도 좋다.
- [70] 다음으로, 도 15에 도시된 바와 같이, 제2 기판(17)을 결합층(18)을 이용하여 제1 기판(10)에 결합한다. 다음으로, 제2 면(12) 측에서 연마 등을 통해 제1 기판(10)의 두께를 감소시킨다. 바람직하게는 도전부(15)에 도전 패드(19)를 형성한다. 제2 기판(17)이 제1 기판(10)에 직접 접촉될 수 있는 물성을 가진다면, 결합층(18)은 생략될 수 있다. 필요에 따라, 도전 패드(19)를 형성하기 전 또는

후에, 제1 기판(10)에 반사층 또는 절연층(12a)을 형성할 수 있다.

- [71] 도 16 및 도 17은 본 개시에 따라 반도체 장치를 제조하는 방법의 일 예를 나타내는 도면으로서, 반도체 발광소자를 예로 하여 설명한다. 도 16에 도시된 바와 같이, 반도체 발광소자 칩(20)을 제1 기판(10)에 고정한다. 반도체 발광소자 칩(20)은 성장 기판(21; 예: Al_2O_3), 제1 도전성을 가지는 제1 반도체층(22; 예: n형 GaN), 제1 도전성과 다른 제2 도전성을 가지는 제2 반도체층(23; 예: p형 GaN), 제1 반도체층(22)과 제2 반도체층(23) 사이에 개재되며 전자와 정공의 재결합을 통해 빛을 생성하는 활성층(24; 예: InGaN/(In)(Al)GaN 다중양자우물구조), 그리고 제1 반도체층(22)과 제2 반도체층(23) 각각에 전기적으로 연결되는 제1 전극(25) 및 제2 전극(26)을 구비한다. 반도체 발광소자 칩(20)은 플립 칩의 형태라면, 특별한 제한을 가지는 것은 아니다. 제1 전극(25)과 제2 전극(26)은 대응하는 도전부(15)에 고정된다. 도전부(15)는 전기적 통로 및 열적 통로로서 기능한다. 바람직하게는, 반도체 발광소자 칩(20)을 덮도록 봉지재(27)를 형성한다. 봉지재(27)가 형광체 및/또는 광산란제를 포함할 수 있음은 물론이다. 바람직하게는, 봉지재(27)의 일부를 제거하여 봉지재(27)의 측면이 노출되도록 한다. 이는 후술할 절단 공정에 도움을 주거나, 봉지재(27)가 반도체 발광소자 칩(20)의 형상을 따르게 하는 등을 위함이다. 봉지재(27)의 제거에는 커팅, Sawing 등의 방법이 사용될 수 있다. 또한 봉지재(27)로 반도체 발광소자 칩(20)을 덮기 전에, 제거될 봉지재(27)의 형태를 따라 틀을 미리 제1 기판(10)에 놓은 후, 봉지재(27)를 형성하는 방법도 사용할 수 있다. 각각의 전극(25,26)에 하나씩의 도전부(15)가 대응될 수도 있지만, 하나의 전극이 복수의 도전부(15)와 결합될 수 있음은 물론이다. 전극(25,26)과 도전부(15) 또는 전극(25,26)과 도전 패드(19)는 정렬된 후, 열압착을 통해 본딩될 수 있다.

- [72] 다음으로, 도 17에 도시된 바와 같이, 제2 기판(17)이 제1 기판(10)으로부터 분리되어 있다. 다음으로, 반도체 발광소자 칩(20)을 포함하도록 제1 기판(10)을 절단한다. 바람직하게는, 레이저(28)를 제1 기판(10) 내부로 조사하여 크랙(29)을 형성한 다음, 브레이킹 공정을 통해, 제1 기판(10)을 절단함으로써, 반도체 발광소자 칩(20) 및 봉지재(27)에 기계적, 화학적 및/또는 열적 손상을 줄여서, 제1 기판(10)을 절단할 수 있게 된다. 쏘잉과 같이 기계적인 절단 방법을 사용하는 경우에, 제2 기판(17)을 제1 기판(10)으로부터 분리하지 않고, 제1 기판(10)을 절단하는 것도 가능하다, 제2 기판(17)을 함께 절단하는 것도 가능하지만, 제1 기판(10)만 절단한 후 제2 기판(17)을 제거하는 것이 공정상 이점을 가진다. 제2 기판(17)을 제1 기판(10)으로부터 분리하는 과정에서, 결합층(18)을 에칭 등의 방법으로 제거함으로써, 양자를 분리하는 것도 가능하다. 도 17에 제시된 예에서, 제1 기판(10)의 제2 면(12)의 일부가 노출되어 있으며, 도전 패드(19)를 포함한 도전부(15)는 봉지재(27)에 의해 덮혀 있다.

- [73] 도 18은 본 개시에 따른 반도체 소자용 지지 기판의 또 다른 일 예 및 이를 제조하는 방법의 일 예를 나타내는 도면으로서, 반도체 소자용 지지 기판으로서

제1 기판(10)은 제1 면(11) 및 제1 면(11)에 대향하는 제2 면(12), 제1 면(11)으로부터 제1 기판(10) 내부로 뻗어 있는 홈(14), 그리고 홈(14)내에 삽입되어 고정되는 인서트(33)를 포함한다.

- [74] 한편, 고전력, 고온 및 고압 환경에서 반도체 소자(전력 소자 및 반도체 광소자(반도체 발광소자, 반도체 수광소자) 등))와 함께 제1 기판(10)이 사용되는 경우에, 제1 기판(10)의 재질에 따라 기생정전용량이 생겨 누설 전류가 흐를 수 있으며, 제1 기판(10)과 인서트(33) 간의 열팽창계수(CTE) 차이로 인해서 제1 기판(10) 깨지는 현상(Crack)이 쉽게 일어날 수 있다. 이러한 문제점은 고정 물질(34)로 SOC(Spin-on-Glass), BCB(Benzocyclobutene), PR(Photoresist), Epoxy-based Polymers, Silicone, Parylene, SU-8 등의 유기물계 저 유전 물질(low k dielectric)을 사용함으로써, 일부 개선할 수 있지만, 제1 기판(10)의 물질로서, 고출력 및 고온, 고압 환경에서 사용가능한 1500°C 이상의 녹는점을 갖는 전기절연성 산화물(Oxide; Al_2O_3 , ZnO), 전기절연성 질화물(Nitride; AlN , Si_3N_4 , GaN , AlGaN), 전기절연성 탄화물(Carbide; SiC , AlSiC)의 단결정(single crystalline), 다결정(poly crystalline), 소결 공정을 거쳐 만들어진 복합체(sintered composite)를 이용함으로써, 제1 기판(10)의 전기절연성을 통해 기생정전용량 발생 및 누설 전류를 방지하고, 높은 녹는점을 통해 고온에서도 안정적인 물성을 유지할 수 있게 되어, 인서트(33)와 고정 물질(34)로서 다양한 재질을 사용할 수 있는 이점을 가지게 된다.
- [75] 또한 단결정인 또는 투광성을 가지는 제1 기판(10)을 이용하는 경우에, 도 17에 제시된 것과 같이, 레이저를 제1 기판(10)의 내부에 조사하여, 절단하는 이점을 가질 수 있게 된다.
- [76] 도 19에 도시된 바와 같이, 인서트(33)를 홈(14)에 삽입하기에 앞서, 고정 물질(34)을 먼저 홈(14)에 형성하는 것도 가능하다. 이러한 방법의 이점은 레이저 드릴링 등에 의해 형성되는 홈(14)의 거친 표면을 덮은 상태에서 인서트(33)를 삽입할 수 있어, 인서트(33)의 삽입을 용이하게 할 수 있다는 것이다. 이후 인서트(33)가 삽입되고, 건조 또는 열처리를 통해, 인서트(33)가 고정 물질(34)과 함께 홈(14)에 고정될 수 있다.
- [77] 필요에 따라, 인서트(33)에 반도체 소자와의 안정적인 전기적 및/또는 물리적 접촉을 위해 패드(16; 전기 통로로 기능하는 경우에 도전 패드)가 구비될 수 있다. 마찬가지로, 도 15에 도시된 바와 같이, 연마를 거쳐 제2 면(12) 측에도 패드(19; 전기 통로로 기능하는 경우에 도전 패드)가 구비될 수 있다. 앞선 여러 공정들에 있어서, 제1 면(11) 측에 도 15에 도시된 바와 같은 제2 기판(17)이 사용될 수 있음은 물론이다(제2 면(12) 측에 제2 기판(17)을 구비할 수 있음도 물론이다). 고정 물질(34)의 형성 없이, 패드(16) 및/또는 패드(19)가 인서트(33)를 홈(14)에 고정하는 것도 가능하다.
- [78] 도 18 및 도 19에 제시된 지지 기판의 재질로서, 고출력 및 고온, 고압 환경에서 사용가능한 1500°C 이상의 녹는점을 갖는 전기절연성 산화물(Oxide; Al_2O_3 ,

ZnO), 전기절연성 질화물(Nitride; AlN, Si₃N₄, GaN, AlGaN), 전기절연성 탄화물(Carbide; SiC, AlSiC)의 단결정(single crystalline), 다결정(poly crystalline), 소결 공정을 거쳐 만들어진 복합체(sintered composite)가 특히 적합하며, 이는 지지되는 반도체 소자의 물질 구성, 열팽창 계수, 요구되는 전기적 및 방열적 사양 등에 의해 결정될 수 있다. 고출력 및 고온 고압 환경에서 사용가능한 1500°C 이상의 녹는점을 갖는 전기절연성 기판을 이용함으로써, 인서트(33)가 전기 통로로 기능하는 경우에, 인서트(33) 간의 발생된 기생정전용량으로 인해 기판(예: 실리콘 기판)을 통한 전기 누설 등에 대한 염려없이 지지 기판을 제조하는 것이 가능해진다. 참고로, 실리콘이 1414°C, Al₂O₃가 2040°C, AlN가 2200°C, SiC가 2500°C, Si₃N₄가 1900°C 정도의 녹는점을 가진다.

[79] 도 21은 본 개시에 따른 반도체 장치를 제조하는 방법의 또 다른 일 예를 나타내는 도면으로서, 반도체 발광소자를 예로 하여 설명한다. 성장 기판(21a)을 이용한 수직형 칩이 제1 기판(10)에 탑재되어 있다. 제2 전극(26)이 제2 반도체층(23)에 전기적으로 연결되어 있으며, 제2 전극(26)은 와이어를 통해 패드(19-1) 및 인서트(15-1)에 전기적으로 연결되어 있고, 제1 반도체층(22)은 성장 기판(21a)을 통해 패드(19-2) 및 인서트(15-2)에 전기적 연결되어 있다. 성장 기판(21a)의 하부에 별도의 전극이 구비될 수 있으며, 성장 기판(21a)과 수직형 칩은 통상의 방법을 통해 고정될 수 있다. 동일 부호에 대한 설명을 생략한다. 부가적으로 공정상 필요에 의해, 제2 기판(17)이 결합층(18)을 통해 제1 기판(10)의 패드(16) 측에 구비될 수 있다. 제2 기판(17)이 제1 기판의 패드(19) 측에 구비될 수 있음도 물론이다.

[80] 도 22는 본 개시에 따른 반도체 장치를 제조하는 방법의 또 다른 일 예를 나타내는 도면으로서, 반도체 발광소자를 예로 하여 설명한다. 성장 기판(21a)을 이용한 레터럴 칩이 제1 기판(10)에 탑재되어 있다. 제1 전극(25)은 제1 반도체층(22)에 전기적으로 연결되어 있으며, 제2 전극(26)은 제2 반도체층(23)에 전기적으로 연결되어 있다. 제1 전극(25)은 와이어를 통해 패드(19-2) 및 인서트(15-2)에 전기적으로 연결되어 있고, 제2 전극(26)은 와이어를 통해 패드(19-1) 및 인서트(15-1)에 전기적으로 연결되어 있다. 바람직하게는 패드(19-3) 및 인서트(15-3)가 추가로 구비되어, 반도체 칩으로부터의 방열 통로로 기능한다. 성장 기판(21a)이 도통가능한 경우에, 패드(19-3)와 성장 기판(21a) 사이에 별도의 절연층이 구비될 수 있으며, 패드(19-3)를 비도전성 물질로 대체하는 것도 가능하다.

[81] 이하에서, 본 개시에 따른 다양한 실시 형태를 설명한다.

[82] (1) 3족 질화물 반도체층 성장을 위한 템플릿에 있어서, 제1 면 및 제1 면에 대향하는 제2 면을 가지는 성장 기판;으로서, 제1 면으로부터 성장 기판 내부로 뻗어 있는 홈을 구비하는 성장 기판; 홈 내에 삽입되어 고정되는 방열용 인서트(insert); 그리고, 일부가 제거된 제1 면 상에 형성되는 씨앗층(nucleation layer);를 포함하는 것을 특징으로 하는 3족 질화물 반도체층 성장을 위한 템플릿.

여기서 제1 면의 일부가 제거된다는 것은 제1 면 표면의 제거하는 것 및/또는 제1 면으로부터 홈을 형성하는 것을 포함한다.

[83] (2) 방열용 인서트는 강자성 금속으로 이루어지는 것을 특징으로 하는 3족 질화물 반도체층 성장을 위한 템플릿.

[84] (3) 방열용 인서트는 본딩 와이어 형태인 것을 특징으로 하는 3족 질화물 반도체층 성장을 위한 템플릿.

[85] (4) 방열용 인서트는 금속 파우더, 합금 파우더 및 세라믹 파우더 중의 하나를 열처리하여 형성되는 것을 특징으로 하는 3족 질화물 반도체층 성장을 위한 템플릿.

[86] (5) 홈에 방열용 인서트를 고정하는 고정 물질;을 포함하는 것을 특징으로 하는 3족 질화물 반도체층 성장을 위한 템플릿.

[87] (6) 홈 내부에서 성장 기관과 고정 물질 사이에 또는 홈 내부에서 성장 기관과 방열용 인서트 사이에 위치하는 고반사성 물질;을 더 포함하는 것을 특징으로 하는 3족 질화물 반도체층 성장을 위한 템플릿.

[88] (7) 방열용 인서트는 제1 면으로부터 제2 면까지 이어져 있는 것을 특징으로 하는 3족 질화물 반도체층 성장을 위한 템플릿.

[89] (8) 방열용 인서트는 제1 면으로부터 제2 면에 이르지 않게 성장 기관의 내부로 이어져 있는 것을 특징으로 하는 3족 질화물 반도체층 성장을 위한 템플릿.

[90] (9) 씨앗층은 AIN 또는 AINO로 이루어지는 것을 특징으로 하는 3족 질화물 반도체층 성장을 위한 템플릿.

[91] (10) 제1 면에 돌기가 형성되어 있는 것을 특징으로 하는 3족 질화물 반도체층 성장을 위한 템플릿.

[92] (11) 3족 질화물 반도체 발광소자에 있어서, 제1 면 및 제1 면에 대향하는 제2 면을 가지는 성장 기관;으로서, 제1 면으로부터 성장 기관 내부로 뻗어 있는 홈을 구비하는 성장 기관; 홈 내에 삽입되어 고정되는 방열용 인서트(insert); 일부가 제거된 제1 면 상에 형성되는 씨앗층(nucleation layer); 그리고, 씨앗층 위에 성장되며, 순차로 제1 도전성을 가지는 제1 반도체층, 전자와 정공의 재결합을 통해 빛을 생성하는 활성층 및 제1 도전성과 다른 제2 도전성을 가지는 제2 반도체층을 가지는 복수의 3족 질화물 반도체층; 제2 반도체층에 전기적으로 연결되는 제1 전극; 그리고, 제1 반도체층에 전기적으로 연결되는 제2 전극;을 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

[93] (12) 제2 전극은 방열용 인서트를 통해 제1 반도체층에 전기적으로 연결되는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

[94] (13) 제2 전극은 성장 기관의 제2 면 측에 형성되는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

[95] (14) 식각되어 노출된 제1 반도체층 위에 구비되며, 방열용 인서트와 전기적으로 연결되는 오믹 전극;을 더 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

- [96] (15) 제1 전극은 방열용 인서트를 통해 제2 반도체층에 전기적으로 연결되는 것을 특징으로 하는 3족 질화물 반도체 발광소자.
- [97] (16) 성장 기관의 제2 면 측에 형성되며, 방열용 인서트를 통해 제1 전극과 전기적으로 연결되는 후면 전극;을 더 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자.
- [98] (17) 성장 기관에 추가의 홈이 형성되어 있으며, 추가의 홈에 삽입, 고정되는 추가의 방열용 인서트;를 포함하며, 성장 기관의 제2 면 측에 형성되며, 추가의 방열용 인서트를 통해 제1 전극과 전기적으로 연결되는 후면 전극;을 더 포함하고, 제2 전극은 성장 기관의 제2 면 측에 형성되어 방열용 인서트를 통해 제1 반도체층과 전기적으로 연결되는 것을 특징으로 하는 3족 질화물 반도체 발광소자.
- [99] (18) 제1 전극 및 제2 전극과 전기적으로 연결되지 않는 방열용 인서트;를 더 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자.
- [100] (19) 제1 전극은 제2 반도체층 위에 형성되어 있고, 제2 전극은 식각되어 노출된 제1 반도체층 위에 형성되어 있으며, 3족 질화물 반도체 발광소자는 플립칩인 것을 특징으로 하는 3족 질화물 반도체 발광소자.
- [101] (20) 활성층은 자외선을 발광하며, 씨앗층은 이 자외선을 흡수하지 않도록 Al을 구비하는 것을 특징으로 하는 3족 질화물 반도체 발광소자.
- [102] (21) 홈 내부에서 성장 기관과 인서트 사이에 위치하며, 활성층에서 생성된 빛이 인서트에 의해 흡수되는 것을 방지하는 고반사성 물질;을 더 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자.
- [103] (22) 성장 기관의 제1 면에 광 산란용 돌기가 형성되어 있는 것을 특징으로 하는 3족 질화물 반도체 발광소자.
- [104] (23) 3족 질화물 반도체층 성장을 위한 템플릿을 제조하는 방법에 있어서, 제1 면 및 제1 면에 대향하는 제2 면을 가지는 성장 기관에, 제1 면으로부터 성장 기관 내부로 뻗어 있는 홈을 형성하는 단계; 홈 내에 방열용 인서트(insert)를 삽입하는 단계; 그리고, 제1 면 상에 물리증착법(PVD; Physical Vapor Deposition)을 통해 씨앗층(nucleation layer)을 형성하는 단계;를 포함하는 것을 특징으로 하는 3족 질화물 반도체층 성장을 위한 템플릿을 제조하는 방법.
- [105] (24) 3족 질화물 반도체 발광소자를 제조하는 방법에 있어서, 제1 면 및 제1 면에 대향하는 제2 면을 가지는 성장 기관에, 제1 면으로부터 성장 기관 내부로 뻗어 있는 홈을 형성하는 단계; 홈 내에 방열용 인서트(insert)를 삽입하는 단계; 제1 면 상에 제1 증착법을 통해 씨앗층(nucleation layer)을 형성하는 단계; 씨앗층 위에, 제1 증착법과 다른 제2 증착법으로, 순차로 제1 도전성을 가지는 제1 반도체층, 전자와 정공의 재결합을 통해 빛을 생성하는 활성층 및 제1 도전성과 다른 제2 도전성을 가지는 제2 반도체층을 가지는 복수의 3족 질화물 반도체층을 성장시키는 단계; 그리고, 제2 반도체층에 제1 전극을, 제1 반도체층에 제2 전극을, 각각 전기적으로 연결하는 단계;를 포함하는 특징으로

하는 3족 질화물 반도체 발광소자를 제조하는 방법.

- [106] (25) 3족 질화물 반도체 발광소자를 제조하는 방법에 있어서, 제1 면 및 제1 면에 대향하는 제2 면을 가지는 성장 기관에, 복수의 3족 질화물 반도체층을 성장시키는 단계; 복수의 3족 질화물 반도체층의 일부를 제거한 후, 제1 면으로부터 성장 기관의 일부를 제거하여 성장 기관 내부로 뺀어 있는 홈을 형성하는 단계; 홈 내에 방열용 인서트(insert)를 삽입하는 단계; 그리고, 방열용 인서트와 복수의 3족 질화물 반도체층을 전기적으로 연결하는 단계;를 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자를 제조하는 방법.
- [107] (26) 복수의 3족 질화물 반도체층을 성장시키는 단계에 앞서, 성장 기관의 제1 면에 광 산란용 돌기를 형성하는 단계;를 더 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자를 제조하는 방법.
- [108] (27) 광 산란용 돌기를 형성하는 단계에서, 제1 면에서, 인서트가 형성될 영역을 제외하고, 광 산란용 돌기가 형성되는 것을 특징으로 하는 3족 질화물 반도체 발광소자를 제조하는 방법.
- [109] (28) 복수의 3족 질화물 반도체층을 성장시키는 단계에 앞서, 복수의 3족 질화물 반도체층과 다른 방법으로 형성되는 씨앗층(nucleation layer)을 제1 면에 형성하는 단계;를 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자를 제조하는 방법.
- [110] (29) 반도체 발광소자를 제조하는 방법에 있어서, 제1 면 및 제1 면에 대향하는 제2 면을 가지며, 제1 면 측으로부터 제2 면 측으로 향하는 제1 홈 및 제2 홈을 가지고, 제1 홈 및 제2 홈 각각에 도전부가 형성되어 열팽창시 제1 홈 및 제2 홈이 각각의 도전부의 열팽창을 제한할 수 있는 제1 기판을 준비하는 단계; 제1 면 측에서 결합층을 통해 제1 기판에 제2 기판을 결합하는 단계; 그리고, 성장 기관, 성장 기관에 성장되는 복수의 반도체층으로서, 제1 도전성을 가지는 제1 반도체층, 제1 도전성과 다른 제2 도전성을 가지는 제2 반도체층, 제1 반도체층과 제2 반도체층 사이에 개재되며 전자와 정공의 재결합을 통해 빛을 생성하는 활성층을 가지는 복수의 반도체층, 그리고 제1 반도체층과 제2 반도체층 각각에 전기적으로 연결되는 제1 전극 및 제2 전극을 가지는 반도체 발광소자 칩을 제2 면 측에서 제1 기판에 고정하는 단계;로서, 제1 전극 및 제2 전극 각각을 제1 홈의 도전부와 제2 홈의 도전부에 고정하는 단계;를 포함하는 것을 특징으로 하는 반도체 발광소자를 제조하는 방법.
- [111] 제1 기판(10)은 세라믹 기판, Al_2O_3 결정 기판, AlN 결정 기판, HTCC, LTCC, Al_2O_3 혼합물 또는 세라믹, $\text{Al}_2\text{O}_3\text{-ZrO}_2$ 혼합물 또는 세라믹, AlN 혼합물 또는 세라믹 등으로 이루어질 수 있다.
- [112] 도전부(15)를 홈(14)에 위치시킴으로써, 주로 금속 재질로 이루어지는 도전부(15)의 열팽창을 억제할 수 있다.
- [113] 제1 기판(10)의 두께는 $10\mu\text{m}$ 이상 $2000\mu\text{m}$ 인 것이 좋다. 너무 얇으면 지지 기판으로 역할하기가 쉽지 않기 때문이다. 바람직하게는 $30\mu\text{m}$ 에서 $500\mu\text{m}$ 의

두께를 가진다. 너무 두꺼우면 이후 연마 공정 등에서 불필요한 공정 시간을 초래한다.

- [114] 예를 들어, 홈(14)은 $30\mu\text{m}$ 폭을 가질 수 있으며, 그 길이는 전극(25,26)의 길이에 따라 달라질 수 있다. 하나의 전극(25)이 복수의 홈(14)에 대응할 수 있음은 물론이다. 홈(hole) 형태를 가지는 경우에, 한번의 길이가 $200\mu\text{m}$ 이하인 것이 적절하다. 홈(14)은 $30\mu\text{m}$ 이상 $200\mu\text{m}$ 이하의 폭을 가지는 것이 바람직하다. 지나치게 작으면 방열 특성이 나빠지고, 지나치게 커지면, 제1 기판(10)이 깨질 수 있다. 기본적으로 홈(14)의 크기를 전극(25,26)의 형상에 따라 달라질 수 있다. 예를 들어, 홈(14)의 깊이가 연마된 후의 제1 기판(10)의 두께보다 10% 정도 크게 되도록 형성할 수 있다.
- [115] 도전 패드(16)를 포함하는 도전부(15)는 예를 들어, E-Beam, Sputter를 이용하여 씨앗층(seed layer)을 형성한 다음, 도금을 통해 형성할 수 있다. 도금 물질로는 Cu, Ni, Au, Ag, In, Sn 등을 예로 들 수 있다. Ag, Cu계 전도성 paste를 이용하는 것도 가능하다. 이외에도, Graphite, CNT, AlN, SiC가 포함된 전기전도성 paste를 이용할 수 있다. 도전 패드(16)는 Au, Ag, Pt, Pd, Cu, Ni, Cr, Sn, In, Zn, Ti, TiW 중의 어느 하나 또는 이들의 조합으로 형성할 수 있으며, 이들 물질을 이용하여 복수의 층으로 형성될 수 있고, 도전부(15)와 함께 또는 별도로 형성하는 것이 가능하다. 또한 도전 패드(16)를 Ag, Cu계 전도성 페이스트로 형성하는 것도 가능하다. 도전부(15) 및/또는 도전 패드(16)를 제1 기판(10)과 제2 기판(17)을 결합한 다음 형성할 수 있음은 물론이다. 한편, 도금을 통해 통째로 도전부(15)의 일부를 형성한 다음, 남은 부분은 도전성 페이스트로 채우는 방법을 채택할 수 있다. 이는 도금 금속의 경우에 작은 전기저항을 가진다는 이점이 있지만, 도금 금속 자체가 열팽창을 하는 문제점이 있으므로, 도전성 페이스트와 함께 사용함으로써, 높은 전기전도도와 열팽창 억제를 함께 고려하기 위함이다.
- [116] 제2 기판(17)은 전기 절연성 물질로 형성할 수 있으며, 예를 들어, 유리, 사파이어, Al_2O_3 혼합물, $\text{Al}_2\text{O}_3\text{-ZrO}_2$ 혼합물, AlN 혼합물, 실리콘, 산화물 세라믹 등을 이용할 수 있다. 제2 기판(17)을 결합층(18)을 통해 제1 기판(10)에 결합할 수도 있지만, 제1 기판(10)에 제2 기판(17)을 증착 등의 방법으로 형성하는 방법도 있다. 이렇게 형성된 제2 기판(17)은 에칭을 통해 제거될 수 있다. 제2 기판(17)을 제1 기판(10)과 동일한 물질로 형성함으로써, 양자간 열팽창 계수를 맞출 수 있다. 예를 들어, 제1 기판(10)과 제2 기판(17) 모두를 사파이어로 형성할 수 있다.
- [117] 바람직하게는, 반도체 발광소자 칩(20)은 동일한 간격을 두고 고정된다.
- [118] 제1 전극(25)과 제2 전극(26) 사이에는 절연체가 구비될 수 있으며, thermo-set 또는 thermo-plastic 레진을 포함하고, phenol resin, epoxy resin, BT resin, PPA, Silicon resin 등으로 이루어질 수 있다.
- [119] (30) 고정하는 단계에 앞서, 제1 기판이 제2 기판에 고정된 상태에서 제1 기판의

두께를 감소시키는 단계;를 포함하는 것을 특징으로 하는 반도체 발광소자를 제조하는 방법.

[120] (31) 감소된 제1 기판의 두께는 $30\mu\text{m}$ 이상 $500\mu\text{m}$ 이하인 것을 특징으로 하는 반도체 발광소자를 제조하는 방법. 너무 얇으며 지지 기능을 하기 쉽지 않고, 너무 두꺼우면 절단 공정 등에서 어려움을 야기하고, 또한 도 15에서와 같이 패키지에 수용하기가 어려워질 수 있다.

[121] (32) 고정하는 단계에 앞서, 제2 면 측에서 도전부에 도전 패드를 형성하는 단계;를 더 포함하는 것을 특징으로 하는 반도체 발광소자를 제조하는 방법.

[122] 도전 패드(19)는 도금 또는 증착을 통해서 형성될 수 있다. 도전 패드(19)는 Au, Ag, Pt, Pd, Cu, Ni, Cr, Sn, In, Zn, Ti, TiW 중의 어느 하나 또는 이들의 조합으로 형성할 수 있으며, 이들 물질을 이용하여 복수의 층으로 형성될 수 있다. 또한 도전 패드(16)를 Ag, Cu계 전도성 페이스트로 형성하는 것도 가능하다. 도전 패드(19) 사이의 제1 기판(10)에는 반사층 또는 절연층(12a)을 구비할 수 있다. 반사층(12a)으로 기능하는 경우에, 반사율이 높은 Ag, Al, Rh, Cr, Ti, TiW, Au, DBR, OBR 으로 형성할 수 있다. 절연층(12a)으로 기능하는 경우에, SiO_2 , TiO_2 , ZrO_2 , Al_2O_3 , DBR, SOG(Spin On Gel), Epoxy, resin 등으로 형성할 수 있다. 반사층 또는 절연층(12a)이 양쪽의 위치하는 도전 패드(19)에 대한 절연층으로 기능하는 경우에, 도전 패드(19)의 높이보다 절연층(12a)의 높이가 더 높은 것이 바람직하다.

[123] (33) 제2 면 측에서, 반도체 발광소자 칩을 덮도록 봉지제를 형성하는 단계;를 더 포함하는 것을 특징으로 하는 반도체 발광소자를 제조하는 방법.

[124] 봉지제는 형광체 및/또는 광산란제를 포함할 수 있으며, 단층 또는 다층으로 구성될 수 있고, 각각의 층은 투명하거나, 종류를 달리하는 형광체 등을 함유할 수 있다.

[125] (34) 봉지제를 형성하는 단계는 봉지제의 측면을 노출하는 과정을 포함하는 것을 특징으로 하는 반도체 발광소자를 제조하는 방법.

[126] 예를 들어, 레이저, 다이싱, 커팅 공정 등을 통하여 봉지제(27)를 일부 제거할 수 있다.

[127] (35) 제2 기판을 제1 기판으로부터 분리하는 단계;를 더 포함하는 것을 특징으로 하는 것을 특징으로 하는 반도체 발광소자를 제조하는 방법.

[128] 폴리싱, 습식에칭 등을 이용하여 제2 기판(17)을 제거하는 것도 가능하며, 결합층(18) 또는 제2 기판(17)이 빛에 반응하는 물질로 이루어진 경우에, 광학적인 방법(빛)으로 제거하는 것도 가능하다.

[129] (36) 분리하는 단계는 결합층을 제거하는 과정을 포함하는 것을 특징으로 하는 반도체 발광소자를 제조하는 방법.

[130] 결합층(18)으로 테이프를 이용할 수 있다. 또한, 금속, 산화물, 질화물 등을 증착한 다음, 이를 에칭을 통해 제거하는 방식으로 결합층(18)을 구성할 수 있다. 결합층(18)을 열 박리, 열-화학 분해, 광-화학 분해, 광-열-화학 분해가능한

물지로 형성하는 것도 가능하다.

- [131] (37) 반도체 발광소자 칩을 포함하도록 제1 기판을 절단하는 단계;를 더 포함하는 것을 특징으로 하는 반도체 발광소자를 제조하는 방법.
- [132] 봉지재(27) 내에 반드시 하나의 반도체 발광소자 칩(20)이 놓일 필요는 없으며, 복수의 반도체 발광소자 칩(20)이 봉지재(27) 내에 구비될 수 있다. 복수의 반도체 발광소자 칩(20)이 반드시 동일한 색을 발광해야 하는 것은 아니며, 청색, 녹색, 자외선 등 다양한 색을 발광할 수 있다. 또한 ESD 보호소자를 함께 구비하는 것도 가능하다.
- [133] 절단에는 Laser Ablation, Dicing Saw 등이 이용될 수 있다.
- [134] (38) 절단하는 단계에 앞서, 제1 기판 내부에 크랙을 발생시키는 단계;를 더 포함하는 것을 특징으로 하는 반도체 발광소자를 제조하는 방법.
- [135] 소위 Stealth Laser를 이용하여 크랙을 형성할 수 있다.
- [136] (39) 도전부의 제1 면 측 및 도전부의 제2 면 측 중 적어도 하나에 도전 패드가 형성되어 있는 것을 특징으로 하는 반도체 발광소자를 제조하는 방법.
- [137] (40) 제1 전극 또는 제2 전극에 복수의 도전부가 고정되는 것을 특징으로 하는 반도체 발광소자를 제조하는 방법.
- [138] (41) 제2 면 측에서, 반도체 발광소자 칩을 덮도록 봉지재를 형성하는 단계; 그리고, 반도체 발광소자 칩을 포함하도록 제1 기판을 절단하는 단계;를 더 포함하며, 절단 후 제1 기판의 제2 면의 일부가 봉지재 없이 노출되어 있는 것을 특징으로 하는 반도체 발광소자를 제조하는 방법.
- [139] 노출될 영역의 길이는 100 μ m를 넘지 않는 것이 적절하다. 지나치게 넓으면 재료의 손실이 많아지고, Stealth Laser를 이용하는 경우에, 칩 간 거리가 30 μ m 정도면 공정이 가능하다.
- [140] (42) 제1 기판을 준비하는 단계에서, 도전부의 제1 면 측 및 도전부의 제2 면 측 중 적어도 하나에 도전 패드가 형성되는 것을 특징으로 하는 반도체 발광소자를 제조하는 방법.
- [141] (43) 제2 면 측에서, 반도체 발광소자 칩을 덮도록 봉지재를 형성하는 단계;를 더 포함하며, 봉지재를 형성하는 단계에 앞서, 제2 면 측에서 제1 기판에 반도체 발광소자 칩 옆에 댄을 형성하는 단계;를 더 포함하는 것을 특징으로 하는 반도체 발광소자를 제조하는 방법.
- [142] 댄(30)은 PR 및 Dry film을 활용할 수 있다. 반사막으로 기능하도록 할 수 있으며, EMC, White Silicone, TiO₂가 포함된 Silicone 등을 활용할 수 있다.
- [143] (44) 반도체 소자용 지지 기판을 제조하는 방법에 있어서, 제1 면 및 제2 면에 대향하는 제2 면을 가지는 제1 기판을 준비하는 단계; 제1 면으로부터 제2 면 측을 향하는 홈을 형성하는 단계; 홈에 인서트를 삽입 및 고정시켜 제1 기판을 관통하는 통로를 형성하는 단계;로서, 통로는 방열 통로 및 전기 통로 중 적어도 하나로 기능하는, 통로를 형성하는 단계;를 포함하는 것을 특징으로 하는 반도체 소자용 지지 기판을 제조하는 방법.

- [144] (45) 인서트는 고정 물질에 의해 홈에 고정되는 것을 특징으로 하는 반도체 소자용 지지 기판을 제조하는 방법.
- [145] (46) 인서트의 삽입에 앞서, 제1 면 측에서 고정 물질을 형성하는 단계;를 포함하는 것을 특징으로 하는 반도체 소자용 지지 기판을 제조하는 방법.
- [146] (47) 고정 물질은 접합성을 가지는 금속을 포함하는 것을 특징으로 하는 반도체 소자용 지지 기판을 제조하는 방법.
- [147] (48) 인서트의 삽입에 앞서, 홈에 고반사성 물질을 형성하는 단계;를 포함하는 것을 특징으로 하는 반도체 소자용 지지 기판을 제조하는 방법.
- [148] (49) 인서트는 고체상 와이어로부터 컷된 막대 형상을 가지는 것을 특징으로 하는 반도체 소자용 지지 기판을 제조하는 방법. 여기서, 인서트는 비록 μm -스케일의 크기를 가지지만, 홈은 폭보다 깊이가 긴 형상을 가지므로, 전체적으로 막대(rod) 형상이 할 수 있다.
- [149] (50) 인서트는 액체상의 연속적으로 이어진 와이어 형태로 홈에 삽입되는 것을 특징으로 하는 반도체 소자용 지지 기판을 제조하는 방법.
- [150] (51) 인서트는 홈에 파우더를 삽입한 후, 열처리를 통해 형성되는 것을 특징으로 하는 반도체 소자용 지지 기판을 제조하는 방법.
- [151] (52) 인서트 삽입 후, 제1 면 및 제2 면 중의 적어도 하나가 연마되는 것을 특징으로 하는 반도체 소자용 지지 기판을 제조하는 방법.
- [152] (53) 인서트의 삽입 및 고정 후, 제2 면이 연마되는 것을 특징으로 하는 반도체 소자용 지지 기판을 제조하는 방법.
- [153] (54) 인서트의 삽입에 앞서, 인서트가 고정 물질과 함께 제1 면 위에 놓여지는 것을 특징으로 하는 반도체 소자용 지지 기판을 제조하는 방법
- [154] (55) 제1 기판은 전기절연성 물질로 이루어지는 것을 특징으로 하는 반도체 소자용 지지 기판을 제조하는 방법.
- [155] (56) 전술한 실시예들의 조합.
- [156] 본 개시에 따른 하나의 3족 질화물 반도체층 성장을 위한 템플릿, 3족 질화물 반도체 발광소자 및 이들을 제조하는 방법에 의하면, 소자 내에 방열을 개선할 수 있게 된다.
- [157] 본 개시에 따른 다른 하나의 3족 질화물 반도체층 성장을 위한 템플릿, 3족 질화물 반도체 발광소자 및 이들을 제조하는 방법에 의하면, 다양한 형태로 제1 전극 및 제2 전극을 구성할 수 있게 되어, 패키지의 디자인에 융통성을 부여할 수 있게 된다.
- [158] 본 개시에 따른 하나의 반도체 소자용 지지 기판에 의하면, 반도체 소자 칩의 크랙 또는 깨짐을 방지할 수 있게 된다.
- [159] 본 개시에 따른 하나의 반도체 장치에 의하면, 반도체 소자 칩의 크랙 또는 깨짐을 방지할 수 있게 된다.
- [160] 본 개시에 따른 하나의 반도체 장치를 제조하는 방법에 의하면, 반도체 소자 칩의 크랙 또는 깨짐을 방지할 수 있게 된다.

- [161] 본 개시에 따른 하나의 반도체 소자용 지지 기판에 의하면, 지지 기판에 도금을 통해 전기 통로 또는 방열 통로를 형성할 때의 문제점을 개선할 수 있게 된다.
- [162] 본 개시에 따른 하나의 반도체 소자용 지지 기판에 의하면, 반도체 소자와의 열팽창 계수, 격자 상수 등을 적절히 일치시키는 한편, 지지 기판에 도금을 통해 전기 통로 또는 방열 통로를 형성할 때의 문제점을 개선할 수 있게 된다.

청구범위

- [청구항 1] 3족 질화물 반도체층 성장을 위한 템플릿에 있어서,
제1 면 및 제1 면에 대향하는 제2 면을 가지는 성장 기관;으로서,
제1 면으로부터 성장 기관 내부로 뻗어 있는 홈을 구비하는 성장
기관;
홈 내에 삽입되어 고정되는 방열용 인서트(insert); 그리고,
일부가 제거된 제1 면 상에 형성되는 씨앗층(nucleation layer);를
포함하는 것을 특징으로 하는 3족 질화물 반도체층 성장을 위한
템플릿.
- [청구항 2] 청구항 1에 있어서,
방열용 인서트는 강자성 금속으로 이루어지는 것을 특징으로 하는
3족 질화물 반도체층 성장을 위한 템플릿.
- [청구항 3] 청구항 1에 있어서,
방열용 인서트는 본딩 와이어 형태인 것을 특징으로 하는 3족
질화물 반도체층 성장을 위한 템플릿.
- [청구항 4] 청구항 1에 있어서,
방열용 인서트는 금속 파우더, 합금 파우더 및 세라믹 파우더 중의
하나를 열처리하여 형성되는 것을 특징으로 하는 3족 질화물
반도체층 성장을 위한 템플릿.
- [청구항 5] 청구항 1에 있어서,
홈에 방열용 인서트를 고정하는 고정 물질;을 포함하는 것을
특징으로 하는 3족 질화물 반도체층 성장을 위한 템플릿.
- [청구항 6] 청구항 5에 있어서,
홈 내부에서 성장 기관과 고정 물질 사이에 위치하는 고반사성
물질;을 더 포함하는 것을 특징으로 하는 3족 질화물 반도체층
성장을 위한 템플릿.
- [청구항 7] 청구항 1에 있어서,
방열용 인서트는 제1 면으로부터 제2 면까지 이어져 있는 것을
특징으로 하는 3족 질화물 반도체층 성장을 위한 템플릿.
- [청구항 8] 청구항 1에 있어서,
방열용 인서트는 제1 면으로부터 제2 면에 이르지 않게 성장
기관의 내부로 이어져 있는 것을 특징으로 하는 3족 질화물
반도체층 성장을 위한 템플릿.
- [청구항 9] 청구항 1에 있어서,
씨앗층은 AlN 또는 AlNO로 이루어지는 것을 특징으로 하는 3족
질화물 반도체층 성장을 위한 템플릿.
- [청구항 10] 청구항 1 내지 청구항 9 중의 어느 한 항에 있어서,

- 제1 면에 돌기가 형성되어 있는 것을 특징으로 하는 3족 질화물 반도체층 성장을 위한 템플릿.
- [청구항 11] 3족 질화물 반도체 발광소자에 있어서,
제1 면 및 제1 면에 대향하는 제2 면을 가지는 성장 기관;으로서,
제1 면으로부터 성장 기관 내부로 뻗어 있는 홈을 구비하는 성장 기관;
홈 내에 삽입되어 고정되는 방열용 인서트(insert);
일부가 제거된 제1 면 상에 형성되는 씨앗층(nucleation layer);
그리고,
씨앗층 위에 성장되며, 순차로 제1 도전성을 가지는 제1 반도체층,
전자와 정공의 재결합을 통해 빛을 생성하는 활성층 및 제1
도전성과 다른 제2 도전성을 가지는 제2 반도체층을 가지는
복수의 3족 질화물 반도체층;
제2 반도체층에 전기적으로 연결되는 제1 전극; 그리고,
제1 반도체층에 전기적으로 연결되는 제2 전극;을 포함하는 것을
특징으로 하는 3족 질화물 반도체 발광소자.
- [청구항 12] 청구항 11에 있어서,
제2 전극은 방열용 인서트를 통해 제1 반도체층에 전기적으로
연결되는 것을 특징으로 하는 3족 질화물 반도체 발광소자.
- [청구항 13] 청구항 12에 있어서,
제2 전극은 성장 기관의 제2 면 측에 형성되는 것을 특징으로 하는
3족 질화물 반도체 발광소자.
- [청구항 14] 청구항 13에 있어서,
식각되어 노출된 제1 반도체층 위에 구비되며, 방열용 인서트와
전기적으로 연결되는 오믹 전극;을 더 포함하는 것을 특징으로
하는 3족 질화물 반도체 발광소자.
- [청구항 15] 청구항 11에 있어서,
제1 전극은 방열용 인서트를 통해 제2 반도체층에 전기적으로
연결되는 것을 특징으로 하는 3족 질화물 반도체 발광소자.
- [청구항 16] 청구항 15에 있어서,
성장 기관의 제2 면 측에 형성되며, 방열용 인서트를 통해 제1
전극과 전기적으로 연결되는 후면 전극;을 더 포함하는 것을
특징으로 하는 3족 질화물 반도체 발광소자.
- [청구항 17] 청구항 11에 있어서,
성장 기관에 추가의 홈이 형성되어 있으며,
추가의 홈에 삽입, 고정되는 추가의 방열용 인서트;를 포함하며,
성장 기관의 제2 면 측에 형성되며, 추가의 방열용 인서트를 통해
제1 전극과 전기적으로 연결되는 후면 전극;을 더 포함하고,

- 제2 전극은 성장 기관의 제2 면 측에 형성되어 방열용 인서트를 통해 제1 반도체층과 전기적으로 연결되는 것을 특징으로 하는 3족 질화물 반도체 발광소자.
- [청구항 18] 청구항 11에 있어서,
제1 전극 및 제2 전극과 전기적으로 연결되지 않는 방열용 인서트;를 더 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자.
- [청구항 19] 청구항 11에 있어서,
제1 전극은 제2 반도체층 위에 형성되어 있고,
제2 전극은 식각되어 노출된 제1 반도체층 위에 형성되어 있으며,
3족 질화물 반도체 발광소자는 플립칩인 것을 특징으로 하는 3족 질화물 반도체 발광소자.
- [청구항 20] 청구항 11에 있어서,
활성층은 자외선을 발광하며,
씨앗층은 이 자외선을 흡수하지 않도록 Al을 구비하는 것을 특징으로 하는 3족 질화물 반도체 발광소자.
- [청구항 21] 청구항 11에 있어서,
홈 내부에서 성장 기관과 방열용 인서트 사이에 위치하며,
활성층에서 생성된 빛이 인서트에 의해 흡수되는 것을 방지하는 고반사성 물질;을 더 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자.
- [청구항 22] 청구항 11 내지 청구항 21 중의 어느 한 항에 있어서,
성장 기관의 제1 면에 광 산란용 돌기가 형성되어 있는 것을 특징으로 하는 3족 질화물 반도체 발광소자.
- [청구항 23] 3족 질화물 반도체층 성장을 위한 템플릿을 제조하는 방법에 있어서,
제1 면 및 제1 면에 대향하는 제2 면을 가지는 성장 기관에, 제1 면으로부터 성장 기관 내부로 뺀어 있는 홈을 형성하는 단계;
홈 내에 방열용 인서트(insert)를 삽입하는 단계; 그리고,
제1 면 상에 물리증착법(PVD; Physical Vapor Deposition)을 통해 씨앗층(nucleation layer)을 형성하는 단계;를 포함하는 것을 특징으로 하는 3족 질화물 반도체층 성장을 위한 템플릿을 제조하는 방법.
- [청구항 24] 3족 질화물 반도체 발광소자를 제조하는 방법에 있어서,
제1 면 및 제1 면에 대향하는 제2 면을 가지는 성장 기관에, 제1 면으로부터 성장 기관 내부로 뺀어 있는 홈을 형성하는 단계;
홈 내에 방열용 인서트(insert)를 삽입하는 단계;
제1 면 상에 제1 증착법을 통해 씨앗층(nucleation layer)을

형성하는 단계;

씨앗층 위에, 제1 증착법과 다른 제2 증착법으로, 순차로 제1 도전성을 가지는 제1 반도체층, 전자와 정공의 재결합을 통해 빛을 생성하는 활성층 및 제1 도전성과 다른 제2 도전성을 가지는 제2 반도체층을 가지는 복수의 3족 질화물 반도체층을 성장시키는 단계; 그리고,

제2 반도체층에 제1 전극을, 제1 반도체층에 제2 전극을, 각각 전기적으로 연결하는 단계;를 포함하는 특징으로 하는 3족 질화물 반도체 발광소자를 제조하는 방법.

[청구항 25]

3족 질화물 반도체 발광소자를 제조하는 방법에 있어서, 제1 면 및 제1 면에 대향하는 제2 면을 가지는 성장 기관에, 복수의 3족 질화물 반도체층을 성장시키는 단계;

복수의 3족 질화물 반도체층의 일부를 제거한 후, 제1 면으로부터 성장 기관의 일부를 제거하여 성장 기관 내부로 뻗어 있는 홈을 형성하는 단계;

홈 내에 방열용 인서트(insert)를 삽입하는 단계; 그리고,

방열용 인서트와 복수의 3족 질화물 반도체층을 전기적으로 연결하는 단계;를 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자를 제조하는 방법.

[청구항 26]

청구항 25에 있어서,

복수의 3족 질화물 반도체층을 성장시키는 단계에 앞서, 성장 기관의 제1 면에 광 산란용 돌기를 형성하는 단계;를 더 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자를 제조하는 방법.

[청구항 27]

청구항 26에 있어서,

광 산란용 돌기를 형성하는 단계에서, 제1 면에서, 인서트가 형성될 영역을 제외하고, 광 산란용 돌기가 형성되는 것을 특징으로 하는 3족 질화물 반도체 발광소자를 제조하는 방법.

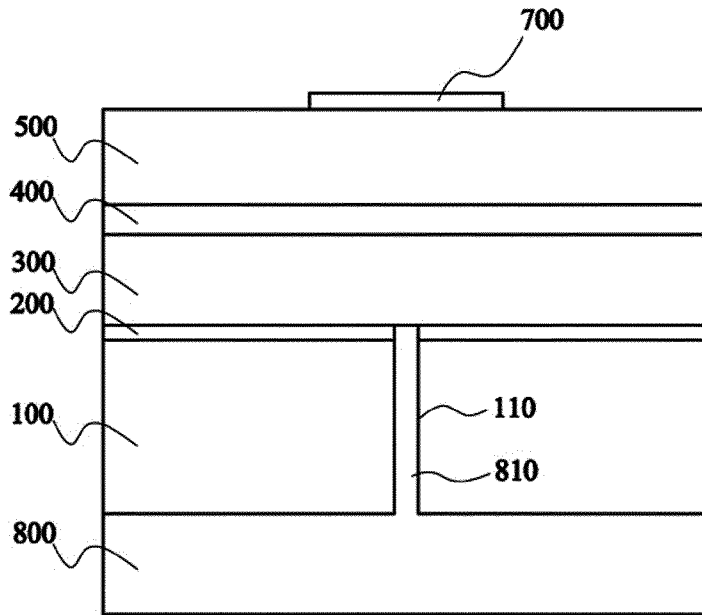
[청구항 28]

청구항 25 내지 청구항 27 중의 어느 한 항에 있어서,

복수의 3족 질화물 반도체층을 성장시키는 단계에 앞서, 복수의 3족 질화물 반도체층과 다른 방법으로 형성되는 씨앗층(nucleation layer)을 제1 면에 형성하는 단계;를 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자를 제조하는 방법.

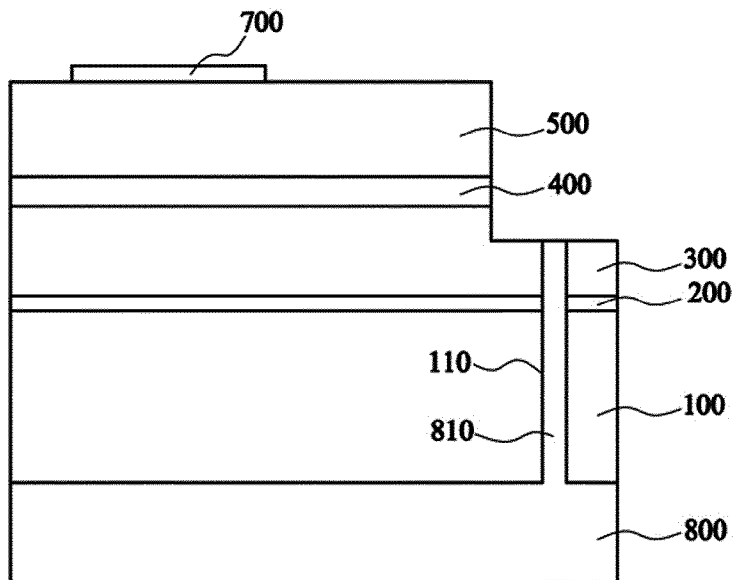
[Fig. 1]

Prior Art

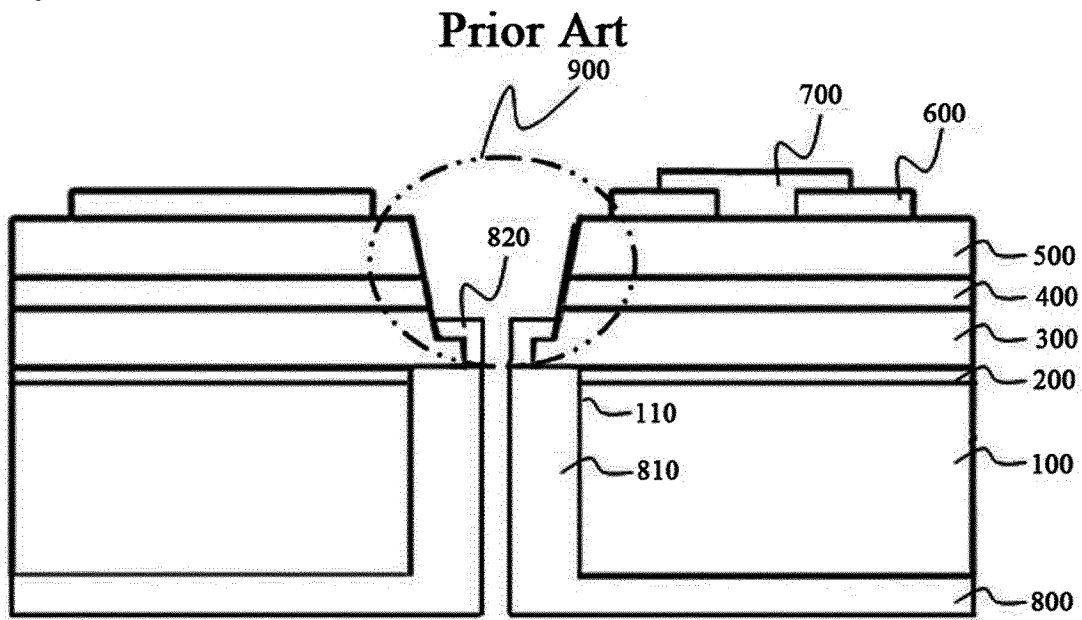


[Fig. 2]

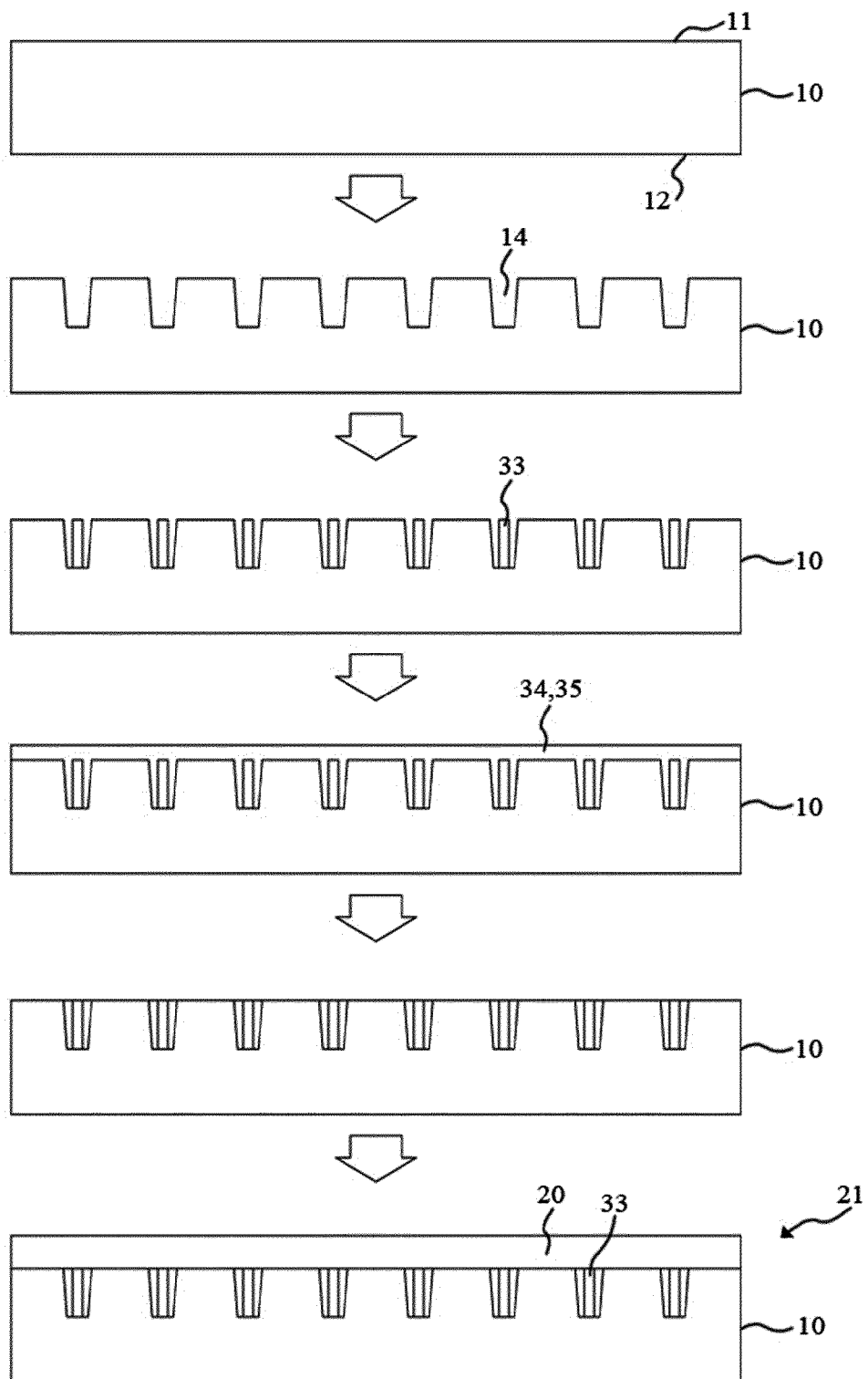
Prior Art



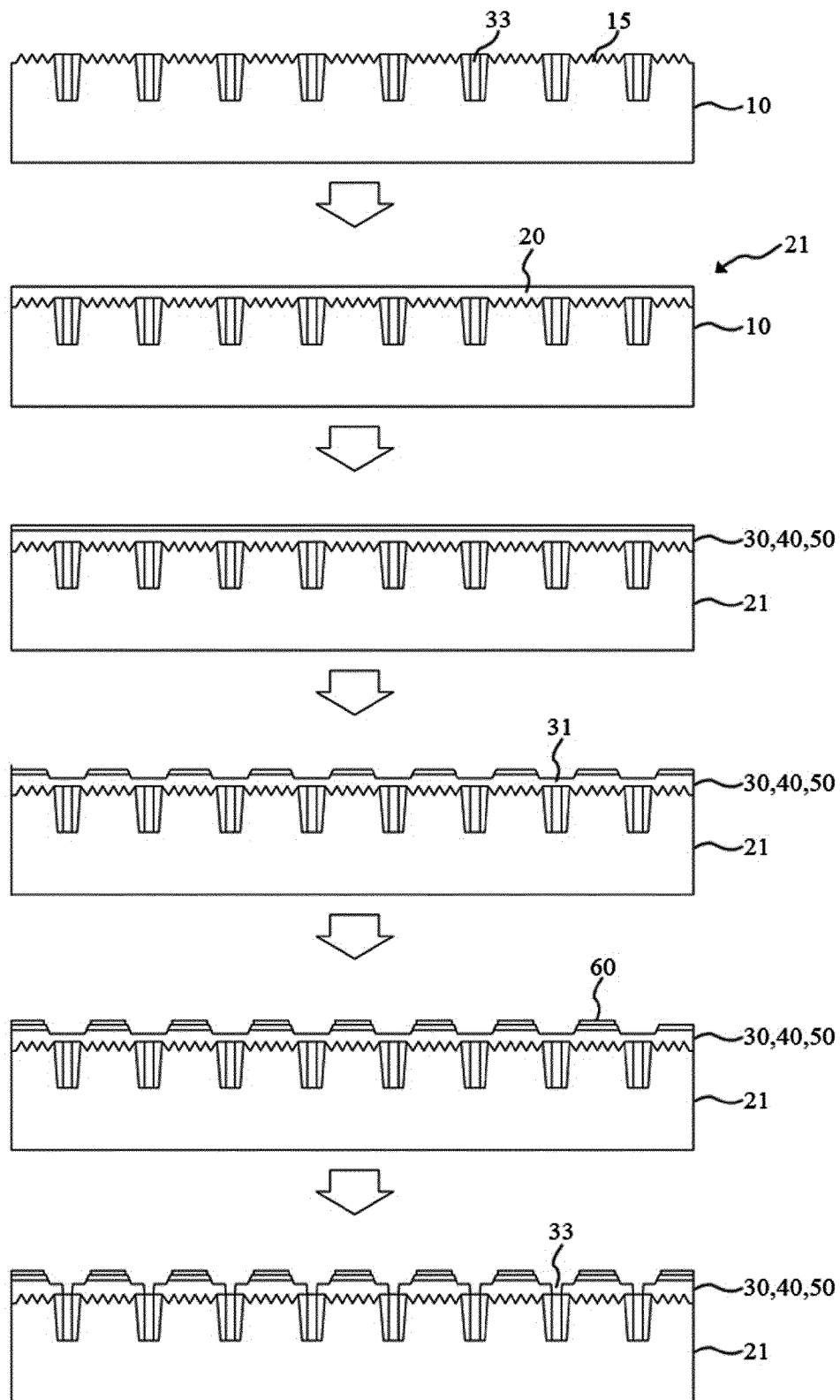
[Fig. 3]



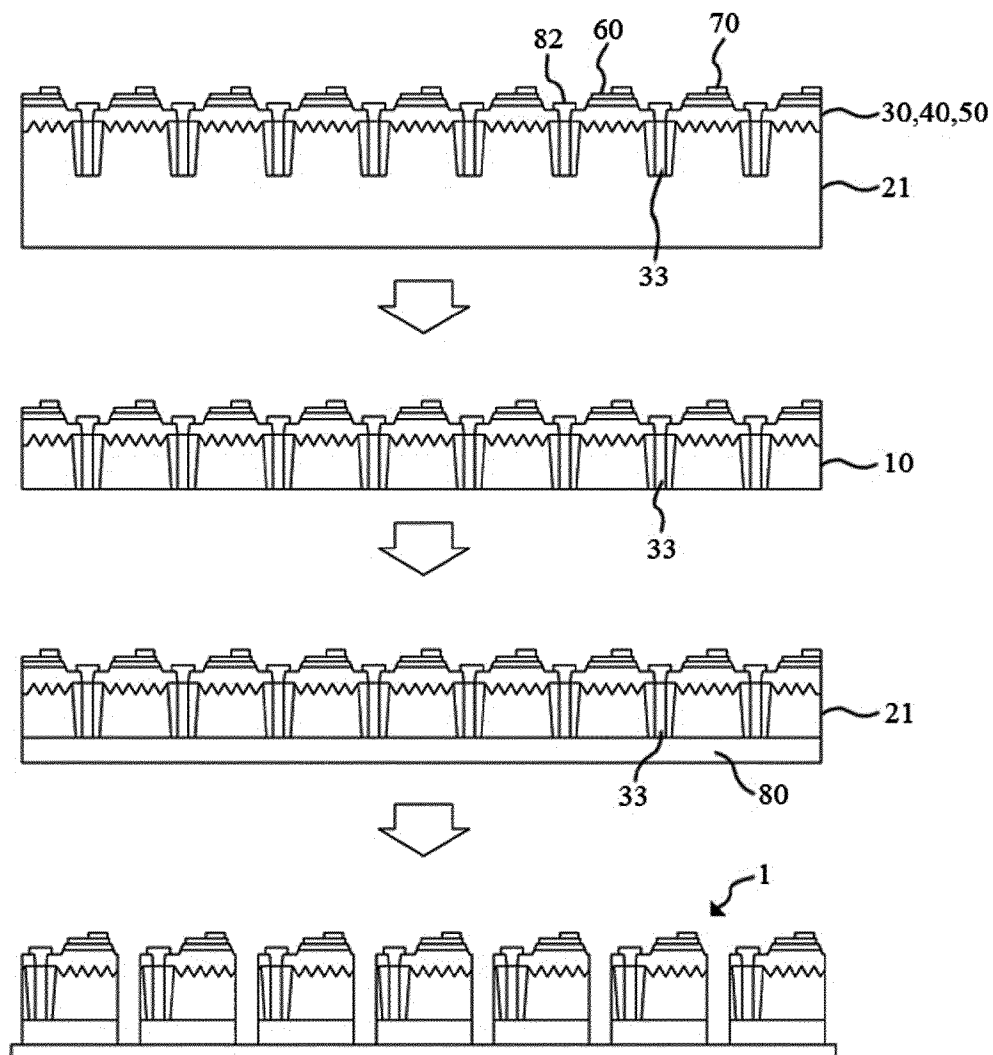
[Fig. 4]



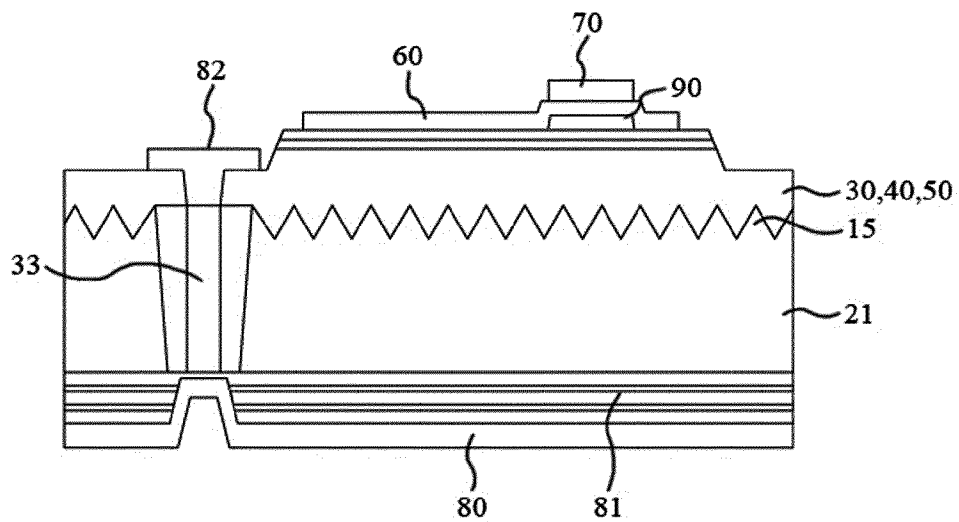
[Fig. 5]



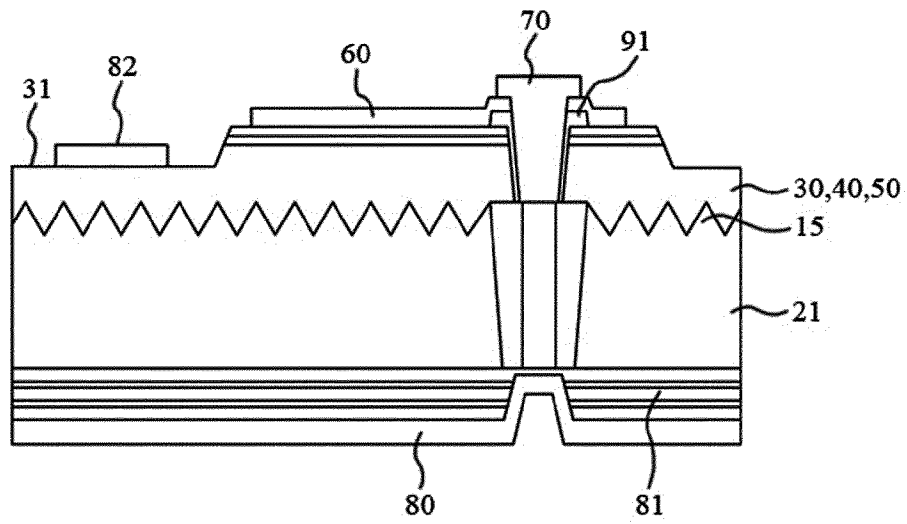
[Fig. 6]



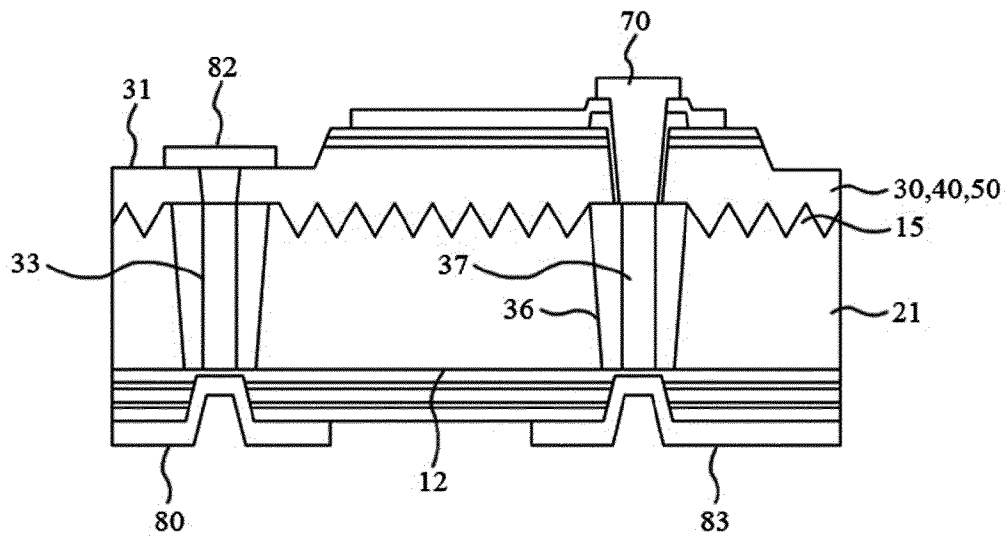
[Fig. 7]



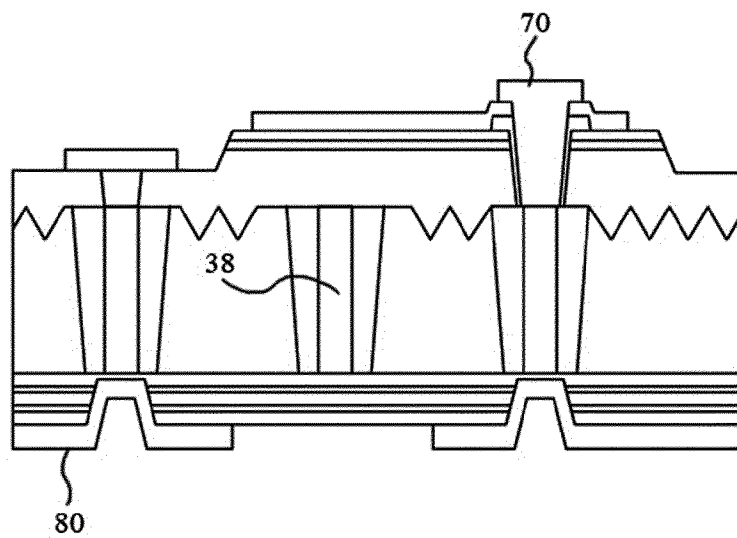
[Fig. 8]



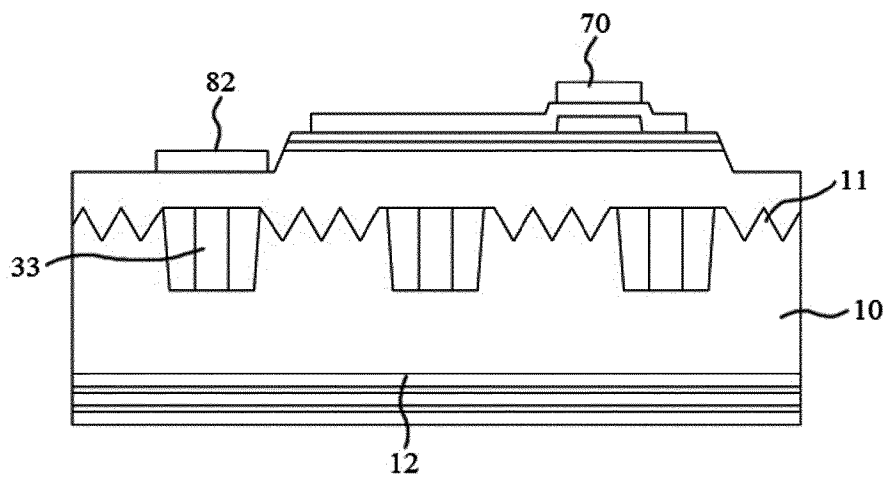
[Fig. 9]



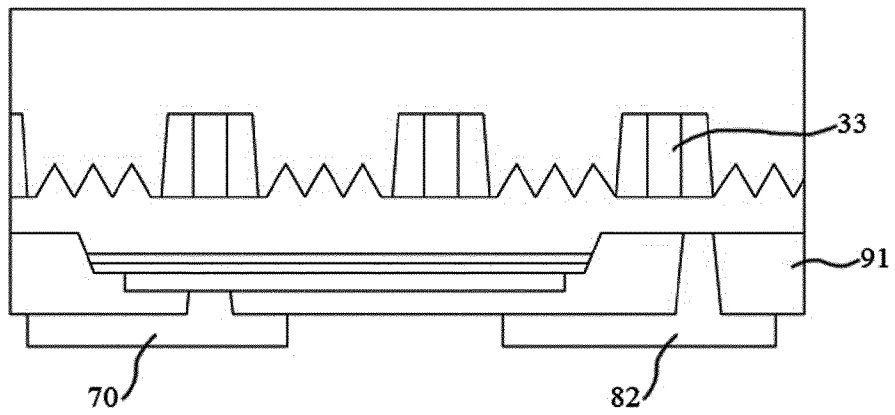
[Fig. 10]



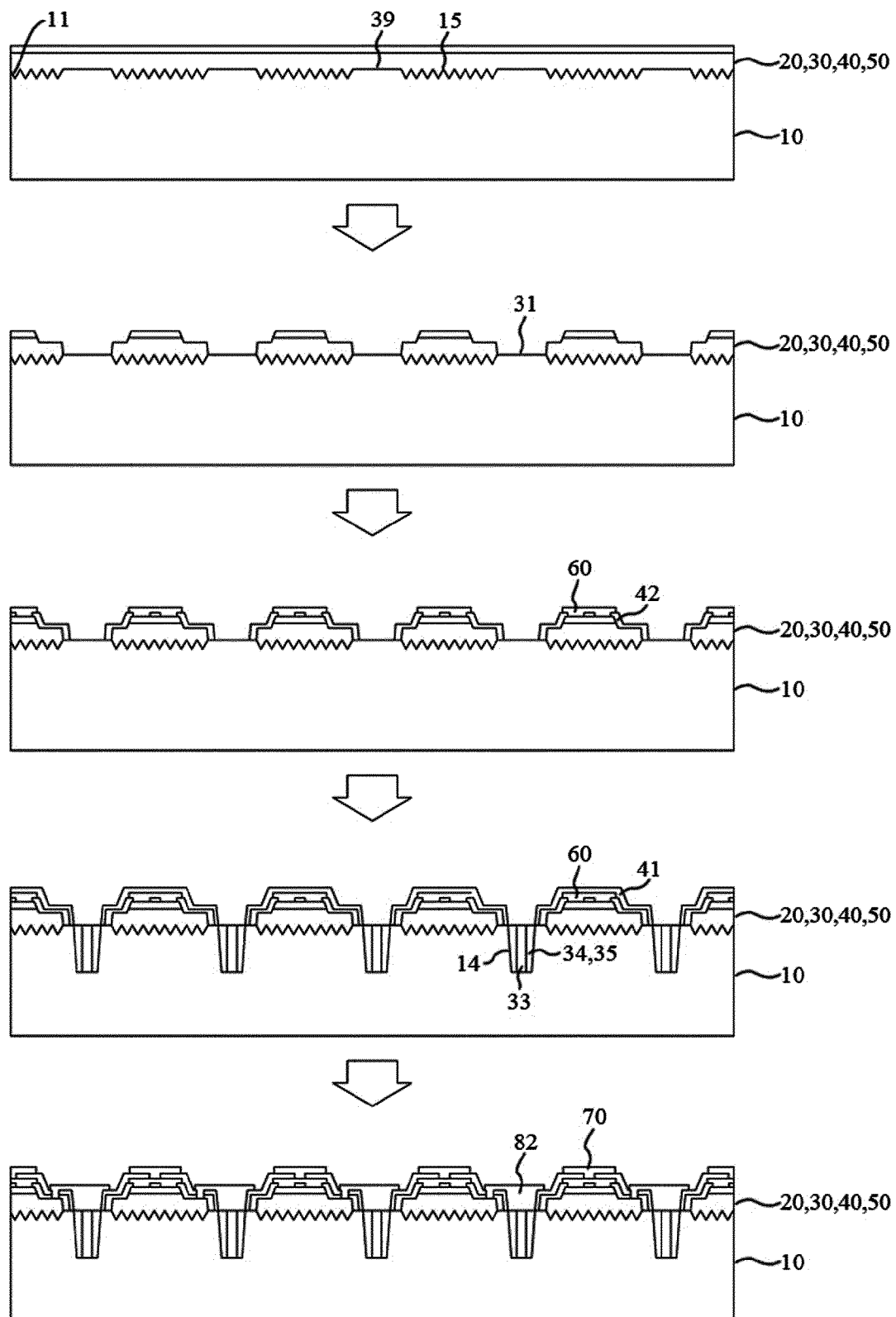
[Fig. 11]



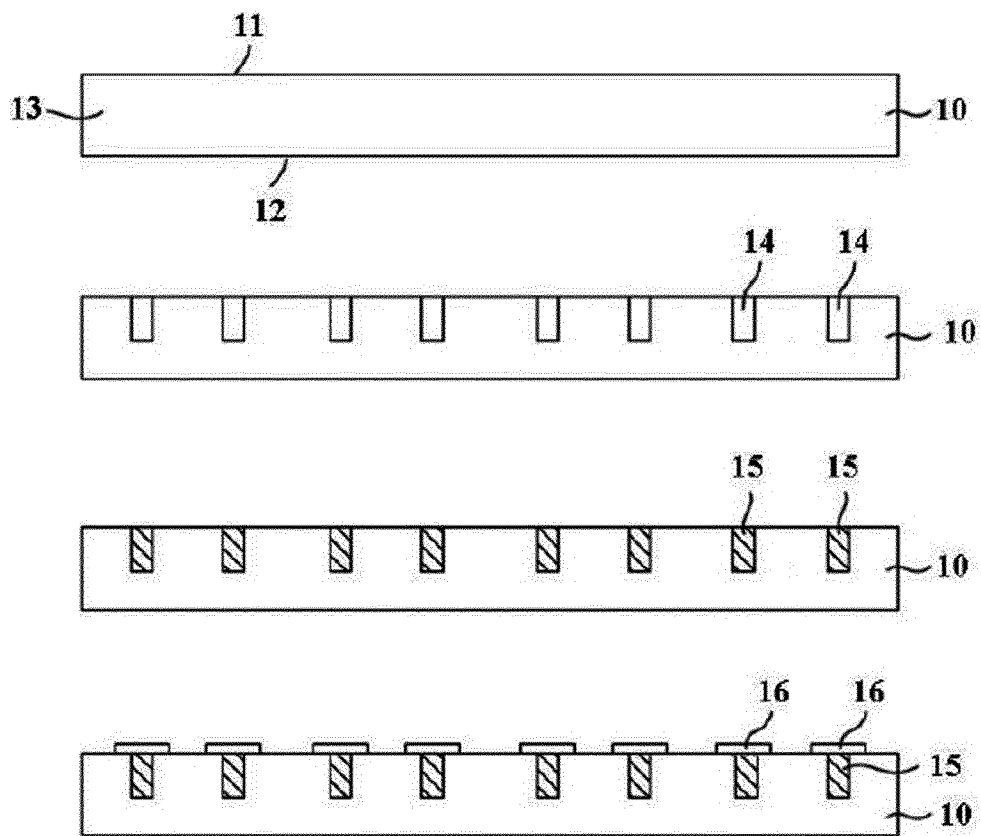
[Fig. 12]



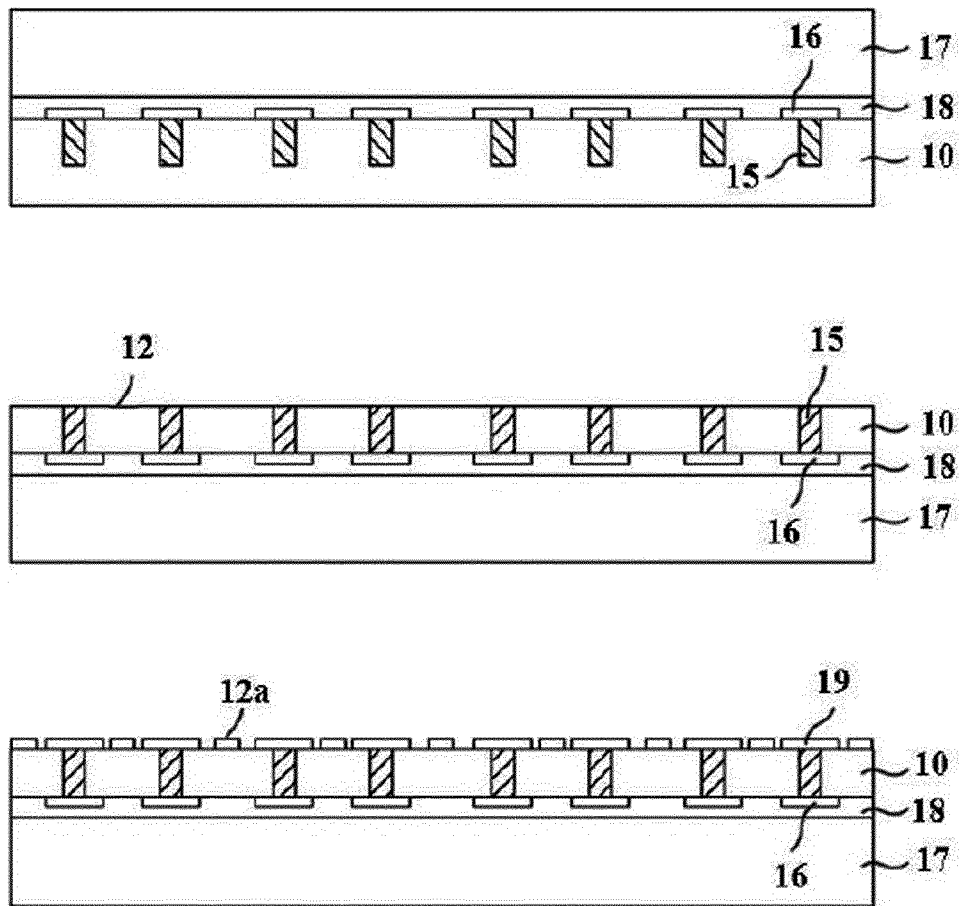
[Fig. 13]



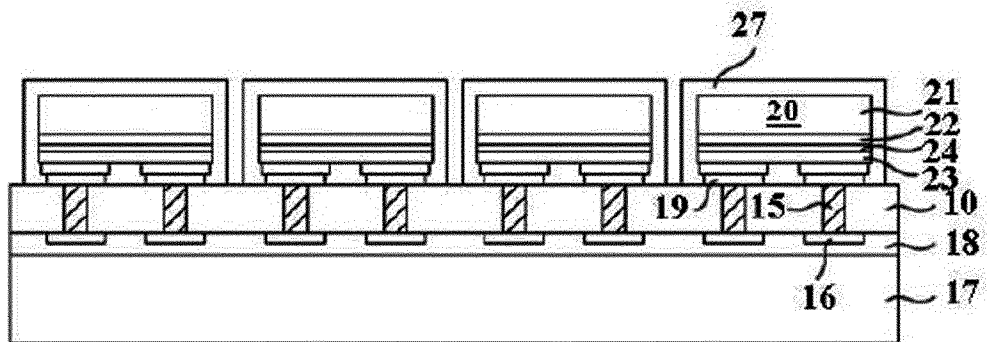
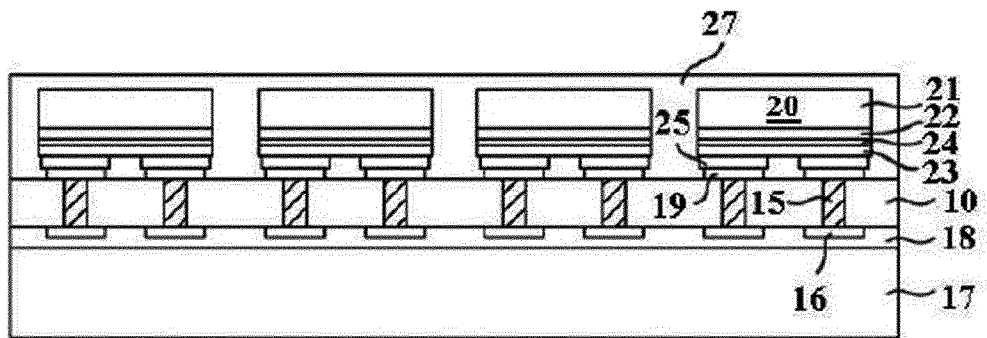
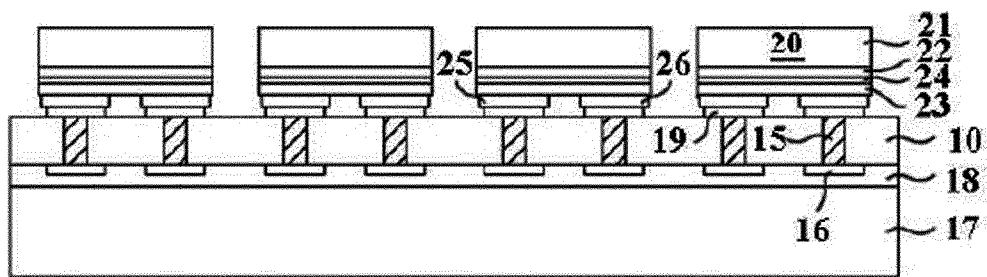
[Fig. 14]



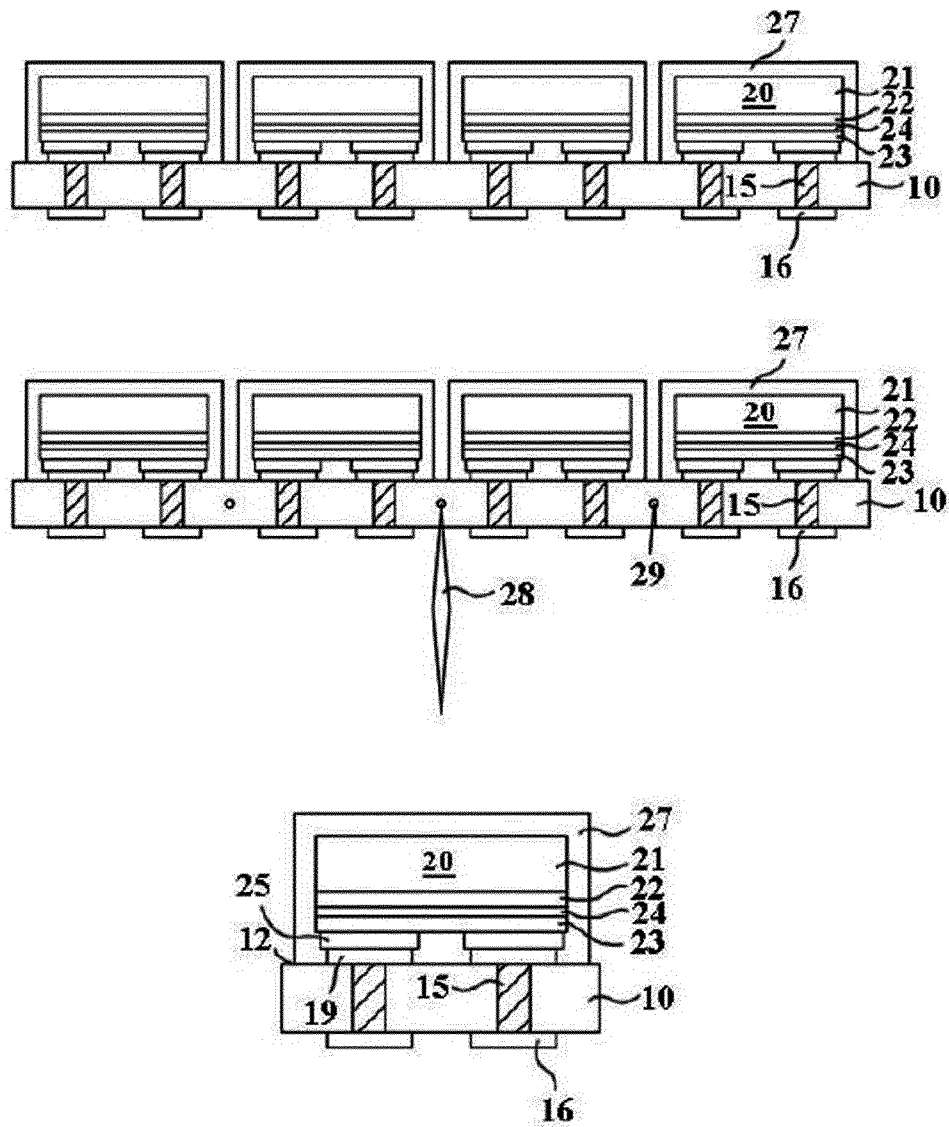
[Fig. 15]



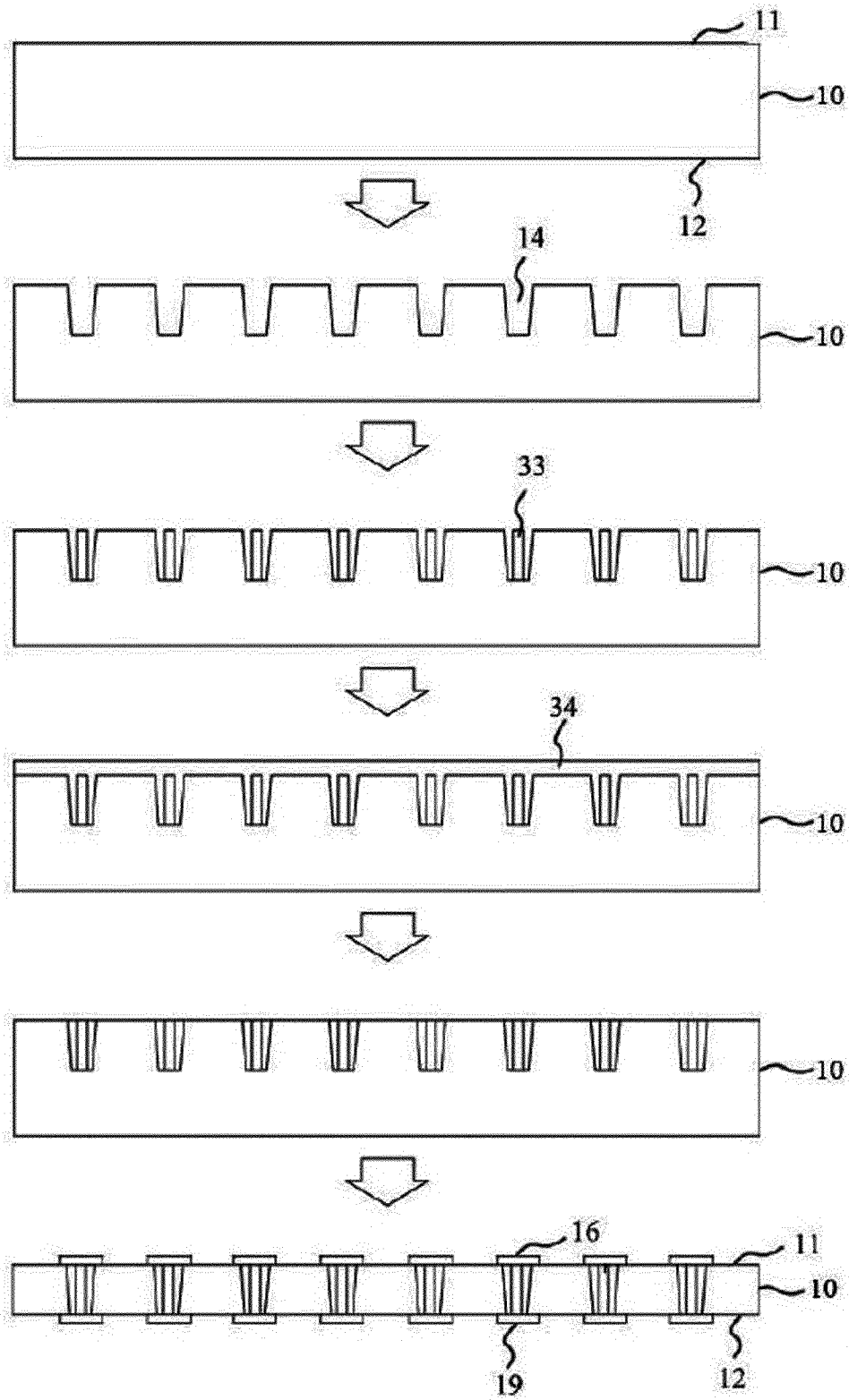
[Fig. 16]



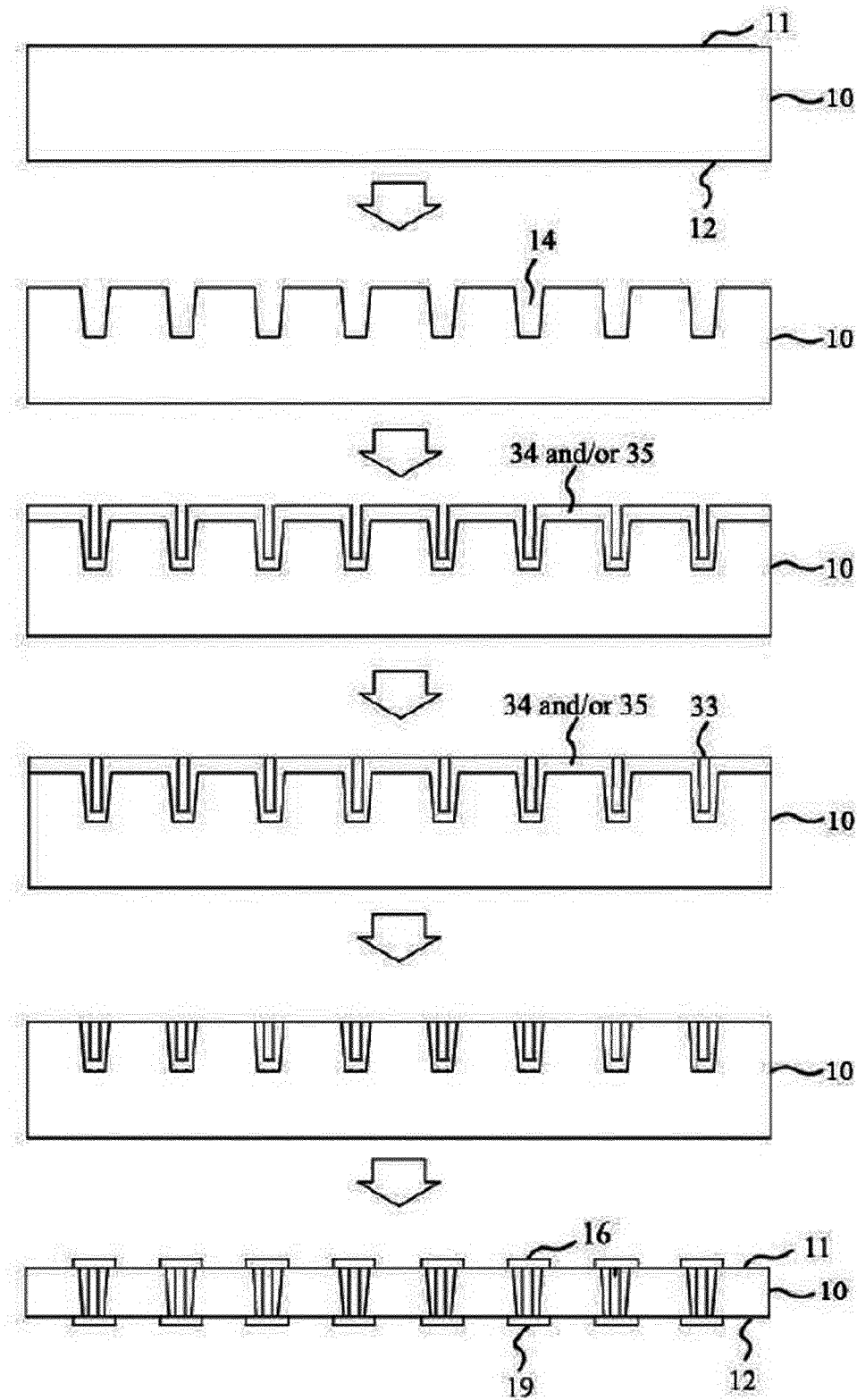
[Fig. 17]



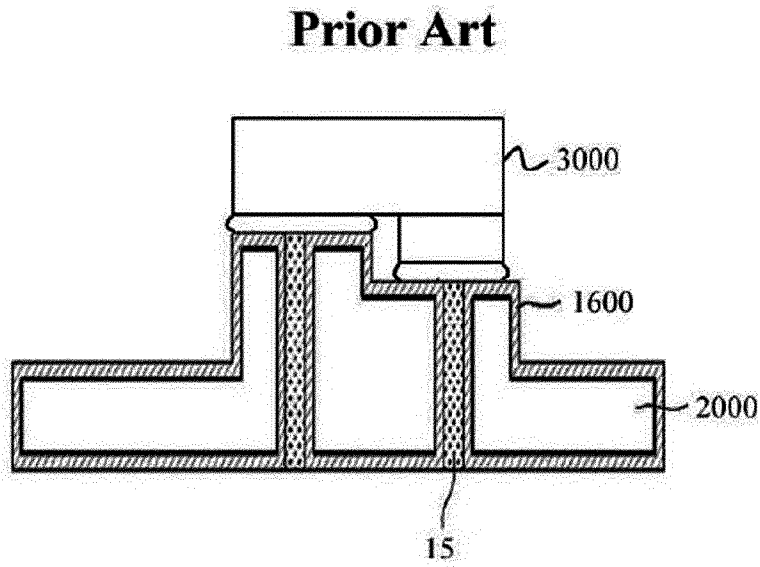
[Fig. 18]



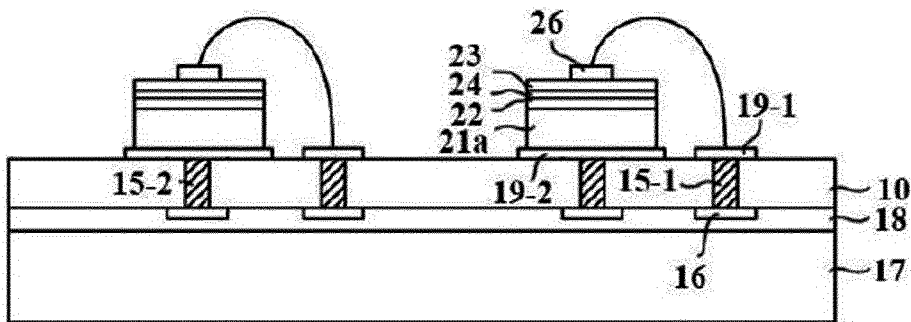
[Fig. 19]



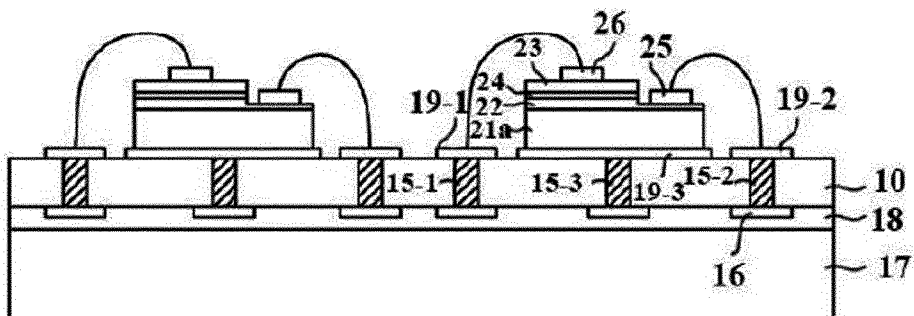
[Fig. 20]



[Fig. 21]



[Fig. 22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/004556

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/14(2006.01)i, H01L 21/48(2006.01)i, H01L 23/498(2006.01)i, H01L 33/48(2010.01)i, H01L 21/78(2006.01)i, H01L 23/00(2006.01)i, H01L 33/00(2010.01)i, H01L 33/02(2010.01)i, H01L 33/64(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 23/14; H01L 33/20; H01L 33/30; H01L 33/10; H01L 33/64; H01L 33/38; H01L 21/48; H01L 23/498; H01L 33/48; H01L 21/78; H01L 23/00; H01L 33/00; H01L 33/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: III-nitride, light emitting diode, seed layer, heat radiation, nucleation layer, cooling insert, growing, LED

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2015-0112485 A (INTELLECTUAL DISCOVERY CO., LTD.) 07 October 2015 See claim 6 and figure 2.	1,3-4,7-8,11,18 ,23-24
Y		2,5-6,9-10,12-17 ,19-22
A		25-28
Y	US 3736651 A (LAW, John M. et al.) 05 June 1973 See column 1 line 56-column 2 line 2, column 4 line 48-column 5 line 9 and figures 1-8.	2
X	KR 10-2011-0078632 A (SEMICON. LIGHT CO., LTD.) 07 July 2011 See paragraphs [0022]-[0030], claims 1-4 and figures 4-6.	25,28
Y		5-6,12-14,21,26-27
Y	KR 10-2016-0022460 A (SOFT-EPI INC.) 02 March 2016 See paragraphs [0013]-[0016] and figures 4-7.	9-10,20,22,26-27
Y	KR 10-2010-0034797 A (EPIVALLEY CO., LTD.) 02 April 2010 See claim 1 and figure 3.	15-17,19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

18 AUGUST 2017 (18.08.2017)

Date of mailing of the international search report

18 AUGUST 2017 (18.08.2017)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/004556

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2015-0112485 A	07/10/2015	NONE	
US 3736651 A	05/06/1973	DE 02241905 A1 FR 2150925 A1 IT 959913 B JP 48-034486 A US 3808681 A	08/03/1973 13/04/1973 10/11/1973 18/05/1973 07/05/1974
KR 10-2011-0078632 A	07/07/2011	KR 10-1032987 B1 KR 10-1069362 B1 KR 10-1084641 B1 KR 10-1090178 B1 KR 10-1124470 B1 KR 10-1124474 B1 KR 10-1147715 B1 US 2012-0193674 A1 US 8431939 B2 WO 2011-040703 A2 WO 2011-040703 A3	09/05/2011 30/09/2011 17/11/2011 06/12/2011 16/03/2012 16/03/2012 23/05/2012 02/08/2012 30/04/2013 07/04/2011 26/05/2011
KR 10-2016-0022460 A	02/03/2016	KR 10-1645574 B1 WO 2016-028079 A1	16/08/2016 25/02/2016
KR 10-2010-0034797 A	02/04/2010	CN 102203968 A KR 10-0981275 B1 US 2010-0096651 A1 US 8120047 B2 WO 2010-036055 A2 WO 2010-036055 A3	28/09/2011 10/09/2010 22/04/2010 21/02/2012 01/04/2010 08/07/2010

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 23/14(2006.01)i, H01L 21/48(2006.01)i, H01L 23/498(2006.01)i, H01L 33/48(2010.01)i, H01L 21/78(2006.01)i, H01L 23/00(2006.01)i, H01L 33/00(2010.01)i, H01L 33/02(2010.01)i, H01L 33/64(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 23/14; H01L 33/20; H01L 33/30; H01L 33/10; H01L 33/64; H01L 33/38; H01L 21/48; H01L 23/498; H01L 33/48; H01L 21/78; H01L 23/00; H01L 33/00; H01L 33/02

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 3족 질화물, 발광소자, 씨앗층, 방열, nucleation layer, cooling insert, growing, LED

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2015-0112485 A (인텔렉추얼디스커버리 주식회사) 2015.10.07 청구항 6 및 도면 2 참조.	1,3-4,7-8,11,18 ,23-24
Y		2,5-6,9-10,12-17 ,19-22
A		25-28
Y	US 3736651 A (JOHN M. LAW 등) 1973.06.05 컬럼 1 라인 56 - 컬럼 2 라인 2, 컬럼 4 라인 48 - 컬럼 5 라인 9 및 도면 1-8 참조.	2
X	KR 10-2011-0078632 A (주식회사 세미콘라이트) 2011.07.07 단락 [0022]-[0030], 청구항 1-4 및 도면 4-6 참조.	25,28
Y		5-6,12-14,21,26-27
Y	KR 10-2016-0022460 A (주식회사 소프트에피) 2016.03.02 단락 [0013]-[0016] 및 도면 4-7 참조.	9-10,20,22,26-27
Y	KR 10-2010-0034797 A (주식회사 에피밸리) 2010.04.02 청구항 1 및 도면 3 참조.	15-17,19

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 08월 18일 (18.08.2017)

국제조사보고서 발송일

2017년 08월 18일 (18.08.2017)

ISA/KR의 명칭 및 우편주소



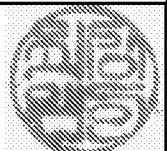
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

최상원

전화번호 +82-42-481-8291



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2015-0112485 A	2015/10/07	없음	
US 3736651 A	1973/06/05	DE 02241905 A1 FR 2150925 A1 IT 959913 B JP 48-034486 A US 3808681 A	1973/03/08 1973/04/13 1973/11/10 1973/05/18 1974/05/07
KR 10-2011-0078632 A	2011/07/07	KR 10-1032987 B1 KR 10-1069362 B1 KR 10-1084641 B1 KR 10-1090178 B1 KR 10-1124470 B1 KR 10-1124474 B1 KR 10-1147715 B1 US 2012-0193674 A1 US 8431939 B2 WO 2011-040703 A2 WO 2011-040703 A3	2011/05/09 2011/09/30 2011/11/17 2011/12/06 2012/03/16 2012/03/16 2012/05/23 2012/08/02 2013/04/30 2011/04/07 2011/05/26
KR 10-2016-0022460 A	2016/03/02	KR 10-1645574 B1 WO 2016-028079 A1	2016/08/16 2016/02/25
KR 10-2010-0034797 A	2010/04/02	CN 102203968 A KR 10-0981275 B1 US 2010-0096651 A1 US 8120047 B2 WO 2010-036055 A2 WO 2010-036055 A3	2011/09/28 2010/09/10 2010/04/22 2012/02/21 2010/04/01 2010/07/08