



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0026518
(43) 공개일자 2025년02월25일

(51) 국제특허분류(Int. Cl.)
H10B 43/30 (2023.01) H10F 30/28 (2025.01)
H10K 30/65 (2023.01)
(52) CPC특허분류
H10B 43/30 (2023.02)
H10F 30/2863 (2025.01)
(21) 출원번호 10-2023-0107527
(22) 출원일자 2023년08월17일
심사청구일자 2023년08월17일

(71) 출원인
국립한밭대학교 산학협력단
대전광역시 유성구 동서대로 125 (덕명동)
(72) 발명자
김민희
대전광역시 유성구 은구비남로 55, 707동 502호
(지족동, 열매마을7단지)
심은선
충청남도 천안시 서북구 시청로 73, 206동 1204호
(불당동, 불당마을동일하이빌아파트)
(74) 대리인
특허법인오암

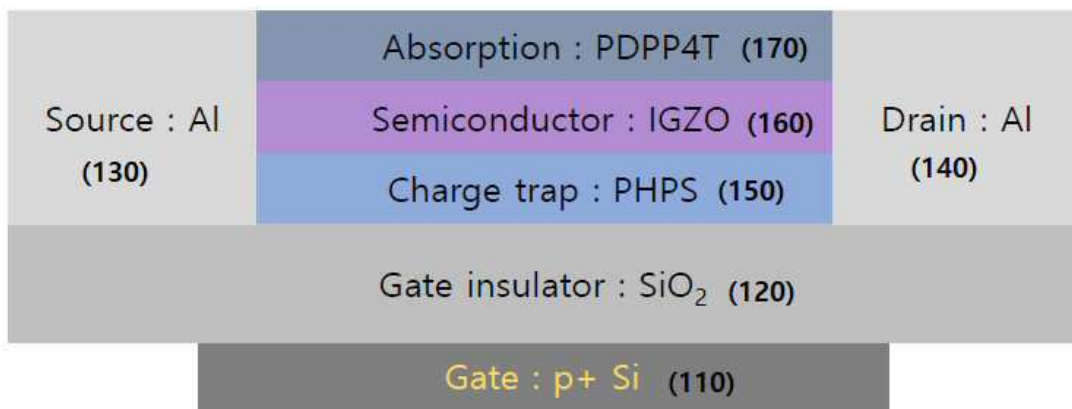
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 광대역 포토트랜지스터 메모리소자

(57) 요약

본 발명은 광대역 포토트랜지스터 메모리소자에 관한 것으로, 게이트전극; 상기 게이트전극의 상부에 구비되는 게이트절연층; 상기 게이트절연층의 상부 일측부에 구비되는 소스전극; 상기 게이트절연층의 상부 타측부에 구비되는 드레인전극; 상기 게이트절연층의 상부에 구비되어 전하를 저장하는 전하트랩층; 상기 전하트랩층의 상부에 구비되어 상기 소스전극에서 상기 드레인전극으로 상기 전하를 수송하는 전류구동층; 및 상기 전류구동층의 상부에 구비되어 조사되는 빛을 감지하는 광감지층; 을 포함함으로써, 광 감지와 정보 저장을 공간적으로 분리하여 조사되는 빛의 세기에 따라 전속분포가 변화하여 저장되는 전하의 양이 달라지도록 하여 소자 성능을 향상시킬 수 있다.

대표도 - 도2



(52) CPC특허분류

H10K 30/65 (2023.02)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711197309
과제번호	00241828
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)
연구과제명	구조적 접근을 통한 고성능 광시냅스 포토트랜지스터메모리 개발
기 여 율	1/2
과제수행기관명	한밭대학교
연구기간	2023.06.01 ~ 2024.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호	1345364729
과제번호	2018R1A6A1A03026005
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	이공학학술연구기반구축
연구과제명	인쇄전자3D프린팅공학연구소
기 여 율	1/2
과제수행기관명	한밭대학교
연구기간	2023.03.01 ~ 2024.02.29

명세서

청구범위

청구항 1

게이트전극;

상기 게이트전극의 상부에 구비되는 게이트절연층;

상기 게이트절연층의 상부 일측부에 구비되는 소스전극;

상기 게이트절연층의 상부 타측부에 구비되는 드레인전극;

상기 게이트절연층의 상부에 구비되어 전하를 저장하는 전하트랩층;

상기 전하트랩층의 상부에 구비되어 상기 소스전극에서 상기 드레인전극으로 상기 전하를 수송하는 전류구동층;
및

상기 전류구동층의 상부에 구비되어 조사되는 빛을 감지하는 광감지층;

을 포함하는 광대역 포토트랜지스터 메모리소자.

청구항 2

청구항 1에 있어서,

상기 광대역 포토트랜지스터 메모리소자는,

상기 게이트절연층의 상부에 상기 소스전극 및 드레인전극이 일측부와 타측부에 각각 구비되면서, 상기 소스전극 및 드레인전극의 사이에 상기 전하트랩층, 전류구동층 및 광감지층이 순차 적층되는

광대역 포토트랜지스터 메모리소자.

청구항 3

청구항 1에 있어서,

상기 광대역 포토트랜지스터 메모리소자는,

상기 게이트절연층의 상부에 상기 전하트랩층이 적층되고, 상기 전하트랩층의 상부에 상기 소스전극 및 드레인전극이 일측부와 타측부에 각각 구비되면서, 상기 소스전극 및 드레인전극의 사이에 상기 전류구동층 및 광감지층이 순차 적층되되, 상기 광감지층이 소스전극 및 드레인전극의 상부 일부분을 덮는 형태로 기 설정된 높이에 따라 돌출 형성되는

광대역 포토트랜지스터 메모리소자.

청구항 4

청구항 1에 있어서,

상기 광대역 포토트랜지스터 메모리소자는,

상기 게이트절연층의 상부에 상기 전하트랩층 및 전류구동층이 순차 적층되고, 상기 전류구동층의 상부에 상기 소스전극 및 드레인전극이 일측부와 타측부에 각각 구비되면서, 상기 소스전극 및 드레인전극의 사이에 상기 광감지층이 적층되되, 상기 광감지층이 상기 소스전극 및 드레인전극의 상부 일부분을 덮는 형태로 기 설정된 높이에 따라 돌출 형성되는

광대역 포토트랜지스터 메모리소자.

청구항 5

청구항 1에 있어서,

상기 광대역 포토트랜지스터 메모리소자는,

상기 게이트절연층의 상부에 상기 전하트랩층이 적층되고, 상기 전하트랩층의 상부에 상기 소스전극 및 드레인 전극이 일측부와 타측부에 각각 구비되면서, 상기 소스전극 및 드레인전극의 사이에 상기 전류구동층이 적층되
되, 상기 전류구동층이 상기 소스전극 및 드레인전극의 상부를 덮는 형태로 기 설정된 높이에 따라 돌출 형성되
며, 상기 전류구동층의 상부에 상기 광감지층이 적층 형성되는

광대역 포토트랜지스터 메모리소자.

청구항 6

청구항 1에 있어서,

상기 광대역 포토트랜지스터 메모리소자는,

상기 게이트절연층의 상부에 상기 전하트랩층 및 전류구동층이 순차 적층되고, 상기 전류구동층의 상부에 상기 소스전극 및 드레인전극이 일측부와 타측부에 각각 구비되면서, 상기 소스전극 및 드레인전극의 사이에 층간절 연층이 적층되되, 상기 층간절연층이 상기 소스전극 및 드레인전극의 상부를 덮는 형태로 기 설정된 높이에 따
라 돌출 형성되며, 상기 층간절연층의 상부에 상기 광감지층이 적층 형성되는

광대역 포토트랜지스터 메모리소자.

청구항 7

청구항 1에 있어서,

상기 광대역 포토트랜지스터 메모리소자는,

상기 게이트절연층의 상부에 상기 전하트랩층, 터널링층 및 전류구동층이 순차 적층되고, 상기 전류구동층의 상
부에 상기 소스전극 및 드레인전극이 일측부와 타측부에 각각 구비되면서, 상기 소스전극 및 드레인전극의 사이
에 상기 광감지층이 적층되되, 상기 광감지층이 소스전극 및 드레인전극의 상부 일부분을 덮는 형태로 기 설정
된 높이에 따라 돌출 형성되는

광대역 포토트랜지스터 메모리소자.

청구항 8

청구항 1 내지 청구항 7 중 어느 한 항에 있어서,

상기 전하트랩층은,

PHPS(Perhydropolysilazane), SiNx, ZrOx 및 금속나노입자 중 어느 하나를 이용하여 스펀코팅공정, 화학적기상 증착공정 및 열증착공정 중 어느 하나의 공정을 통해 형성되는

광대역 포토트랜지스터 메모리소자.

청구항 9

청구항 8에 있어서,

상기 전류구동층은,

IGZO(Indium Gallium Zinc Oxide), InOx 및 InZnO 중 어느 하나의 산화물반도체를 이용하여 스핀코팅공정, 스퍼터링공정 및 화학적기상증착공정 중 어느 하나의 공정을 통해 형성되는

광대역 포토트랜지스터 메모리소자.

청구항 10

청구항 9에 있어서,

상기 광감지층은,

유기물반도체 또는 박막실리콘을 이용하여 스핀코팅공정 또는 화학적기상증착공정을 통해 형성되는

광대역 포토트랜지스터 메모리소자.

청구항 11

청구항 10에 있어서,

상기 게이트전극은, P형 실리콘(Si), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr) 및 구리(Cu) 중 어느 하나로 구비되고,

상기 게이트절연층은, SiO₂, Si₃N₄ 및 고분자절연체 중 어느 하나로 구비되며,

상기 소스전극 및 드레인전극은, 각각 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr) 및 구리(Cu) 중 어느 하나로 구비되는

광대역 포토트랜지스터 메모리소자.

발명의 설명

기술 분야

[0001] 본 발명은 게이트전극, 게이트절연층, 소스전극 및 드레인전극이 구비되는 소자구조물에서 전하트랩층이 소스전극 및 드레인전극의 사이에 구비되되, 게이트절연층의 상부에 구비되어 전하를 저장하고, 전류구동층이 소스전극 및 드레인전극의 사이에 구비되되, 전하트랩층의 상부에 구비되어 소스전극에서 드레인전극으로 전하를 수송하며, 광감지층이 소스전극 및 드레인전극의 사이에 구비되되, 전류구동층의 상부에 구비되어 조사되는 빛을 감지함으로써, 광 감지와 정보 저장을 공간적으로 분리하여 조사되는 빛의 세기에 따라 전속분포가 변화하여 저장되는 전하의 양이 달라지도록 하여 소자 성능을 향상시킬 수 있는 광대역 포토트랜지스터 메모리소자에 관한 것이다.

배경 기술

[0002] 잘 알려진 바와 같이, 포토트랜지스터(PT : Phototransistor)는 빛에너지를 전기에너지로 변환하는 광센서의 하나로서, 빛의 세기에 따라 흐르는 전류가 변화하는 광기전력 효과를 이용하는데, 트랜지스터를 이용하여 광 전류를 증폭시킬 수 있어 포토다이오드에 비해 빛에 더 민감한 장점이 있다.

[0003] 이러한 포토트랜지스터(PT)는 빛이 트랜지스터에 들어올 경우에만 드레인 전류가 증가하는 특징이 있다.

[0004] 한편, 포토트랜지스터 메모리(PTM : Phototransistor memory)는 빛의 조사를 이용하여 데이터의 쓰기 또는 지우기 동작이 이루어지는 메모리소자로서, 빛이 조사된 양에 해당하는 정보가 저장되어 그에 대응하는 전류값을 출력할 수 있다.

[0005] 이러한 포토트랜지스터 메모리(PTM)는 N형 반도체의 경우 도 1에 도시한 바와 같이 쓰기 동작을 통해 전하트랩층에 전자가 트랩(trap)될 경우 문턱전압이 오른쪽으로 이동하게 되고, 지우기 동작을 통해 트랩된 전자가 디트랩(detrap)될 경우 문턱전압이 왼쪽으로 이동하여 초기상태로 돌아가는 방식으로 동작할 수 있다.

[0006] 상술한 바와 같은 포토트랜지스터 메모리(PTM)는 포토트랜지스터(PT)와 다르게 들어온 빛의 정보를 저장한 후에, 빛이 꺼진 후에도 그 드레인 전류값이 유지되는 특성이 있다.

[0007] 종래의 포토트랜지스터 메모리(PTM)는 트랩된 전자가 빛에 의해 여기된 후, 바이어스에 의해 다시 트랩되는 방식으로 동작하는데, 빛의 흡수와 정보 저장이 하나의 층에서 이루어지고, 감지 가능한 파장이 한정되거나 높은 파워의 빛만을 감지하는 문제점이 있어 이를 해결하기 위한 기술 개발이 요구되고 있다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 1. 한국등록특허 제10-1897345호(2018.09.04.등록)

발명의 내용

해결하려는 과제

[0009] 본 발명은 게이트전극, 게이트절연층, 소스전극 및 드레인전극이 구비되는 소자구조물에서 전하트랩층이 소스전극 및 드레인전극의 사이에 구비되되, 게이트절연층의 상부에 구비되어 전하를 저장하고, 전류구동층이 소스전극 및 드레인전극의 사이에 구비되되, 전하트랩층의 상부에 구비되어 소스전극에서 드레인전극으로 전하를 수송하며, 광감지층이 소스전극 및 드레인전극의 사이에 구비되되, 전류구동층의 상부에 구비되어 조사되는 빛을 감지함으로써, 광 감지와 정보 저장을 공간적으로 분리하여 조사되는 빛의 세기에 따라 전속분포가 변화하여 저장되는 전하의 양이 달라지도록 하여 소자 성능을 향상시킬 수 있는 광대역 포토트랜지스터 메모리소자를 제공하고자 한다.

[0010] 또한, 본 발명은 광감지층과 전하트랩층의 공간적 분리를 통해 근적외선(NIR)에 대한 감지 및 저장 성능을 향상시킬 수 있고, 고해상도 소자 배열을 달성할 수 있으며, 저전력의 광신호를 감지하여 저장할 수 있고, 메모리소자의 안정적인 동작 성능을 확보할 수 있는 광대역 포토트랜지스터 메모리소자를 제공하고자 한다.

[0011] 본 발명의 실시예들의 목적은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0012] 본 발명의 실시예에 따르면, 게이트전극; 상기 게이트전극의 상부에 구비되는 게이트절연층; 상기 게이트절연층의 상부 일측부에 구비되는 소스전극; 상기 게이트절연층의 상부 타측부에 구비되는 드레인전극; 상기 게이트절연층의 상부에 구비되어 전하를 저장하는 전하트랩층; 상기 전하트랩층의 상부에 구비되어 상기 소스전극에서 상기 드레인전극으로 상기 전하를 수송하는 전류구동층; 및 상기 전류구동층의 상부에 구비되어 조사되는 빛을 감지하는 광감지층;을 포함하는 광대역 포토트랜지스터 메모리소자가 제공될 수 있다.

[0013] 또한, 본 발명의 실시예에 따르면, 상기 광대역 포토트랜지스터 메모리소자는, 상기 게이트절연층의 상부에 상기 소스전극 및 드레인전극이 일측부와 타측부에 각각 구비되면서, 상기 소스전극 및 드레인전극의 사이에 상기 전하트랩층, 전류구동층 및 광감지층이 순차 적층되는 광대역 포토트랜지스터 메모리소자가 제공될 수 있다.

[0014] 또한, 본 발명의 실시예에 따르면, 상기 광대역 포토트랜지스터 메모리소자는, 상기 게이트절연층의 상부에 상기 전하트랩층이 적층되고, 상기 전하트랩층의 상부에 상기 소스전극 및 드레인전극이 일측부와 타측부에 각각 구비되면서, 상기 소스전극 및 드레인전극의 사이에 상기 전류구동층 및 광감지층이 순차 적층되되, 상기 광감지층이 소스전극 및 드레인전극의 상부 일부분을 덮는 형태로 기 설정된 높이에 따라 돌출 형성되는 광대역 포토트랜지스터 메모리소자가 제공될 수 있다.

[0015] 또한, 본 발명의 실시예에 따르면, 상기 광대역 포토트랜지스터 메모리소자는, 상기 게이트절연층의 상부에 상기 전하트랩층 및 전류구동층이 순차 적층되고, 상기 전류구동층의 상부에 상기 소스전극 및 드레인전극이 일측부와 타측부에 각각 구비되면서, 상기 소스전극 및 드레인전극의 사이에 상기 광감지층이 적층되되, 상기 광감지층이 상기 소스전극 및 드레인전극의 상부 일부분을 덮는 형태로 기 설정된 높이에 따라 돌출 형성되는 광대역 포토트랜지스터 메모리소자가 제공될 수 있다.

- [0016] 또한, 본 발명의 실시예에 따르면, 상기 광대역 포토트랜지스터 메모리소자는, 상기 게이트절연층의 상부에 상기 전하트랩층이 적층되고, 상기 전하트랩층의 상부에 상기 소스전극 및 드레인전극이 일측부와 타측부에 각각 구비되면서, 상기 소스전극 및 드레인전극의 사이에 상기 전류구동층이 적층되되, 상기 전류구동층이 상기 소스전극 및 드레인전극의 상부를 덮는 형태로 기 설정된 높이에 따라 돌출 형성되며, 상기 전류구동층의 상부에 상기 광감지층이 적층 형성되는 광대역 포토트랜지스터 메모리소자가 제공될 수 있다.
- [0017] 또한, 본 발명의 실시예에 따르면, 상기 광대역 포토트랜지스터 메모리소자는, 상기 게이트절연층의 상부에 상기 전하트랩층 및 전류구동층이 순차 적층되고, 상기 전류구동층의 상부에 상기 소스전극 및 드레인전극이 일측부와 타측부에 각각 구비되면서, 상기 소스전극 및 드레인전극의 사이에 층간절연층이 적층되되, 상기 층간절연층이 상기 소스전극 및 드레인전극의 상부를 덮는 형태로 기 설정된 높이에 따라 돌출 형성되며, 상기 층간절연층의 상부에 상기 광감지층이 적층 형성되는 광대역 포토트랜지스터 메모리소자가 제공될 수 있다.
- [0018] 또한, 본 발명의 실시예에 따르면, 상기 광대역 포토트랜지스터 메모리소자는, 상기 게이트절연층의 상부에 상기 전하트랩층, 터널링층 및 전류구동층이 순차 적층되고, 상기 전류구동층의 상부에 상기 소스전극 및 드레인전극이 일측부와 타측부에 각각 구비되면서, 상기 소스전극 및 드레인전극의 사이에 상기 광감지층이 적층되되, 상기 광감지층이 소스전극 및 드레인전극의 상부 일부분을 덮는 형태로 기 설정된 높이에 따라 돌출 형성되는 광대역 포토트랜지스터 메모리소자가 제공될 수 있다.
- [0019] 또한, 본 발명의 실시예에 따르면, 상기 전하트랩층은, PHPS(Perhydropolysilazane), SiNx , ZrOx 및 금속나노입자 중 어느 하나를 이용하여 스펀코팅공정, 화학적기상증착공정 및 열증착공정 중 어느 하나의 공정을 통해 형성되는 광대역 포토트랜지스터 메모리소자가 제공될 수 있다.
- [0020] 또한, 본 발명의 실시예에 따르면, 상기 전류구동층은, IGZO(Indium Gallium Zinc Oxide), InOx 및 InZnO 중 어느 하나의 산화물반도체를 이용하여 스펀코팅공정, 스퍼터링공정 및 화학적기상증착공정 중 어느 하나의 공정을 통해 형성되는 광대역 포토트랜지스터 메모리소자가 제공될 수 있다.
- [0021] 또한, 본 발명의 실시예에 따르면, 상기 광감지층은, 유기물반도체 또는 박막실리콘을 이용하여 스펀코팅공정 또는 화학적기상증착공정을 통해 형성되는 광대역 포토트랜지스터 메모리소자가 제공될 수 있다.
- [0022] 또한, 본 발명의 실시예에 따르면, 상기 게이트전극은, P형 실리콘(Si), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr) 및 구리(Cu) 중 어느 하나로 구비되고, 상기 게이트절연층은, SiO_2 , Si_3N_4 및 고분자절연체 중 어느 하나로 구비되며, 상기 소스전극 및 드레인전극은, 각각 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr) 및 구리(Cu) 중 어느 하나로 구비되는 광대역 포토트랜지스터 메모리소자가 제공될 수 있다.

발명의 효과

- [0023] 본 발명은 게이트전극, 게이트절연층, 소스전극 및 드레인전극이 구비되는 소자조물에서 전하트랩층이 소스전극 및 드레인전극의 사이에 구비되되, 게이트절연층의 상부에 구비되어 전하를 저장하고, 전류구동층이 소스전극 및 드레인전극의 사이에 구비되되, 전하트랩층의 상부에 구비되어 소스전극에서 드레인전극으로 전하를 수송하며, 광감지층이 소스전극 및 드레인전극의 사이에 구비되되, 전류구동층의 상부에 구비되어 조사되는 빛을 감지함으로써, 광 감지와 정보 저장을 공간적으로 분리하여 조사되는 빛의 세기에 따라 전속분포가 변화하여 저장되는 전하의 양이 달라지도록 하여 소자 성능을 향상시킬 수 있다.

도면의 간단한 설명

- [0024] 도 1은 일반적인 포토트랜지스터 메모리의 동작을 설명하기 위한 도면이며,
 도 2는 본 발명의 실시예에 따른 광대역 포토트랜지스터 메모리소자를 예시한 도면이고,
 도 3 내지 도 12는 본 발명의 실시예에 따른 광대역 포토트랜지스터 메모리소자의 상세구성을 설명하기 위한 도면이며,
 도 13 내지 도 17은 본 발명의 실시예에 따른 광대역 포토트랜지스터 메모리소자의 다른 형태를 예시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 본 발명의 실시예들에 대한 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후

술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

- [0026] 본 발명의 실시예들을 설명함에 있어서 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 그리고 후술되는 용어들은 본 발명의 실시예에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0027] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명하기로 한다.
- [0028] 도 2는 본 발명의 실시예에 따른 광대역 포토트랜지스터 메모리소자를 예시한 도면이고, 도 3 내지 도 12는 본 발명의 실시예에 따른 광대역 포토트랜지스터 메모리소자의 상세구성을 설명하기 위한 도면이다.
- [0029] 도 2 내지 도 12를 참조하면, 본 발명의 실시예에 따른 광대역 포토트랜지스터 메모리소자는 도 2에 도시한 바와 같이 게이트전극(110), 게이트절연층(120), 소스전극(130), 드레인전극(140), 전하트랩층(150), 전류구동층(160), 광감지층(170) 등을 포함할 수 있다.
- [0030] 게이트전극(110)은 본 발명의 실시예에 따른 광대역 포토트랜지스터 메모리소자를 이용한 쓰기 또는 지우기 동작을 수행하기 위한 전압을 인가할 수 있다.
- [0031] 이러한 게이트전극(110)은 예를 들면, P형 실리콘(Si), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr) 및 구리(Cu) 중 어느 하나로 구비될 수 있는데, 물리적기상증착공정(PVD) 등을 이용하여 45-55 nm의 두께범위로 형성될 수 있다.
- [0032] 게이트절연층(120)은 게이트전극(110)의 상부에 구비되는 층으로, 게이트전극(110)과 다른 구조물의 절연을 위해 구비될 수 있다.
- [0033] 이러한 게이트절연층(120)은 예를 들면, SiO₂, Si₃N₄ 및 고분자절연체 중 어느 하나로 구비될 수 있는데, SiO₂, Si₃N₄ 등의 경우 화학적기상증착공정(CVD), 열산화공정(Thermal Oxidation) 등을 이용하여 형성될 수 있고, Polyvinylphenol, Polystyrene, Poly(methyl methacrylate), Poly(vinylidene fluoride-trifluoroethylene), Parylene 등을 포함하는 고분자절연체는 스펀코팅공정, 화학적기상증착공정(CVD) 등을 이용하여 형성될 수 있다.
- [0034] 구체적으로, SiO₂의 경우 실리콘(Si)기판을 열산화방식으로 고온에서 산화시킴으로써, 대략 145-155 nm의 두께 범위의 SiO₂를 형성할 수 있다.
- [0035] 소스전극(130)은 게이트절연층(120)의 상부 일측부에 구비되는 전극으로, 본 발명의 실시예에 따른 광대역 포토트랜지스터 메모리소자에 전류를 공급할 수 있다.
- [0036] 이러한 소스전극(130)은 예를 들면, 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr) 및 구리(Cu) 중 어느 하나로 구비될 수 있는데, 물리적기상증착공정(PVD), 열증착공정(Thermal Evaporation) 등을 이용하여 형성할 수 있다.
- [0037] 구체적으로, 알루미늄(Al)의 경우 웨도우마스크를 이용한 열증착방식으로 알루미늄(Al)을 4.5-5.5 Å/s의 증착비율범위와 0.5×10⁻⁶-1.5×10⁻⁶ torr의 압력범위에 따라 증착함으로써, 소스전극(130)을 제조할 수 있다.
- [0038] 드레인전극(140)은 게이트절연층(120)의 상부 타측부에 구비되는 전극으로, 본 발명의 실시예에 따른 광대역 포토트랜지스터 메모리소자에서 변화된 전하를 감지할 수 있다.
- [0039] 이러한 드레인전극(140)은 예를 들면, 예를 들면, 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr) 및 구리(Cu) 중 어느 하나로 구비될 수 있는데, 물리적기상증착공정(PVD), 열증착공정(Thermal Evaporation) 등을 이용하여 형성할 수 있다.
- [0040] 구체적으로, 알루미늄(Al)의 경우 웨도우마스크를 이용한 열증착방식으로 알루미늄(Al)을 4.5-5.5Å/s의 증착비율범위와 0.5×10⁻⁶-1.5×10⁻⁶의 압력범위에 따라 증착함으로써, 드레인전극(140)을 제조할 수 있다.
- [0041] 전하트랩층(150)은 게이트절연층(120)의 상부에 구비되어 전하를 저장하는 층으로, 소스전극(130) 및 드레인전

극(140)의 사이에 구비될 수 있으며, 정보저장층(charge trap)으로 제공될 수 있다.

- [0042] 여기에서, 전하트랩층(150)은 예를 들면, PHPS(Perhydropolysilazane), SiNx, ZrOx 및 금속나노입자 중 어느 하나를 이용하여 스핀코팅공정, 화학적기상증착공정 및 열증착공정 중 어느 하나의 공정을 통해 45-55 nm의 두께범위로 형성될 수 있는데, PHPS, SiNx, ZrOx 등은 스핀코팅공정 또는 화학적기상증착공정을 이용하여 형성될 수 있고, 금(Au), 은(Ag) 등을 포함하는 금속나노입자는 열증착공정을 이용하여 형성될 수 있다.
- [0043] 구체적으로, PHPS의 경우 전하트랩층(150)은 도 3에 도시한 바와 같이 2800-3200 rpm의 회전속도범위 및 35-45초의 시간범위에 따른 스핀코팅공정과, 상온(RT)에서 110-130 분의 시간범위에 따른 어닐링공정을 통해 형성될 수 있다.
- [0044] 예를 들면, 전하트랩층(150)은 PHPS를 2 wt%의 O-xylene(O-자일렌) 등을 포함하는 용매(Solvent)와 혼합한 후에, 상온(RT)에서 12-16 시간의 시간범위에 따라 교반(Stirring)하고, 교반된 혼합물을 2800-3200 rpm의 회전속도범위 및 35-45초의 시간범위에 따른 스핀코팅공정으로 PHPS층을 45-55 nm의 두께범위로 형성한 후에, 상온(RT)에서 110-130 분의 시간범위에 따른 어닐링공정을 수행함으로써, 전하트랩층(150)을 형성할 수 있다.
- [0045] 전류구동층(160)은 전하트랩층(150)의 상부에 구비되어 소스전극(130)에서 드레인전극(140)으로 전하를 수송하는 층으로, 소스전극(130) 및 드레인전극(140)의 사이에 구비될 수 있으며, N형 반도체층(Semiconductor)으로 제공될 수 있다.
- [0046] 여기에서, 전류구동층(160)은 예를 들면, IGZO(Indium Gallium Zinc Oxide), InOx 및 InZnO 중 어느 하나의 산화물반도체를 이용하여 스핀코팅공정, 스퍼터링공정 및 화학적기상증착공정 중 어느 하나의 공정을 통해 45-55 nm의 두께범위로 형성될 수 있는데, IGZO의 경우 스핀코팅공정을 이용하여 형성될 수 있고, IGZO, InOx, InZnO 등은 화학적기상증착공정을 이용하여 형성될 수 있다.
- [0047] 구체적으로, IGZO의 경우 전류구동층(160)은 도 4에 도시한 바와 같이 2800-3200 rpm의 회전속도범위 및 25-35초의 시간범위에 따른 스핀코팅공정과, 100-120 °C의 온도범위 및 8-12 분의 시간범위에 따른 프리베이킹공정과, 430-470 °C의 온도범위 및 160-200 분의 시간범위에 따른 어닐링공정을 통해 형성될 수 있다.
- [0048] 예를 들면, 전류구동층(160)은 In:Ga:Zn=4:3:2이고 0.1 M의 농도를 갖는 IGZO를 2-메톡시에탄올(2-methoxyethanol) 등을 포함하는 용매(Solvent)와 혼합한 후에, 55-65 °C의 온도범위에서 12-16 시간의 시간범위에 따라 교반(Stirring)하고, 교반된 혼합물을 2800-3200 rpm의 회전속도범위 및 25-35초의 시간범위에 따른 스핀코팅공정으로 IGZO층을 형성한 후에, 100-120 °C의 온도범위 및 8-12 분의 시간범위에 따른 프리베이킹공정과, 430-470 °C의 온도범위 및 160-200 분의 시간범위에 따른 어닐링공정을 순차적으로 수행함으로써, 전류구동층(160)을 형성할 수 있다.
- [0049] 광감지층(170)은 전류구동층(160)의 상부에 구비되어 조사되는 빛을 감지하는 층으로, 소스전극(130) 및 드레인전극(140)의 사이에 구비될 수 있으며, 광흡수층(Absorption)으로 제공될 수 있다.
- [0050] 여기에서, 광감지층(170)은 예를 들면, 유기물반도체 또는 박막실리콘을 이용하여 스핀코팅공정, 화학적기상증착공정(CVD) 등을 통해 45-55 nm의 두께범위로 형성될 수 있는데, 유기물반도체는 PDPP4T(Polydiketopyrrolopyrrole-terthiophene, poly[2,5-bis(2-octyldodecyl) pyrrolo[3,4-c]pyrrole-1,4(2H,5H)-dione-3,6-diyl)-alt(2,2';5',2'';5'',2'''-quaterthiophene-5,5'''-diyl)]) 등을 포함할 수 있고, 이는 스핀코팅공정을 통해 형성할 수 있으며, 박막실리콘은 비정질실리콘, 다결정실리콘 등을 포함할 수 있고, 이는 화학적기상증착공정(CVD)을 통해 형성할 수 있다.
- [0051] 구체적으로, PDPP4T의 경우 광감지층(170)은 예를 들면, 도 5에 도시한 바와 같이 PDPP4T를 이용하여 으며, 1800-2200 rpm의 회전속도범위 및 55-65초의 시간범위에 따른 스핀코팅공정과, 140-160 °C의 온도범위 및 25-35 분의 시간범위에 따른 어닐링공정을 통해 형성될 수 있다.
- [0052] 예를 들면, 광감지층(170)은 4-6 mg/mL의 농도를 갖는 PDPP4T를 클로로포름(CHloroform) 등을 포함하는 용매(Solvent)와 혼합한 후에, 글로브박스(Glove Box)에서 75-85 °C의 온도범위와 12-16 시간의 시간범위에 따라 교반(Stirring)하고, 교반된 혼합물을 1800-2200 rpm의 회전속도범위 및 55-65초의 시간범위에 따른 스핀코팅공정으로 PDPP4T층을 45-55 nm의 두께범위로 형성한 후에, 글로브박스(Glove Box)에서 140-160 °C의 온도범위 및 25-35 분의 시간범위에 따른 어닐링공정을 수행함으로써, 광감지층(170)을 형성할 수 있다.
- [0053] 상술한 바와 같은 본 발명의 실시예에 따른 광대역 포토트랜지스터 메모리소자의 작동 과정에 대해 상세히 설명

하기로 한다.

- [0054] 먼저, 본 발명의 실시예에 따른 광대역 포토트랜지스터 메모리소자의 정보 저장 방식에 대해 설명하면, 도 6에 도시한 바와 같이 전자의 트랩 유무에 따라 정보가 저장될 수 있는데, 초기 상태에서 전자 트랩이 발생할 경우 쓰기 동작을 수행할 수 있고, 읽기 동작이 수행될 수 있으며, 광 감지를 통해 전자 디트랩이 발생할 경우 지우기 동작을 수행할 수 있고, 읽기 동작이 수행될 수 있다.
- [0055] 여기에서, 쓰기 동작을 통해 전하트랩층(150)에 전자가 트랩될 경우 문턱전압이 오른쪽으로 이동하면서 낮은 드레인 전류값(0)을 나타낼 수 있고, 지우기 동작을 통해 전하트랩층(150)에 트랩된 전자가 디트랩될 경우 문턱전압이 왼쪽으로 다시 이동하여 원래의 상태로 되돌아오면서 높은 드레인 전류값(1)을 나타낼 수 있다.
- [0056] 다음에, 본 발명의 실시예에 따른 광대역 포토트랜지스터 메모리소자의 전기적 쓰기 동작에 대해 설명하면, 도 7에 도시한 바와 같이 쓰기 동작의 경우 게이트전극(110)에 양의 바이어스를 인가할 경우 전하트랩층(150)에 전자가 트랩될 수 있고, 읽기 동작의 경우 전하트랩층(150)에 트랩된 전자를 상쇄하기 위해 더 큰 전압이 필요하기 때문에 문턱전압(빨간색그래프)이 오른쪽으로 이동할 수 있다.
- [0057] 한편, 종래에 절연체를 전하트랩층(150)으로 사용하는 산화물 트랜지스터 메모리에서는 도 8에 도시한 바와 같이 지우기 동작의 경우 게이트에 음의 바이어스를 인가할 수 있고, 읽기 동작에서는 전자 디트랩이 발생하지 않아 문턱전압(녹색그래프)이 이동하지 않고 유지되기 때문에 지우기 동작이 이루어지지 않게 된다.
- [0058] 그 이유는 IGZO와 알루미늄(Al)의 계면에서 매우 높은 정공 주입 장벽이 존재하고, 이로 인해 채널이 공핍 상태로 유지되는데, 전하트랩층에 인가되는 전기장이 0에 가깝기 때문에 전자 디트랩이 발생하지 않게 된다.
- [0059] 이에 반해, 본 발명의 실시예에 따른 광대역 포토트랜지스터 메모리소자에서는 도 9에 도시한 바와 같이 지우기 동작의 경우 게이트전극(110)에 음의 바이어스를 인가하면서 광감지층(170)에 광을 인가할 수 있고, 읽기 동작의 경우 문턱전압(파란색그래프)이 왼쪽으로 이동할 수 있다.
- [0060] 이러한 동작에 대해 상세히 설명하면, 도 10에 도시한 바와 같이 (a)에서 광감지층(170)을 통한 빛의 흡수를 통해 전자와 정공의 쌍이 생성되거나, 혹은 소스전극(130)의 알루미늄(Al)으로부터 정공이 주입됨으로써, 유동전하가 발생할 수 있고, (b)에서 정공이 전류구동층(160)인 IGZO와 광감지층(170)인 PDPP4T의 계면에 축적되어 정공 밀도가 증가할 수 있으며, (c)에서 광감지층(170)인 PDPP4T의 저항 감소로 인해 전하트랩층(150)의 전기장이 증가함으로써, (d)에서 전자의 디트랩이 발생할 수 있다.
- [0061] 다음에, 본 발명의 실시예에 따른 광대역 포토트랜지스터 메모리소자의 광전기적 지우기 동작을 설명하면, 도 11의 좌측에 도시한 바와 같이 광감지층(170)에 빛이 조사되지 않은 상태에서 음의 전압이 게이트전극(110)에 인가될 경우의 전속분포를 나타내고 있는데, 음의 게이트 전압에서 전류구동층(160)인 반도체층은 공핍되어 절연체와 같고, 광흡수층(170)도 빛이 없어 절연체와 같기 때문에, 주양부분은 전속이 지나지 않아 전하트랩층(150)인 정보저장층에서 전하의 트랩이나 디트랩이 이루어지지 않음을 알 수 있다.
- [0062] 또한, 도 11의 우측에 도시한 바와 같이 광감지층(170)에 빛이 조사될 경우에는 광감지층(170)이 빛을 흡수하여 전자와 정공이 생성되고, 이 전자와 정공이 전하운반자의 역할을 수행하면서 광감지층(170)의 전도도가 증가하게 되어 더 이상 절연체가 아니게 되며, 그 전속분포가 변화하게 되어 전하트랩층(150)인 정보저장층의 중앙부를 지나게 되면서 전하의 트랩이나 디트랩이 가능하게 됨을 알 수 있다.
- [0063] 상술한 바와 같은 본 발명의 실시예에 따른 광대역 포토트랜지스터 메모리소자의 동작 특성에 대해 다시 설명하면, 도 12에 도시한 바와 같이 게이트전극(110)에 각각 양전압과 음전압을 인가하여 쓰기 동작과, 지우기 동작을 진행한 후, 데이터상태를 저장하며, 이후에 소스전극(130)에 0V, 드레인전극(140)에 5V를 인가하고, 게이트전압에 따른 드레인전류를 측정한 결과, 전기적 쓰기 동작 후에는 전자의 트랩으로 인하여 문턱전압이 오른쪽으로 이동하므로 빨간색 커브를 얻을 수 있음을 확인할 수 있고, 광전기적 지우기 동작 후에는 전자의 디트랩으로 인하여 문턱전압이 다시 왼쪽으로 이동하여 파란색 커브를 얻게 됨을 확인할 수 있다.
- [0064] 따라서, 본 발명의 실시예에 따르면, 게이트전극, 게이트절연층, 소스전극 및 드레인전극이 구비되는 소자구조물에서 전하트랩층이 소스전극 및 드레인전극의 사이에 구비되되, 게이트절연층의 상부에 구비되어 전하를 저장하고, 전류구동층이 소스전극 및 드레인전극의 사이에 구비되되, 전하트랩층의 상부에 구비되어 소스전극에서 드레인전극으로 전하를 수송하며, 광감지층이 소스전극 및 드레인전극의 사이에 구비되되, 전류구동층의 상부에 구비되어 조사되는 빛을 감지함으로써, 광 감지와 정보 저장을 공간적으로 분리하여 조사되는 빛의 세기에 따라 전속분포가 변화하여 저장되는 전하의 양이 달라지도록 하여 소자 성능을 향상시킬 수 있다.

- [0065] 한편, 도 13 내지 도 17은 본 발명의 실시예에 따른 광대역 포토트랜지스터 메모리소자의 다른 형태를 예시한 도면이다. 여기에서, 다른 형태의 광대역 포토트랜지스터 메모리소자의 각 구성부는 그 재료 및 제조공정에서 상술한 바와 같은 본 발명이 실시예와 유사하므로 이하에서는 그 구조적인 설명만을 기재하기로 한다.
- [0066] 도 13을 참조하면, 본 발명의 다른 제 1 형태에서는 게이트전극(110a), 게이트절연층(120a), 소스전극(130a), 드레인전극(140a), 전하트랩층(150a), 전류구동층(160a), 광감지층(170a) 등을 포함할 수 있다.
- [0067] 상술한 바와 같은 본 발명의 실시예에 따른 광대역 포토트랜지스터 메모리소자는 게이트절연층(120)의 상부에 소스전극(130)과 드레인전극(140)이 일측부와 타측부에 각각 구비되면서, 소스전극(130)과 드레인전극(140)의 사이에 전하트랩층(150), 전류구동층(160) 및 광감지층(170)이 순차 적층되는 형태로 제공될 수 있다.
- [0068] 반면에, 본 발명의 다른 제 1 형태에서는 게이트절연층(120a)의 상부에 전하트랩층(150a)이 적층되고, 전하트랩층(150a)의 상부에 소스전극(130a)과 드레인전극(140a)이 일측부와 타측부에 각각 구비되면서, 소스전극(130a)과 드레인전극(140a)의 사이에 전류구동층(160a) 및 광감지층(170a)이 순차 적층되되, 광감지층(170a)이 소스전극(130a) 및 드레인전극(140a)의 상부 일부분을 덮는 형태로 기 설정된 높이에 따라 돌출 형성될 수 있다.
- [0069] 도 14를 참조하면, 본 발명의 다른 제 2 형태에서는 게이트전극(110b), 게이트절연층(120b), 소스전극(130b), 드레인전극(140b), 전하트랩층(150b), 전류구동층(160b), 광감지층(170b) 등을 포함할 수 있다.
- [0070] 여기에서, 본 발명의 다른 제 2 형태에서는 게이트절연층(120b)의 상부에 전하트랩층(150b) 및 전류구동층(160b)이 순차 적층되고, 전류구동층(160b)의 상부에 소스전극(130b)과 드레인전극(140b)이 일측부와 타측부에 각각 구비되면서, 소스전극(130b)과 드레인전극(140b)의 사이에 광감지층(170b)이 적층되되, 광감지층(170b)이 소스전극(130b) 및 드레인전극(140b)의 상부 일부분을 덮는 형태로 기 설정된 높이에 따라 돌출 형성될 수 있다.
- [0071] 도 15를 참조하면, 본 발명의 다른 제 3 형태에서는 게이트전극(110c), 게이트절연층(120c), 소스전극(130c), 드레인전극(140c), 전하트랩층(150c), 전류구동층(160c), 광감지층(170c) 등을 포함할 수 있다.
- [0072] 여기에서, 본 발명의 다른 제 3 형태에서는 게이트절연층(120c)의 상부에 전하트랩층(150c)이 적층되고, 전하트랩층(150c)의 상부에 소스전극(130c)과 드레인전극(140c)이 일측부와 타측부에 각각 구비되면서, 소스전극(130c)과 드레인전극(140c)의 사이에 전류구동층(160c)이 적층되되, 전류구동층(160c)이 소스전극(130c) 및 드레인전극(140c)의 상부를 덮는 형태로 기 설정된 높이에 따라 돌출 형성되며, 전류구동층(160c)의 상부에 광감지층(170c)이 적층 형성될 수 있다.
- [0073] 도 16을 참조하면, 본 발명의 다른 제 4 형태에서는 게이트전극(110d), 게이트절연층(120d), 소스전극(130d), 드레인전극(140d), 전하트랩층(150d), 전류구동층(160d), 광감지층(170d), 층간절연층(180d) 등을 포함할 수 있다.
- [0074] 여기에서, 본 발명의 다른 제 4 형태에서는 게이트절연층(120d)의 상부에 전하트랩층(150d) 및 전류구동층(160d)이 순차 적층되고, 전류구동층(160d)의 상부에 소스전극(130d)과 드레인전극(140d)이 일측부와 타측부에 각각 구비되면서, 소스전극(130d)과 드레인전극(140d)의 사이에 층간절연층(180d)이 적층되되, 층간절연층(180d)이 소스전극(130d) 및 드레인전극(140d)의 상부를 덮는 형태로 기 설정된 높이에 따라 돌출 형성되며, 층간절연층(180d)의 상부에 광감지층(170d)이 적층 형성될 수 있다.
- [0075] 상술한 바와 같은 층간절연층(180d)은 광감지층(170d)의 전하가 전류구동층(160d)으로 전달되어 전류 흐름에 왜곡이 발생하는 것을 방지하는 역할을 하는 층으로, 전류구동층(160d) 상부에 광흡수층(170d)을 바로 형성하기 어려운 경우 반도체층(160d)을 보호하는 기능을 수행할 수 있으며, 층간절연층(180d)의 재료 및 제조공정의 경우 게이트절연층(120d)과 유사한 재료 및 유사한 제조공정으로 형성될 수 있다.
- [0076] 도 17을 참조하면, 본 발명의 다른 제 5 형태에서는 게이트전극(110e), 게이트절연층(120e), 소스전극(130e), 드레인전극(140e), 전하트랩층(150e), 전류구동층(160e), 광감지층(170e), 터널링층(190e) 등을 포함할 수 있다.
- [0077] 여기에서, 본 발명의 다른 제 5 형태에서는 게이트절연층(120e)의 상부에 전하트랩층(150e), 터널링층(190e) 및 전류구동층(160e)이 순차 적층되고, 전류구동층(160e)의 상부에 소스전극(130e)과 드레인전극(140e)이 일측부와 타측부에 각각 구비되면서, 소스전극(130e)과 드레인전극(140e)의 사이에 광감지층(170e)이 적층되되, 광감지층(170e)이 소스전극(130e) 및 드레인전극(140e)의 상부 일부분을 덮는 형태로 기 설정된 높이에 따라 돌출 형성

될 수 있다.

[0078] 상술한 바와 같은 터널링층(190e)은 전하트랩층(150e)에 트랩된 전하의 유지 시간을 늘려주는 역할을 수행하는 층으로, 예를 들면, SiO_2 , Si_3N_4 등을 포함하는 무기물절연체 및 고분자절연체 중 어느 하나로 구비될 수 있는데, SiO_2 , Si_3N_4 등을 포함하는 무기물절연체의 경우 화학적기상증착공정(CVD), 열산화공정(Thermal Oxidation) 등을 이용하여 형성될 수 있고, Polyvinylphenol, Polystyrene, Poly(methyl methacrylate), Poly(vinylidene fluoride-trifluoroethylene), Parylene 등을 포함하는 고분자절연체는 스피코팅공정, 화학적 기상증착공정(CVD) 등을 이용하여 형성될 수 있으며, 게이트절연층(120e)보다 상대적으로 얇은 두께로 형성될 수 있다.

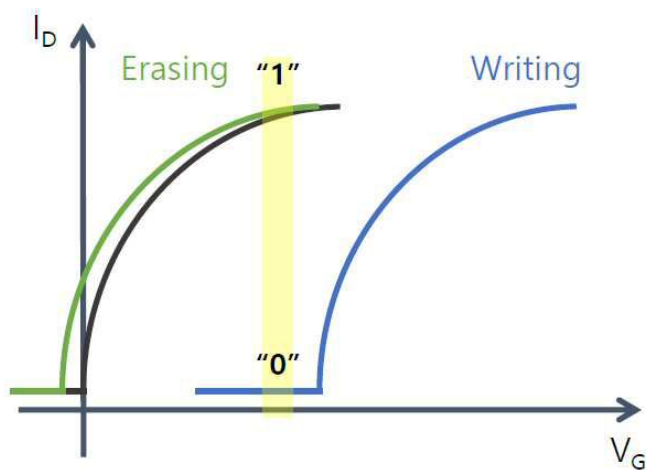
[0079] 이상의 설명에서는 본 발명의 다양한 실시예들을 제시하여 설명하였으나 본 발명이 반드시 이에 한정되는 것은 아니며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함을 쉽게 알 수 있을 것이다.

부호의 설명

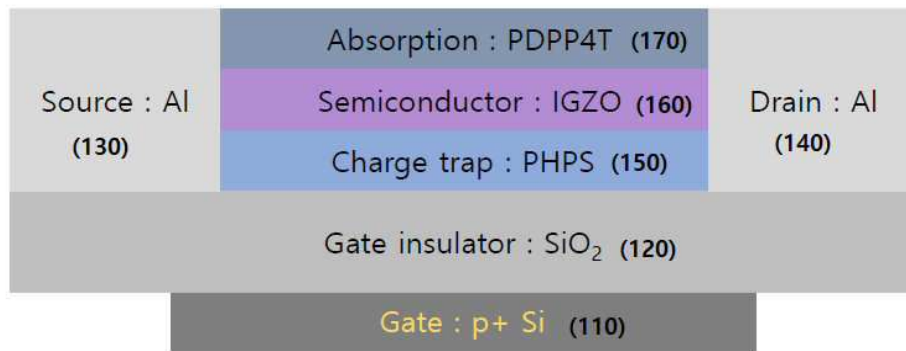
[0080] 110 : 게이트전극
120 : 게이트절연층
130 : 소스전극
140 : 드레인전극
150 : 전하트랩층
160 : 전류구동층
170 : 광감지층

도면

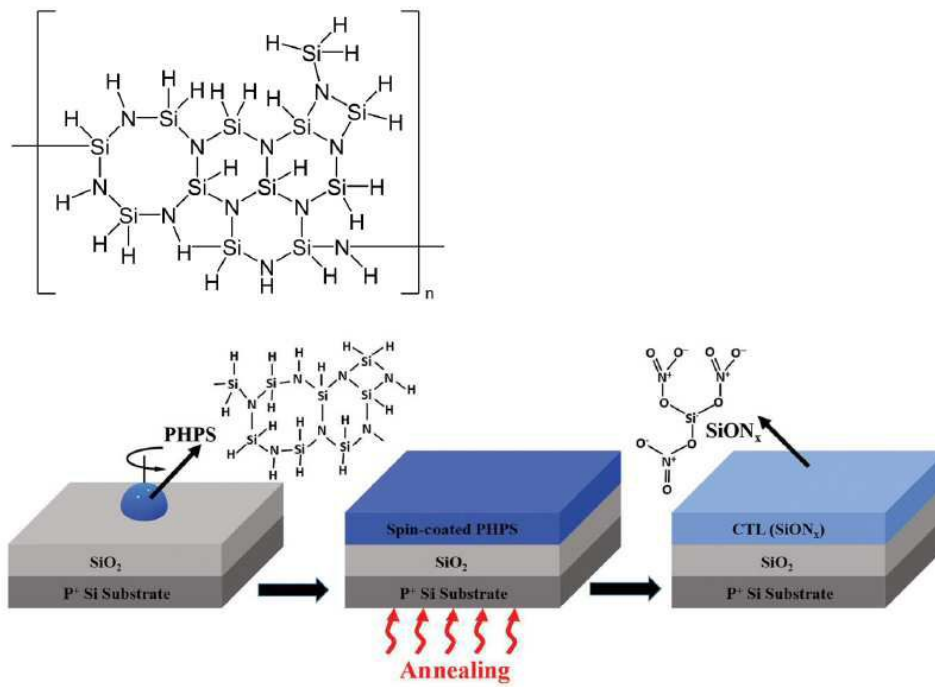
도면1



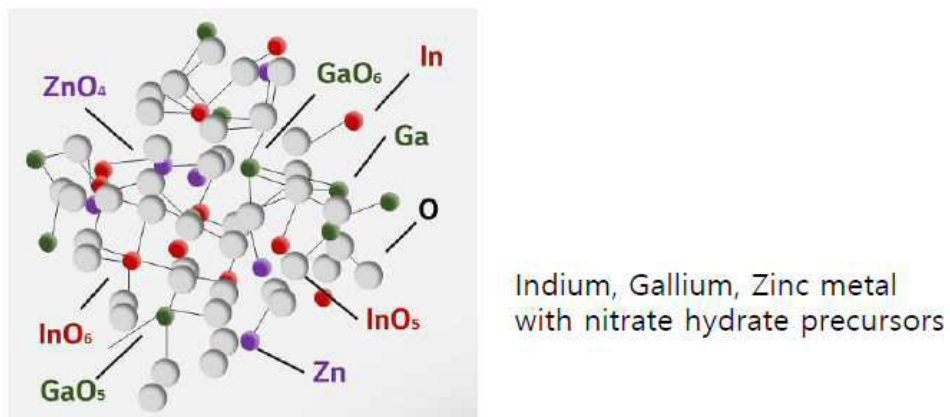
도면2



도면3



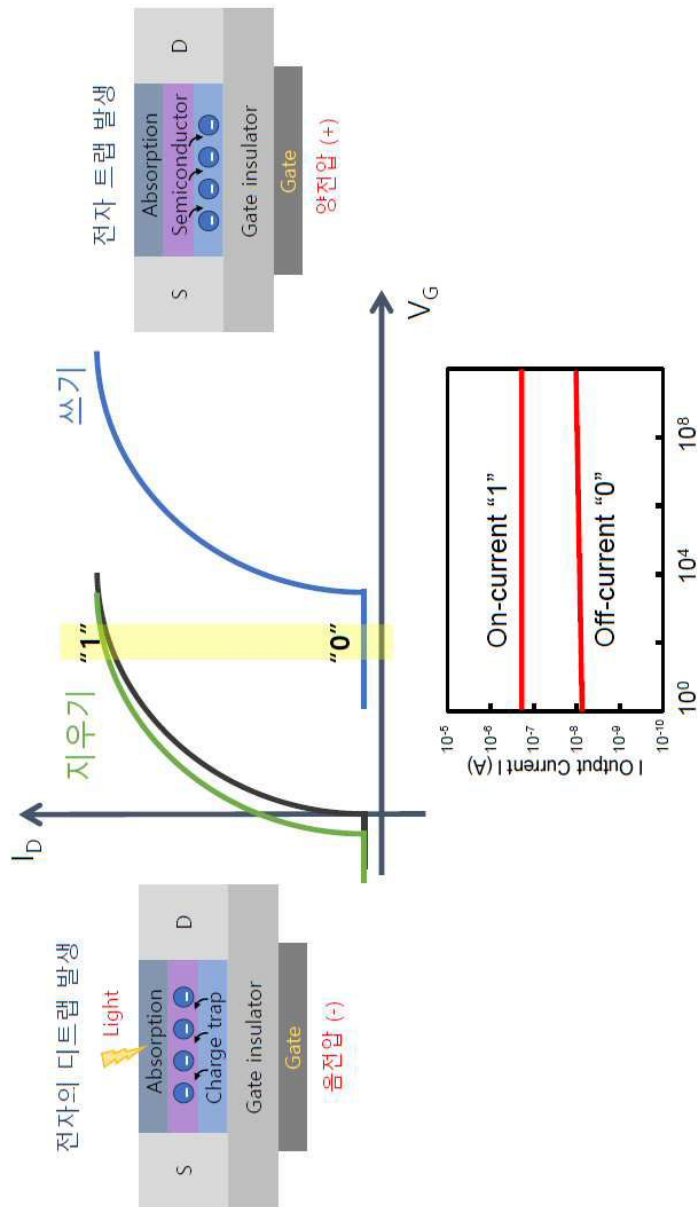
도면4



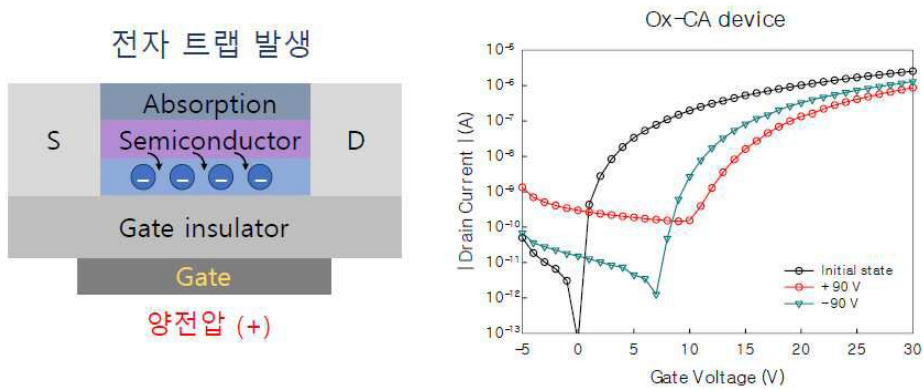
도면5

Full name	Poly[2,5-bis(2-octyldodecyl)pyrrolo[3,4-c]pyrrole-1,4(2H,5H)-dione -3,6-diyl)-alt-(2,2';5',2'';5'',2'''-quaterthiophen-5,5'''-diyl)]
Synonyms	• DPP-4T • DPP4T • pDPP • PDQT
CAS number	1267540-03-3
Chemical formula	$(C_{62}H_{90}N_2O_2S_4)_n$
Molecular weight	See Batch Details table above
HOMO / LUMO	HOMO = -5.2 eV, LUMO = -4.0 eV [7]
Classification / Family	Quaterthiophene, Heterocyclic five-membered ring, Organic semiconducting materials, Low band gap polymers, Organic photovoltaics, Polymer solar cells, OFETs

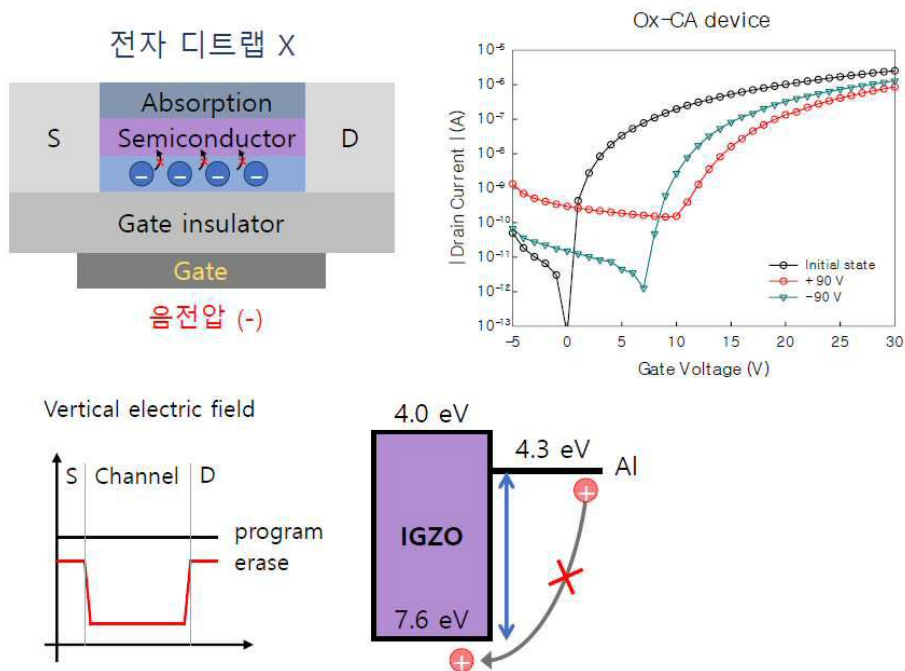
도면6



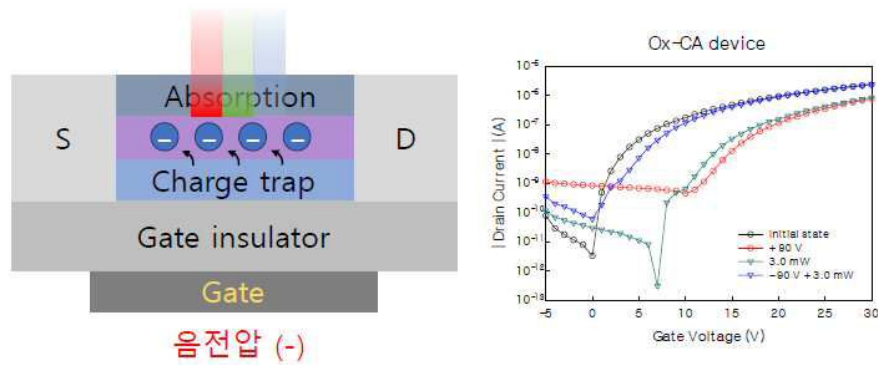
도면7



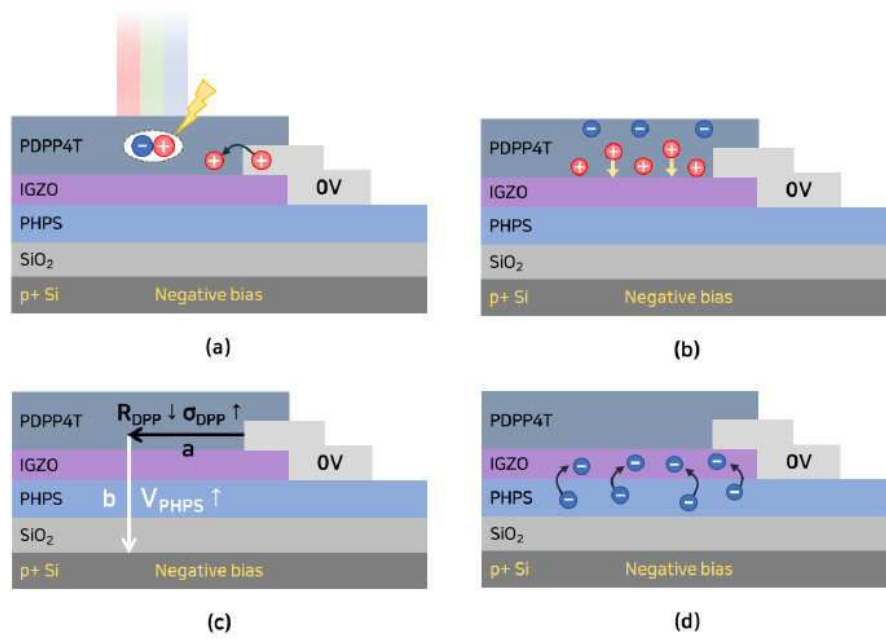
도면8



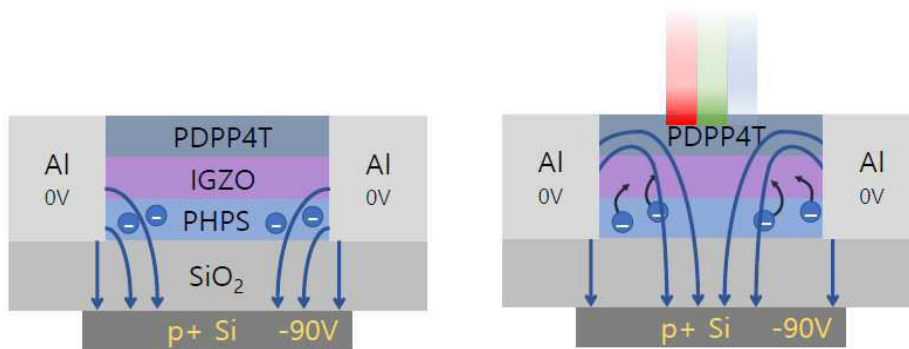
도면9



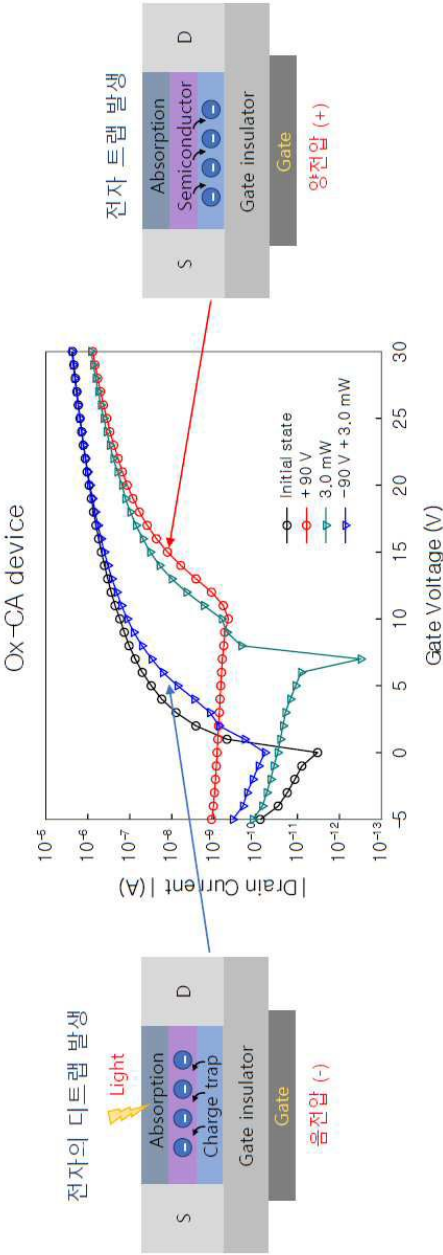
도면10



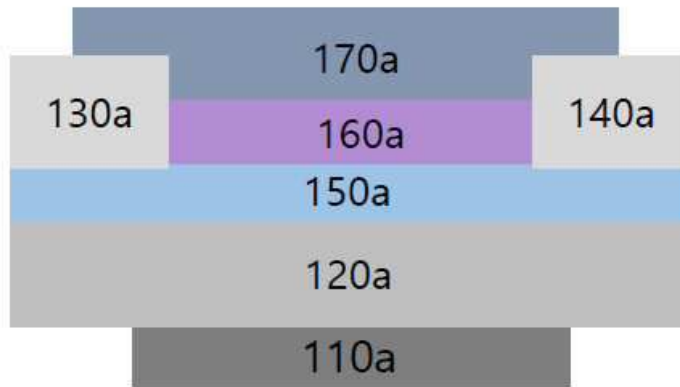
도면11



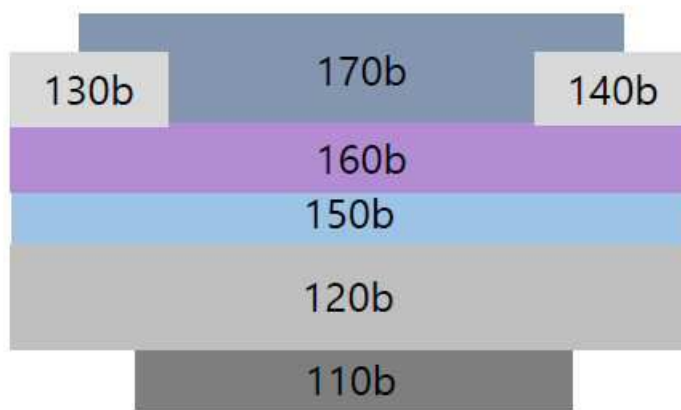
도면12



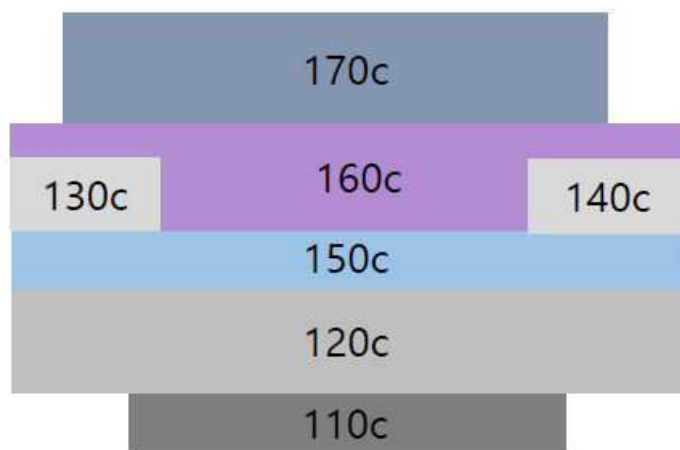
도면13



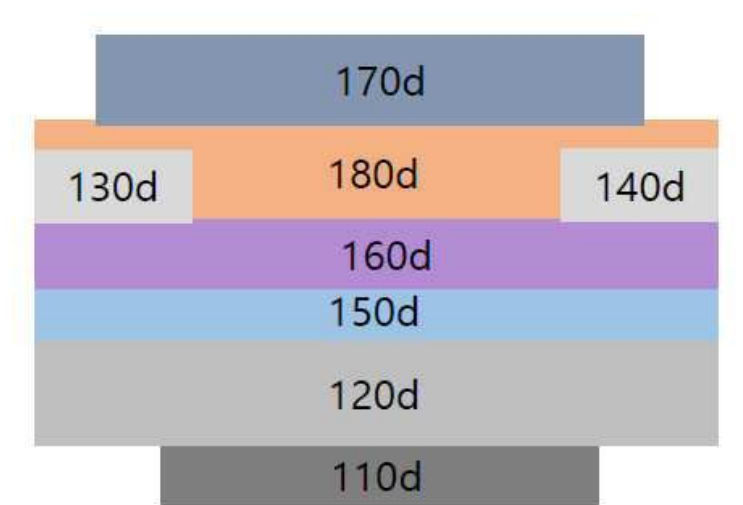
도면14



도면15



도면16



도면17

